



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1512	H780	DQS for X4 for F1517	DQS for X8/9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1512	DQS for X8/9 for F1512 (Note 1)	DQS for X16/X18 for F1512 (Note 1)	DQS for X4 for H780	DQS for X8/9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L22n	DIFFOUT_L43n	J31	R24		DQ14L	DQ13L	DQ12L		DQ14L	DQ13L	DQ12L				
VCCIO1C	VREF1C	IO			DIFFIO_TX_L22p	DIFFOUT_L43p	J30	T23		DQ14L	DQ13L	DQ12L		DQ14L	DQ13L	DQ12L				
VCCIO1C	VREF1C	IO			DIFFIO_RX_L22n	DIFFOUT_L44n	P39	M34		DQS114L	DQ13L	DQS112L/DQ12L		DQS114L	DQ13L	DQS112L/DQ12L				
VCCIO1C	VREF1C	IO			DIFFIO_RX_L22p	DIFFOUT_L44p	R39	N33		DQS14L	DQ13L/CQn13L	DQS12L/CQ12L		DQS14L	DQ13L/CQn13L	DQS12L/CQ12L				
VCCIO1C	VREF1C	IO			DIFFIO_TX_L23n	DIFFOUT_L45n	R29	M23		DQ14L	DQ13L	DQ12L		DQ14L	DQ13L	DQ12L				
VCCIO1C	VREF1C	IO			DIFFIO_TX_L23p	DIFFOUT_L45p	V28	M22		DQ14L	DQ13L	DQ12L		DQ14L	DQ13L	DQ12L				
VCCIO1C	VREF1C	IO			DIFFIO_RX_L23n	DIFFOUT_L46n	T39	R32	L26	DQS15L	DQS113L/DQ13L	DQ12L		DQS15L	DQS113L/DQ13L	DQ12L		DQS15L		
VCCIO1C	VREF1C	IO			DIFFIO_RX_L23p	DIFFOUT_L46p	T38	P31	L25	DQS15L	DQS113L/CQ13L	DQ12L		DQS15L	DQS113L/CQ13L	DQ12L		DQS15L		
VCCIO1C	VREF1C	IO		CLKUSR	DIFFIO_TX_L24n	DIFFOUT_L47n	U34	R30	M21	DQ15L	DQ13L	DQ12L		DQ15L	DQ13L	DQ12L				
VCCIO1C	VREF1C	IO			DIFFIO_TX_L24p	DIFFOUT_L47p	J33	R29	M20	DQ15L	DQ13L	DQ12L		DQ15L	DQ13L	DQ12L				
VCCIO1C	VREF1C	IO			DIFFIO_RX_L24n	DIFFOUT_L48n	J37	N34	K28	DQ15L	DQ13L	DQ12L		DQ15L	DQ13L	DQ12L				
VCCIO1C	VREF1C	IO			DIFFIO_RX_L24p	DIFFOUT_L48p	U36	P34	L28	DQ15L	DQ13L	DQ12L		DQ15L	DQ13L	DQ12L				
VCCIO1C	VREF1C	IO			DIFFIO_TX_L25n	DIFFOUT_L49n	W29	T28	N21	DQ16L	DQ14L	DQ14L		DQ16L	DQ14L	DQ14L			DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L25p	DIFFOUT_L49p	W28	T27	N20	DQ16L	DQ14L	DQ14L		DQ16L	DQ14L	DQ14L			DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L25n	DIFFOUT_L50n	J39	R34	M25	DQS16L	DQ14L	DQ14L		DQS16L	DQ14L	DQ14L			DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L25p	DIFFOUT_L50p	V39	R33	M25	DQS16L	DQ14L/CQn14L	DQ14L		DQS16L	DQ14L/CQn14L	DQ14L			DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L26n	DIFFOUT_L51n	V31	T25	N25	DQ16L	DQ14L	DQ14L		DQ16L	DQ14L	DQ14L			DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L26p	DIFFOUT_L51p	W30	T24	M24	DQ16L	DQ14L	DQ14L		DQ16L	DQ14L	DQ14L			DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L26n	DIFFOUT_L52n	Y38	T32	K28	DQS17L	DQS114L/DQ14L	DQS17L		DQS17L	DQS114L/DQ14L	DQS17L			DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L26p	DIFFOUT_L52p	V37	R31	M27	DQS17L	DQS14L/CQ14L	DQS17L		DQS17L	DQS14L/CQ14L	DQS17L			DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L27n	DIFFOUT_L53n	V33	T26	N23	DQ17L	DQ14L	DQ14L		DQ17L	DQ14L	DQ14L			DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L27p	DIFFOUT_L53p	W33	U25	P23	DQ17L	DQ14L	DQ14L		DQ17L	DQ14L	DQ14L			DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L27n	DIFFOUT_L54n	Y36	P25	DQ17L	DQ14L	DQ14L		DQ17L	DQ14L	DQ14L				DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L27p	DIFFOUT_L54p	Y35	U31	N24	DQ17L	DQ14L	DQ14L		DQ17L	DQ14L	DQ14L			DQ15L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L28n	DIFFOUT_L55n	W35	T30	P20											
VCCIO1C	VREF1C	IO			DIFFIO_TX_L28p	DIFFOUT_L55p	W34	T29	P19											
VCCIO1C	VREF1C	IO			DIFFIO_RX_L28n	DIFFOUT_L56n	W37	V32	N27											
VCCIO1C	VREF1C	IO			DIFFIO_RX_L28p	DIFFOUT_L56p	W36	V31	N26											
VCCIO1C	VREF1C	IO			DIFFIO_TX_L29n	DIFFOUT_L57n	Y39	T34	N28											
VCCIO1C	VREF1C	IO			DIFFIO_TX_L29p	DIFFOUT_L57p	Y38	T33	P28											
VCCIO1C	VREF1C	IO			DIFFIO_RX_L29n	DIFFOUT_L58n	W38	U28	R22											
VCCIO1C	VREF1C	IO			DIFFIO_RX_L29p	DIFFOUT_L58p	W37	U26	P22											
VCCIO1C	VREF1C	IO			DIFFIO_TX_L30n	DIFFOUT_L59n	Y41	U25	P22											
VCCIO1C	VREF1C	IO			DIFFIO_TX_L30p	DIFFOUT_L59p	Y40	U24	P21											
VCCIO1C	VREF1C	IO			DIFFIO_RX_L30n	DIFFOUT_L60n	AB35	W27	R25	DQ18L	DQ21L	DQ18L		DQ18L	DQ21L	DQ18L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L30p	DIFFOUT_L60p	AB34	W26	T25	DQ18L	DQ21L	DQ18L		DQ18L	DQ21L	DQ18L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L31n	DIFFOUT_L61n	AB38	Y31	V27	DQS18L	DQS21L/CQ21L	DQS18L		DQS18L	DQS21L/CQ21L	DQS18L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L31p	DIFFOUT_L61p	Y32	V28		DQS18L	DQS21L/DQ21L	DQS18L		DQS18L	DQS21L/DQ21L	DQS18L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L31n	DIFFOUT_L62n	AB32	V24	T20	DQ19L	DQ21L	DQ19L		DQ19L	DQ21L	DQ19L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L31p	DIFFOUT_L62p	AB33	V25	T21	DQ19L	DQ21L	DQ19L		DQ19L	DQ21L	DQ19L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L32n	DIFFOUT_L63n	AB36	AB33	V26	DQS19L	DQ21L/CQn21L	DQS19L		DQS19L	DQ21L/CQn21L	DQS19L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L32p	DIFFOUT_L63p	AB37	AA34	U26	DQS19L	DQ21L	DQS19L		DQS19L	DQ21L	DQS19L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L32n	DIFFOUT_L64n	AC33	W30	T24	DQ19L	DQ21L	DQ19L		DQ19L	DQ21L	DQ19L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L32p	DIFFOUT_L64p	AC34	W31	U25	DQ19L	DQ21L	DQ19L		DQ19L	DQ21L	DQ19L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L33n	DIFFOUT_L65n	AC39	AA31	W27	DQ20L	DQ22L	DQ23L		DQ20L	DQ22L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L33p	DIFFOUT_L65p	AD39	AA32	W28	DQ20L	DQ22L	DQ23L		DQ20L	DQ22L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L33n	DIFFOUT_L66n	Y30	Y28	T22	DQ20L	DQ22L	DQ23L		DQ20L	DQ22L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L33p	DIFFOUT_L66p	Y31	Y29	T23	DQ20L	DQ22L	DQ23L		DQ20L	DQ22L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L34n	DIFFOUT_L67n	AC36	AC34	V24	DQS20L	DQS22L/CQ22L	DQS20L		DQS20L	DQS22L/CQ22L	DQS20L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L34p	DIFFOUT_L67p	AC37	AC34	V25	DQS20L	DQS22L/DQ22L	DQS20L		DQS20L	DQS22L/DQ22L	DQS20L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L34n	DIFFOUT_L68n	AA30	V23	V23	DQ21L	DQ22L	DQ23L		DQ21L	DQ22L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L34p	DIFFOUT_L68p	AB31	W24	U23	DQ21L	DQ22L	DQ23L		DQ21L	DQ22L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L35n	DIFFOUT_L69n	AF39	AB31		DQS21L	DQ22L/CQn22L	DQS21L/CQ23L		DQS21L	DQ22L/CQn22L	DQS21L/CQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L35p	DIFFOUT_L69p	AE39	AB32		DQS21L	DQ22L	DQS21L/DQ23L		DQS21L	DQ22L	DQS21L/DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L35n	DIFFOUT_L70n	AA28	AA29		DQ21L	DQ22L	DQ23L		DQ21L	DQ22L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L35p	DIFFOUT_L70p	AA30	AA30		DQ21L	DQ22L	DQ23L		DQ21L	DQ22L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L36n	DIFFOUT_L71n	AD38	AD33		DQ22L	DQ23L	DQ23L		DQ22L	DQ23L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L36p	DIFFOUT_L71p	AE38	AD34		DQ22L	DQ23L	DQ23L		DQ22L	DQ23L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L36n	DIFFOUT_L72n	AB29	Y25		DQ22L	DQ23L	DQ23L		DQ22L	DQ23L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L36p	DIFFOUT_L72p	AA29	Y26		DQ22L	DQ23L	DQ23L		DQ22L	DQ23L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L37n	DIFFOUT_L73n	AE36	AC31		DQS22L	DQS23L/CQ23L	DQS22L/CQn23L		DQS22L	DQS23L/CQ23L	DQS22L/CQn23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L37p	DIFFOUT_L73p	AE37	AC32		DQS22L	DQS23L/DQ23L	DQS22L/DQ23L		DQS22L	DQS23L/DQ23L	DQS22L/DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L37n	DIFFOUT_L74n	AC30	AA27		DQ23L	DQ23L	DQ23L		DQ23L	DQ23L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L37p	DIFFOUT_L74p	AC31	AA28		DQ23L	DQ23L	DQ23L		DQ23L	DQ23L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L38n	DIFFOUT_L75n	AD35	AE33		DQS23L	DQS23L/CQn23L	DQS23L		DQS23L	DQS23L/CQn23L	DQS23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_TX_L38p	DIFFOUT_L75p	AD36	AE34		DQS23L	DQ23L	DQ23L		DQS23L	DQ23L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L38n	DIFFOUT_L76n	AD33	AB29		DQ23L	DQ23L	DQ23L		DQ23L	DQ23L	DQ23L			DQ20L	
VCCIO1C	VREF1C	IO			DIFFIO_RX_L38p	DIFFOUT_L76p	AD34	AB30		DQ23L	DQ23L	DQ23L		DQ23L	DQ23L	DQ23L			DQ2	



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1512	H780	DQS for X4 for F1517	DQS for X8/9 for F1517	DQS for X16/18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/9 for F1152 (Note 1)	DQS for X16/18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/9 for H780 (Note 1)	DQS for X16/18 for H780 (Note 1)
VCCIO2B	VREF2B	IO			DIFFIO_TX_L43p	DIFFOUT_L86n	AE29			DQ27L	DQ27L								
VCCIO2B	VREF2B	IO			DIFFIO_RX_L43n	DIFFOUT_L86n	AE30			DQ27L	DQ27L								
VCCIO2B	VREF2B	IO			DIFFIO_RX_L44p	DIFFOUT_L87p	AF34			DQS27L	DQ27L/CQn27L								
VCCIO2B	VREF2B	IO			DIFFIO_RX_L44n	DIFFOUT_L87n	AG35			DQS27L	DQ27L								
VCCIO2B	VREF2B	IO			DIFFIO_TX_L44p	DIFFOUT_L88p	AE32			DQ27L	DQ27L								
VCCIO2B	VREF2B	IO			DIFFIO_TX_L44n	DIFFOUT_L88n	AF33			DQ27L	DQ27L								
VCCIO2A	VREF2A	IO			DIFFIO_RX_L45p	DIFFOUT_L89p	AK39	AG33											
VCCIO2A	VREF2A	IO			DIFFIO_RX_L45n	DIFFOUT_L89n	AJ39	AF34											
VCCIO2A	VREF2A	IO			DIFFIO_TX_L45p	DIFFOUT_L90p	AE27	AA24	DQ28L					DQ28L					
VCCIO2A	VREF2A	IO			DIFFIO_TX_L45n	DIFFOUT_L90n	AE28	AA25	DQ28L					DQ28L					
VCCIO2A	VREF2A	IO			DIFFIO_RX_L46p	DIFFOUT_L91p	AJ36	AE31	DQS28L					DQS28L					
VCCIO2A	VREF2A	IO			DIFFIO_RX_L46n	DIFFOUT_L91n	AJ37	AE32	DQS28L					DQS28L					
VCCIO2A	VREF2A	IO			DIFFIO_TX_L46p	DIFFOUT_L92p	AH35	AC28	DQ28L					DQ28L					
VCCIO2A	VREF2A	IO			DIFFIO_TX_L46n	DIFFOUT_L92n	AH36	AC29	DQ28L					DQ28L					
VCCIO2A	VREF2A	IO			DIFFIO_RX_L47p	DIFFOUT_L93p	AL38	AH33	DQ28L	DQ32L				DQ28L	DQ32L				
VCCIO2A	VREF2A	IO			DIFFIO_RX_L47n	DIFFOUT_L93n	AL39	AG34	DQ28L	DQ32L				DQ28L	DQ32L				
VCCIO2A	VREF2A	IO			DIFFIO_TX_L47p	DIFFOUT_L94p	AH33	AD30	DQ28L	DQ32L				DQ28L	DQ32L				
VCCIO2A	VREF2A	IO			DIFFIO_TX_L47n	DIFFOUT_L94n	AG34	AD31	DQ28L	DQ32L				DQ28L	DQ32L				
VCCIO2A	VREF2A	IO			DIFFIO_RX_L48p	DIFFOUT_L95p	AH39	AF31	DQS29L	DQS32L/CQ32L				DQS29L	DQS32L/CQ32L				
VCCIO2A	VREF2A	IO			DIFFIO_RX_L48n	DIFFOUT_L95n	AM39	AF32	DQS29L	DQS32L/DQ32L				DQS29L	DQS32L/DQ32L				
VCCIO2A	VREF2A	IO			DIFFIO_TX_L48p	DIFFOUT_L96p	AG32	AB24	DQ32L	DQ32L				DQ32L	DQ32L				
VCCIO2A	VREF2A	IO			DIFFIO_TX_L48n	DIFFOUT_L96n	AG33	AB25	DQ32L	DQ32L				DQ32L	DQ32L				
VCCIO2A	VREF2A	IO			DIFFIO_RX_L49p	DIFFOUT_L97p	AL37	AJ34	AA27	DQS30L	DQ32L/CQn32L			DQS30L	DQ32L/CQn32L				
VCCIO2A	VREF2A	IO			DIFFIO_RX_L49n	DIFFOUT_L97n	AK38	AH34	Y28	DQS30L	DQ32L			DQS30L	DQ32L				
VCCIO2A	VREF2A	IO			DIFFIO_TX_L49p	DIFFOUT_L98p	AF30	AB26	W22	DQ30L	DQ32L			DQ30L	DQ32L				
VCCIO2A	VREF2A	IO			DIFFIO_TX_L49n	DIFFOUT_L98n	AF31	AB27	W23	DQ30L	DQ32L			DQ30L	DQ32L				
VCCIO2A	VREF2A	IO			DIFFIO_RX_L50p	DIFFOUT_L99p	AF38	AG31	AB27	DQ31L	DQ33L			DQ31L	DQ33L	DQ31L	DQ33L	DQ31L	DQ33L
VCCIO2A	VREF2A	IO			DIFFIO_RX_L50n	DIFFOUT_L99n	AH38	AG32	AB28	DQ31L	DQ33L			DQ31L	DQ33L	DQ31L	DQ33L	DQ31L	DQ33L
VCCIO2A	VREF2A	IO			DIFFIO_TX_L50p	DIFFOUT_L100p	AF28	AE29	W24	DQ31L	DQ33L			DQ31L	DQ33L	DQ31L	DQ33L	DQ31L	DQ33L
VCCIO2A	VREF2A	IO			DIFFIO_TX_L50n	DIFFOUT_L100n	AG29	AE30	W25	DQ31L	DQ33L			DQ31L	DQ33L	DQ31L	DQ33L	DQ31L	DQ33L
VCCIO2A	VREF2A	IO			DIFFIO_RX_L51p	DIFFOUT_L101p	AM36	AK33	Y25	DQS31L	DQS33L/CQ33L			DQS31L	DQS33L/CQ33L	DQ34L	DQS31L	DQS33L/CQ33L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_RX_L51n	DIFFOUT_L101n	AM37	AK34	Y26	DQS31L	DQS33L/DQ33L			DQS31L	DQS33L/DQ33L	DQ34L	DQS31L	DQS33L/DQ33L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_TX_L51p	DIFFOUT_L102p	AG30	AD28	W20	DQ32L	DQ34L			DQ32L	DQ34L	DQ32L	DQ34L	DQ32L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_TX_L51n	DIFFOUT_L102n	AG31	AD29	W21	DQ32L	DQ34L			DQ32L	DQ34L	DQ32L	DQ34L	DQ32L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_RX_L52p	DIFFOUT_L103p	AL35	AJ31	AC28	DQS32L	DQ33L/CQn33L			DQS32L	DQ33L/CQn33L	DQ34L	DQS32L	DQ33L/CQn33L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_RX_L52n	DIFFOUT_L103n	AL36	AJ32	AB28	DQS32L	DQ33L/DQ34L			DQS32L	DQ33L/DQ34L	DQ34L	DQS32L	DQ33L/DQ34L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_TX_L52p	DIFFOUT_L104p	AF28	AE29	DQ32L	DQ34L				DQ32L	DQ34L	DQ32L	DQ34L	DQ32L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_TX_L52n	DIFFOUT_L104n	AH32	AF29	AA26	DQ32L	DQ34L			DQ32L	DQ34L	DQ32L	DQ34L	DQ32L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_RX_L53p	DIFFOUT_L105p	AM34	AB25	DQ33L	DQ34L				DQ33L	DQ34L	DQ33L	DQ34L	DQ33L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_RX_L53n	DIFFOUT_L105n	AM37	AL34	AB26	DQ33L	DQ34L			DQ33L	DQ34L	DQ33L	DQ34L	DQ33L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_TX_L53p	DIFFOUT_L106p	AH38	AE27	AC25	DQ33L	DQ34L			DQ33L	DQ34L	DQ33L	DQ34L	DQ33L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_TX_L53n	DIFFOUT_L106n	AK36	AE28	DQ33L	DQ34L				DQ33L	DQ34L	DQ33L	DQ34L	DQ33L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_RX_L54p	DIFFOUT_L107p	AR39	AH30	AD27	DQS33L	DQS34L/CQ34L			DQS33L	DQS34L/CQ34L	DQ34L	DQS33L	DQS34L/CQ34L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_RX_L54n	DIFFOUT_L107n	AF39	AH31	AD28	DQS33L	DQS34L/DQ34L			DQS33L	DQS34L/DQ34L	DQ34L	DQS33L	DQS34L/DQ34L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_TX_L54p	DIFFOUT_L108p	AK33	AD26	W20	DQ34L	DQ34L			DQ34L	DQ34L	DQ34L	DQ34L	DQ34L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_TX_L54n	DIFFOUT_L108n	AK34	AD27	W21	DQ34L	DQ34L			DQ34L	DQ34L	DQ34L	DQ34L	DQ34L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_RX_L55p	DIFFOUT_L109p	AT38	AL32	AG28	DQS34L	DQ34L/CQn34L			DQS34L	DQ34L/CQn34L	DQ34L	DQS34L	DQ34L/CQn34L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_RX_L55n	DIFFOUT_L109n	AT39	AL33	AF28	DQS34L	DQ34L			DQS34L	DQ34L	DQ34L	DQS34L	DQ34L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_TX_L55p	DIFFOUT_L110p	AJ33	AC25	Y23	DQ34L	DQ34L			DQ34L	DQ34L	DQ34L	DQ34L	DQ34L	DQ34L
VCCIO2A	VREF2A	IO			DIFFIO_TX_L55n	DIFFOUT_L110n	AJ34	AC26	AA24	DQ34L	DQ34L			DQ34L	DQ34L	DQ34L	DQ34L	DQ34L	DQ34L
VCCIO2A	VREF2A	IO	RUP2A		DIFFIO_RX_L56p	DIFFOUT_L111p	AF36	AK31	AE27										
VCCIO2A	VREF2A	IO	RDN2A		DIFFIO_RX_L56n	DIFFOUT_L111n	AR37	AK32	AE28										
VCCIO2A	VREF2A	IO	PLL_L4_FB_CLKOUT0p		DIFFIO_TX_L56p	DIFFOUT_L112p	AL33	AG29	AA23										
VCCIO2A	VREF2A	IO	PLL_L4_CLKOUT0n		DIFFIO_TX_L56n	DIFFOUT_L112n	AL34	AG30	AB24										
VCCIO2A	VREF2A	PLL_L4_CLKp	PLL_L4_CLKp				AL38												
VCCIO2A	VREF2A	PLL_L4_CLKn	PLL_L4_CLKn				AJ39												
VCCA_PLL_L4							AK31												
VCCA_PLL_L4							AK32												
MCNFIG				MCNFIG			AG28	AE25	W19										
MSTATUS				MSTATUS			AK35	AF28	AD25										
CONF_DONE				CONF_DONE			AT37	AH29	AE26										
PORSEL				PORSEL			AM34	AF26	AB23										
nCE				nCE			AH29	AE26	Y20										
							AK35	AL31	AB22										
VCCIO3A	VREF3A	IO			DIFFOUT_B1n	AM30	AH27	AF26	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFOUT_B1p	AM31	AJ27	AH27	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO	RDN3A		DIFFIO_RX_B1n	AN30	AK28	AH25	DQS1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO	RUP3A		DIFFIO_RX_B1p	AN29	AJ28	AG25	DQS1B	DQ1B/CQn1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFOUT_B3n	AK31	AJ29	AG27	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFOUT_B3p	AL31	AJ26	AH26	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_RX_B2n	DIFFOUT_B4n	AP33	AM32	AE22	DQS2B	DQS1B/DQ1B	DQ1B	DQ1B	DQS2B	DQS1B/DQ1B	DQ1B	DQS2B	DQS1B/DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_RX_B4p	DIFFOUT_B4p	AN33	AM31	AD22	DQS2B	DQ1B/CQn1B	DQ1B	DQ1B	DQS2B	DQ1B/CQn1B	DQ1B	DQS2B	DQ1B/CQn1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFOUT_B5n	DIFFOUT_B5p	AP22	AL29	AB20	DQ2B	DQ1B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFOUT_B5p	DIFFOUT_B5n	AN32	AM29	AB21	DQ2B	DQ1B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_RX_B3n	DIFFOUT_B6n	AR33	AN30	AD21	DQ2B	DQ1B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_RX_B3p	DIFFOUT_B6p	AP34	AM30	AC21	DQ2B	DQ1B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B	DQ2B	DQ1B	DQ1B
VCCIO3A	VREF3A	IO			DIFFOUT_B7n	DIFFOUT_B7p	AL29	AH26	AD24	DQ3B	DQ2B	DQ1B	DQ1B	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B
VCCIO3A	VREF3A	IO			DIFFOUT_B7p	DIFFOUT_B7n	AF28	AH25	AE23	DQ3B	DQ2B	DQ1B	DQ1B	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_RX_B4n	DIFFOUT_B8n	AK30	AH24	AF24	DQS3B	DQ2B	DQ1B	DQ1B	DQS3B	DQ2B	DQ1B	DQS3B	DQ2B	DQ1B
VCCIO3A	VREF3A	IO			DIFFIO_RX_B4p	DIFFOUT_B8p	AK29	AG24	AE24	DQS3B	DQ2B/CQn2B	DQ1B	DQ1B	DQS3B	DQ2B/CQn2B	DQ1B	DQS3B	DQ2B/CQn2B	DQ1B
VCCIO3A	VREF3A	IO			DIFFOUT_B9n	DIFFOUT_B9p	AK28	AH25	AF23	DQ3B	DQ2B	DQ1B	DQ1B	DQ3B	DQ2B	DQ1B	DQ3B	DQ2B	DQ1B
VCCIO3A	VREF3A	IO			DIFFOUT_B9p	DIFFOUT_B9n	AF23	AG24	AE28	DQ3B	DQ2B	DQ1B	DQ1B	DQ3B</					



Pin Information for the Stratix^{III} EP3SL200 Device
Version 1.1

Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1512	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1512	DQS for X8/X9 for F1512 (Note 1)	DQS for X16/X18 for F1512 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
VCCIO3A	VREF3A	IO			DIFFIO_RX_B8n	DIFFOUT_B16n	AU32	AP28	AD19	DQS6B	DQS3B/DQ3B	DQ2B	DQ1B	DQS6B	DQS3B/DQ3B	DQ2B	DQS6B	DQS3B/DQ3B	DQ2B	
VCCIO3A	VREF3A	IO			DIFFIO_RX_B8p	DIFFOUT_B16p	AT32	AN28	AC19	DQS6B	DQS3B/CQ3B	DQ2B/CQ2B	DQ1B	DQS6B	DQS3B/CQ3B	DQ2B	DQS6B	DQS3B/CQ3B	DQ2B	
VCCIO3A	VREF3A	IO				DIFFOUT_B17n	AR31	AM28	AB19	DQ6B	DQ3B	DQ2B	DQ1B	DQ6B	DQ3B	DQ2B	DQ6B	DQ3B	DQ2B	
VCCIO3A	VREF3A	IO				DIFFOUT_B17p	AT31	AP29	AA19	DQ6B	DQ3B	DQ2B	DQ1B	DQ6B	DQ3B	DQ2B	DQ6B	DQ3B	DQ2B	
VCCIO3A	VREF3A	IO			DIFFIO_RX_B9n	DIFFOUT_B18n	AK27	AK28	AE19	DQ6B	DQ3B	DQ2B	DQ1B	DQ6B	DQ3B	DQ2B	DQ6B	DQ3B	DQ2B	
VCCIO3A	VREF3A	IO			DIFFIO_RX_B9p	DIFFOUT_B18p	AT33	AN27	AD18	DQ6B	DQ3B	DQ2B	DQ1B	DQ6B	DQ3B	DQ2B	DQ6B	DQ3B	DQ2B	
VCCIO3A	VREF3A	IO				DIFFOUT_B19n	AK27	AE24	Y19	DQ7B	DQ4B	DQ2B	DQ1B	DQ7B	DQ4B	DQ2B	DQ7B	DQ4B	DQ2B	
VCCIO3A	VREF3A	IO			DIFFIO_RX_B10n	DIFFOUT_B19p	AJ27	AE23	AA18	DQ7B	DQ4B	DQ2B	DQ1B	DQ7B	DQ4B	DQ2B	DQ7B	DQ4B	DQ2B	
VCCIO3A	VREF3A	IO			DIFFIO_RX_B10p	DIFFOUT_B20n	AP27	AD22	Y18	DQS7B	DQ4B	DQS7B/DQ4B	DQ1B	DQS7B	DQ4B	DQS7B/CQ4B	DQ1B	DQS7B	DQ4B	
VCCIO3A	VREF3A	IO			DIFFIO_RX_B10p	DIFFOUT_B20p	AK27	AK22	Y17	DQS7B	DQ4B	DQS7B/CQ4B	DQ1B	DQS7B	DQ4B	DQS7B/CQ4B	DQ1B	DQS7B	DQ4B	
VCCIO3A	VREF3A	IO				DIFFOUT_B21n	AH26	DQ7B	DQ7B	DQ7B	DQ4B	DQ2B	DQ1B	DQ7B	DQ4B	DQ2B	DQ7B	DQ4B	DQ2B	
VCCIO3A	VREF3A	IO				DIFFOUT_B21p	AH25	DQ7B	DQ7B	DQ7B	DQ4B	DQ2B	DQ1B	DQ7B	DQ4B	DQ2B	DQ7B	DQ4B	DQ2B	
VCCIO3A	VREF3A	IO			DIFFIO_RX_B11n	DIFFOUT_B22n	AV34	DQS8B	DQS8B	DQS8B	DQ4B	DQ2B	DQ1B	DQS8B	DQ4B	DQ2B	DQS8B	DQ4B	DQ2B	
VCCIO3A	VREF3A	IO			DIFFIO_RX_B11p	DIFFOUT_B22p	AV34	DQS8B	DQS8B	DQS8B	DQ4B	DQ2B	DQ1B	DQS8B	DQ4B	DQ2B	DQS8B	DQ4B	DQ2B	
VCCIO3A	VREF3A	IO				DIFFOUT_B23n	AV33	DQ8B	DQ8B	DQ8B	DQ4B	DQ2B	DQ1B	DQ8B	DQ4B	DQ2B	DQ8B	DQ4B	DQ2B	
VCCIO3A	VREF3A	IO				DIFFOUT_B23p	AW33	DQ8B	DQ8B	DQ8B	DQ4B	DQ2B	DQ1B	DQ8B	DQ4B	DQ2B	DQ8B	DQ4B	DQ2B	
VCCIO3A	VREF3A	IO			DIFFIO_RX_B12n	DIFFOUT_B24n	AV35	DQ8B	DQ8B	DQ8B	DQ4B	DQ2B	DQ1B	DQ8B	DQ4B	DQ2B	DQ8B	DQ4B	DQ2B	
VCCIO3A	VREF3A	IO			DIFFIO_RX_B12p	DIFFOUT_B24p	AW34	DQ8B	DQ8B	DQ8B	DQ4B	DQ2B	DQ1B	DQ8B	DQ4B	DQ2B	DQ8B	DQ4B	DQ2B	
VCCIO3B	VREF3B	IO				DIFFOUT_B25n	AN28	AH23	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B
VCCIO3B	VREF3B	IO				DIFFOUT_B25p	AM28	AJ24	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B13n	DIFFOUT_B26n	AR27	AJ22	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B13p	DIFFOUT_B26p	AP27	AH22	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B	DQS9B
VCCIO3B	VREF3B	IO				DIFFOUT_B27n	AL23	AJ23	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B
VCCIO3B	VREF3B	IO				DIFFOUT_B27p	AP28	AK22	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B14n	DIFFOUT_B28n	AT28	AM24	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B14p	DIFFOUT_B28p	AR28	AL24	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B	DQS10B
VCCIO3B	VREF3B	IO				DIFFOUT_B29n	AR30	AK24	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B
VCCIO3B	VREF3B	IO				DIFFOUT_B29p	AT30	AL25	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B15n	DIFFOUT_B30n	AU29	AM23	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B	DQ9B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B15p	DIFFOUT_B30p	AT29	AL23	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B	DQ10B
VCCIO3B	VREF3B	IO				DIFFOUT_B31n	AL26	AE22	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B
VCCIO3B	VREF3B	IO				DIFFOUT_B31p	AK26	AE21	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B16n	DIFFOUT_B32n	AM27	AG21	DQS11B	DQ10B	DQS11B/DQ9B	DQ9B	DQS11B	DQ10B	DQS11B/DQ9B	DQ9B	DQS11B	DQ10B	DQS11B/DQ9B	DQ9B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B16p	DIFFOUT_B32p	AL27	AF21	DQS11B	DQ10B/CQ10B	DQS11B/CQ9B	DQ9B	DQS11B	DQ10B/CQ10B	DQS11B/CQ9B	DQ9B	DQS11B	DQ10B/CQ10B	DQS11B/CQ9B	DQ9B
VCCIO3B	VREF3B	IO				DIFFOUT_B33n	AM25	AD21	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B
VCCIO3B	VREF3B	IO				DIFFOUT_B33p	AL25	AE20	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B	DQ11B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B17n	DIFFOUT_B34n	AV31	AP25	DQS12B	DQS12B	DQS12B/DQ10B	DQ9B	DQS12B	DQS12B/DQ10B	DQ9B	DQS12B	DQS12B/DQ10B	DQ9B	DQS12B	DQS12B/DQ10B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B17p	DIFFOUT_B34p	AU30	AN25	DQS12B	DQS12B	DQS12B/CQ10B	DQ9B	DQS12B	DQS12B/CQ10B	DQ9B	DQS12B	DQS12B/CQ10B	DQ9B	DQS12B	DQS12B/CQ10B
VCCIO3B	VREF3B	IO				DIFFOUT_B35n	AW32	AP26	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B
VCCIO3B	VREF3B	IO				DIFFOUT_B35p	AV31	AP23	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B18n	DIFFOUT_B36n	AW30	AP24	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B18p	DIFFOUT_B36p	AV30	AN24	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B	DQ12B
VCCIO3B	VREF3B	IO				DIFFOUT_B37n	AH24	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B
VCCIO3B	VREF3B	IO				DIFFOUT_B37p	AH23	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B19n	DIFFOUT_B38n	AJ25	DQS13B	DQ11B	DQ10B	DQS13B/DQ9B	DQ9B	DQS13B	DQ11B	DQ10B	DQS13B/DQ9B	DQ9B	DQS13B	DQ11B	DQ10B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B19p	DIFFOUT_B38p	AL24	DQ13B	DQ13B	DQ13B	DQ13B/CQ11B	DQ10B	DQS13B	DQ13B	DQ13B	DQ13B/CQ9B	DQ10B	DQS13B	DQ13B	DQ13B
VCCIO3B	VREF3B	IO				DIFFOUT_B39n	AK24	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B
VCCIO3B	VREF3B	IO				DIFFOUT_B39p	AL24	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B	DQ13B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B20n	DIFFOUT_B40n	AR25	DQS14B	DQS11B/DQ11B	DQ10B	DQS14B	DQ10B	DQS14B	DQS11B/DQ11B	DQ10B	DQS14B	DQS11B/DQ11B	DQ10B	DQS14B	DQS11B/DQ11B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B20p	DIFFOUT_B40p	AP25	DQS14B	DQS11B/CQ11B	DQ10B	DQS14B	DQ10B	DQS14B	DQS11B/CQ11B	DQ10B	DQS14B	DQS11B/CQ11B	DQ10B	DQS14B	DQS11B/CQ11B
VCCIO3B	VREF3B	IO				DIFFOUT_B41n	AN26	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B
VCCIO3B	VREF3B	IO				DIFFOUT_B41p	AP26	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B21n	DIFFOUT_B42n	AP24	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B21p	DIFFOUT_B42p	AN25	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B	DQ14B
VCCIO3B	VREF3B	IO				DIFFOUT_B43n	AT28	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B
VCCIO3B	VREF3B	IO				DIFFOUT_B43p	AU28	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B22n	DIFFOUT_B44n	AU27	DQS15B	DQ12B	DQS15B/DQ10B	DQ9B	DQS15B	DQ12B	DQS15B/DQ10B	DQ9B	DQS15B	DQ12B	DQS15B/DQ10B	DQ9B	DQS15B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B22p	DIFFOUT_B44p	AT27	DQS15B	DQ12B/CQ12B	DQS15B/CQ10B	DQ9B	DQS15B	DQ12B	DQS15B/CQ10B	DQ9B	DQS15B	DQ12B	DQS15B/CQ10B	DQ9B	DQS15B
VCCIO3B	VREF3B	IO				DIFFOUT_B45n	AT26	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B
VCCIO3B	VREF3B	IO				DIFFOUT_B45p	AJ26	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B	DQ15B
VCCIO3B	VREF3B	IO			DIFFIO_RX_B23n	DIFFOUT_B46														



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1512	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)
VCCIO3C	VREF3C	IO	CLK5n			DIFFOUT_B63n	AW21	AP19	AH15										
VCCIO3C	VREF3C	IO	CLK6p			DIFFOUT_B63p	AV21	AN19	AG15										
VCCIO3C	VREF3C	IO	CLK4n		DIFFIO_RX_B32n	DIFFOUT_B64n	AU21	AP18	AF16										
VCCIO3C	VREF3C	IO	CLK4p		DIFFIO_RX_B32p	DIFFOUT_B64p	AT21	AN18	AE15										
			VCC_CLKIN3C				AL21	AG18	AB14										
			VCCA_PLL_B1				AK21	AH18	AC14										
			VCCD_PLL_B1				AJ21	AF18	AB15										
			VCCD_PLL_B2				AK19	AF17											
			VCCA_PLL_B2				AL19	AH17											
			VCC_CLKIN4C				AK20	AE17	AC13										
VCCIO4C	VREF4C	IO	CLK6p		DIFFIO_RX_B33p	DIFFOUT_B65p	AT20	AN16	AE14										
VCCIO4C	VREF4C	IO	CLK6n		DIFFIO_RX_B33n	DIFFOUT_B65n	AU20	AP16	AF14										
VCCIO4C	VREF4C	IO	CLK7p			DIFFOUT_B66p	AV19	AN15	AG13										
VCCIO4C	VREF4C	IO	CLK7n			DIFFOUT_B66n	AW19	AP15	AH14										
VCCIO4C	VREF4C	IO	PLL_B2_FBI/CLKOUT1		DIFFIO_RX_B34p	DIFFOUT_B67p	AM19	AL17											
VCCIO4C	VREF4C	IO	PLL_B2_FBI/CLKOUT2		DIFFIO_RX_B34n	DIFFOUT_B67n	AN19	AM17											
VCCIO4C	VREF4C	IO	PLL_B2_CLKOUT0p			DIFFOUT_B68p	AH19	AE16											
VCCIO4C	VREF4C	IO	PLL_B2_CLKOUT0n			DIFFOUT_B68n	AW20	AF16											
VCCIO4C	VREF4C	IO			DIFFIO_RX_B35p	DIFFOUT_B69p	AL18	AL16											
VCCIO4C	VREF4C	IO			DIFFIO_RX_B35n	DIFFOUT_B69n	AM18	AM16											
VCCIO4C	VREF4C	IO	PLL_B2_CLKOUT3			DIFFOUT_B70p	AK18	AD15											
VCCIO4C	VREF4C	IO	PLL_B2_CLKOUT4			DIFFOUT_B70n	AJ19	AD16											
VCCIO4C	VREF4C	IO			DIFFIO_RX_B36p	DIFFOUT_B71p	AT17	AJ16	AG12										
VCCIO4C	VREF4C	IO			DIFFIO_RX_B36n	DIFFOUT_B71n	AR18	AK16	AH13										
VCCIO4C	VREF4C	IO				DIFFOUT_B72p	AP20	AL15	Y13	DQ20B									DQ20B
VCCIO4C	VREF4C	IO				DIFFOUT_B72n	AR19	AM15	Y14	DQ20B									DQ20B
VCCIO4C	VREF4C	IO			DIFFIO_RX_B37p	DIFFOUT_B73p	AT19	AL14	AD13	DQS20B									DQS20B
VCCIO4C	VREF4C	IO			DIFFIO_RX_B37n	DIFFOUT_B73n	AU19	AM14	AE13	DQS20B									DQS20B
VCCIO4C	VREF4C	IO				DIFFOUT_B74p	AP18	AK13	AA13	DQ20B									DQ20B
VCCIO4C	VREF4C	IO				DIFFOUT_B74n	AP19	AL13	AB13	DQ20B									DQ20B
VCCIO4C	VREF4C	IO			DIFFIO_RX_B38p	DIFFOUT_B75p	AT18	AH15	AG10	DQ21B	DQ22B								DQ21B
VCCIO4C	VREF4C	IO			DIFFIO_RX_B38n	DIFFOUT_B75n	AJ16	AH10	DQ21B	DQ22B									DQ21B
VCCIO4C	VREF4C	IO				DIFFOUT_B76p	AT17	AG15	AH11	DQ21B	DQ22B								DQ21B
VCCIO4C	VREF4C	IO				DIFFOUT_B76n	AU17	AK15	AH12	DQ21B	DQ22B								DQ21B
VCCIO4C	VREF4C	IO			DIFFIO_RX_B39p	DIFFOUT_B77p	AR16	AH14	AF10	DQS21B	DQS22B/CQ22B								DQS21B
VCCIO4C	VREF4C	IO			DIFFIO_RX_B39n	DIFFOUT_B77n	AT16	AJ14	AF11	DQS21B	DQS22B/CQ22B								DQS21B
VCCIO4C	VREF4C	IO				DIFFOUT_B78p	AW16	AF14	AF12	DQ21B	DQ22B								DQ21B
VCCIO4C	VREF4C	IO				DIFFOUT_B78n	AV18	AN13	AC12	DQ22B	DQ22B								DQ22B
VCCIO4C	VREF4C	IO			DIFFIO_RX_B40p	DIFFOUT_B79p	AV16	AN12	AD12	DQS22B	DQ22B/CQ22B								DQS22B
VCCIO4C	VREF4C	IO			DIFFIO_RX_B40n	DIFFOUT_B79n	AW17	AP12	AE12	DQS22B	DQ22B								DQS22B
VCCIO4C	VREF4C	IO				DIFFOUT_B80p	AW16	AM12	AC11	DQ22B	DQ22B								DQ22B
VCCIO4C	VREF4C	IO				DIFFOUT_B80n	AV16	AP13	AE11	DQ22B	DQ22B								DQ22B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B41p	DIFFOUT_B81p	AV15			DQ23B	DQ27B	DQ29B							DQ23B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B41n	DIFFOUT_B81n	AW14			DQ23B	DQ27B	DQ29B							DQ23B
VCCIO4B	VREF4B	IO				DIFFOUT_B82p	AT15			DQ23B	DQ27B	DQ29B							DQ23B
VCCIO4B	VREF4B	IO				DIFFOUT_B82n	AT16			DQ23B	DQ27B	DQ29B							DQ23B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B42p	DIFFOUT_B83p	AV13			DQS23B	DQS27B/CQ27B	DQ29B							DQS23B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B42n	DIFFOUT_B83n	AW13			DQS23B	DQS27B/CQ27B	DQ29B							DQS23B
VCCIO4B	VREF4B	IO				DIFFOUT_B84p	AK17			DQ24B	DQ27B	DQ29B							DQ24B
VCCIO4B	VREF4B	IO				DIFFOUT_B84n	AK17			DQ24B	DQ27B	DQ29B							DQ24B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B43p	DIFFOUT_B85p	AH17			DQS24B	DQ27B/CQ27B	DQS29B/CQ29B							DQS24B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B43n	DIFFOUT_B85n	AJ16			DQS24B	DQ27B	DQS29B/CQ29B							DQS24B
VCCIO4B	VREF4B	IO				DIFFOUT_B86p	AH18			DQ24B	DQ27B	DQ29B							DQ24B
VCCIO4B	VREF4B	IO				DIFFOUT_B86n	AJ18			DQ24B	DQ27B	DQ29B							DQ24B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B44p	DIFFOUT_B87p	AP16			DQ25B	DQ29B	DQ29B							DQ25B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B44n	DIFFOUT_B87n	AR15			DQ25B	DQ29B	DQ29B							DQ25B
VCCIO4B	VREF4B	IO				DIFFOUT_B88p	AN14			DQ25B	DQ28B	DQ29B							DQ25B
VCCIO4B	VREF4B	IO				DIFFOUT_B88n	AP14			DQ25B	DQ28B	DQ29B							DQ25B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B45p	DIFFOUT_B89p	AN15			DQS25B	DQS28B/CQ28B	DQS29B/CQ29B							DQS25B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B45n	DIFFOUT_B89n	AP15			DQS25B	DQS28B/CQ28B	DQS29B/CQ29B							DQS25B
VCCIO4B	VREF4B	IO				DIFFOUT_B90p	AU14			DQ26B	DQ28B	DQ29B							DQ26B
VCCIO4B	VREF4B	IO				DIFFOUT_B90n	AT14			DQ26B	DQ28B	DQ29B							DQ26B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B46p	DIFFOUT_B91p	AR12			DQS26B	DQ28B/CQ28B	DQ29B	DQS30B/CQ30B						DQS26B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B46n	DIFFOUT_B91n	AT12			DQS26B	DQ28B	DQ29B	DQS30B/CQ30B						DQS26B
VCCIO4B	VREF4B	IO				DIFFOUT_B92p	AR13			DQ26B	DQ28B	DQ29B							DQ26B
VCCIO4B	VREF4B	IO				DIFFOUT_B92n	AT13			DQ26B	DQ28B	DQ29B							DQ26B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B47p	DIFFOUT_B93p	AW11	AN10		DQ27B	DQ29B	DQ30B		DQ27B	DQ29B	DQ30B			DQ30B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B47n	DIFFOUT_B93n	AW12	AP10		DQ27B	DQ29B	DQ30B		DQ27B	DQ29B	DQ30B			DQ30B
VCCIO4B	VREF4B	IO				DIFFOUT_B94p	AP9			DQ27B	DQ29B	DQ30B		DQ27B	DQ29B	DQ30B			DQ30B
VCCIO4B	VREF4B	IO				DIFFOUT_B94n	AU12	AP11		DQ27B	DQ29B	DQ30B		DQ27B	DQ29B	DQ30B			DQ30B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B48p	DIFFOUT_B95p	AT11	AM9		DQS27B	DQS29B/CQ29B	DQ30B	DQS30B/CQ30B	DQS27B					DQS27B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B48n	DIFFOUT_B95n	AU11	AN9		DQS27B	DQS29B/CQ29B	DQ30B	DQS30B/CQ30B	DQS27B					DQS27B
VCCIO4B	VREF4B	IO				DIFFOUT_B96p	AK15	AE15		DQ28B	DQ29B	DQ30B		DQ28B	DQ29B	DQ30B			DQ28B
VCCIO4B	VREF4B	IO				DIFFOUT_B96n	AL16	AF15		DQ28B	DQ29B	DQ30B		DQ28B	DQ29B	DQ30B			DQ28B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B49p	DIFFOUT_B97p	AF13			DQS28B	DQ29B/CQ29B	DQS30B/CQ30B	DQ30B	DQS28B	DQ29B/CQ29B	DQS30B/CQ30B			DQS28B
VCCIO4B	VREF4B	IO			DIFFIO_RX_B49n	DIFFOUT_B97n	AM15	AF14		DQS28B	DQ29B	DQS30B/CQ30B	DQ30B	DQS28B	DQ29B	DQS30B/CQ30B			DQS28B
VCCIO4B	VREF4B	IO				DIFFOUT_B98p	AL14	AE13		DQ28B	DQ29B	DQ30B		DQ28B	DQ29B	DQ30B			DQ28B
VCCIO4B	VREF4B	IO				DIFFOUT_B98n	AK12	AE14		DQ28B	DQ29B	DQ30B		DQ28B	DQ29B	DQ30B			



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1522	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1522	DQS for X8/X9 for F1522 (Note 1)	DQS for X16/X18 for F1522 (Note 1)	DQS for X4 for H780	H780 for DQS (Note 1)	DQS for X16/X18 for H780 (Note 1)
VCCIO4A	VREF4A	IO			DIFFIO_RX_B54p	DIFFOUT_B107p	A17			DQ33B1	DQS35B/CQ35B	DQ37B	DQ38B						
VCCIO4A	VREF4A	IO			DIFFIO_RX_B54n	DIFFOUT_B107n	A18			DQ35B1B	DQS35B/DQ35B	DQ37B	DQ38B						
VCCIO4A	VREF4A	IO				DIFFOUT_B108p	AG15			DQ32B	DQ35B	DQ37B	DQ38B						
VCCIO4A	VREF4A	IO				DIFFOUT_B108n	AH16			DQ32B	DQ35B	DQ37B	DQ38B						
VCCIO4A	VREF4A	IO			DIFFIO_RX_B55p	DIFFOUT_B109p	A19	AC12	AB11	DQ32B	DQS35B/CQ35B	DQ37B	DQ38B						
VCCIO4A	VREF4A	IO			DIFFIO_RX_B55n	DIFFOUT_B109n	AH14	AD12	AC10	DQS32B	DQ35B	DQS35B/DQ37B	DQ38B						
VCCIO4A	VREF4A	IO				DIFFOUT_B110p	AH15	AE12	Y10	DQ32B	DQ35B	DQ37B	DQ38B						
VCCIO4A	VREF4A	IO			DIFFIO_RX_B56p	DIFFOUT_B110n	AJ15	AD13	Y11	DQ32B	DQ35B	DQ37B	DQ38B						
VCCIO4A	VREF4A	IO			DIFFIO_RX_B56n	DIFFOUT_B111p	AJ8	AH12	AG9	DQ33B	DQ36B	DQ37B	DQ38B	DQ36B	DQ36B	DQ36B	DQ36B	DQ36B	DQ36B
VCCIO4A	VREF4A	IO				DIFFOUT_B111n	AJ7	AJ12	AH8	DQ33B	DQ36B	DQ37B	DQ38B	DQ36B	DQ36B	DQ36B	DQ36B	DQ36B	DQ36B
VCCIO4A	VREF4A	IO				DIFFOUT_B112p	AW8	AG12	AE10	DQ33B	DQ36B	DQ37B	DQ38B	DQ36B	DQ36B	DQ36B	DQ36B	DQ36B	DQ36B
VCCIO4A	VREF4A	IO				DIFFOUT_B112n	AW7	AJ13	AH9	DQ33B	DQ36B	DQ37B	DQ38B	DQ36B	DQ36B	DQ36B	DQ36B	DQ36B	DQ36B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B57p	DIFFOUT_B113p	AV6	AH11	AE9	DQS33B	DQS36B/CQ36B	DQ37B/CQ37B	DQ38B	DQS33B	DQS36B/CQ36B	DQS33B	DQS36B/CQ36B	DQS33B	DQS36B/CQ36B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B57n	DIFFOUT_B113n	AW6	AJ11	AF9	DQS33B	DQS36B/DQ36B	DQ37B	DQ38B	DQS33B	DQS36B/DQ36B	DQS33B	DQS36B/DQ36B	DQS33B	DQS36B/DQ36B
VCCIO4A	VREF4A	IO				DIFFOUT_B114p	AV4	AJ10	AF8	DQ34B	DQ36B	DQ37B	DQ38B	DQ34B	DQ36B	DQ36B	DQ36B	DQ36B	DQ36B
VCCIO4A	VREF4A	IO				DIFFOUT_B114n	AV5	AL8	AE8	DQ34B	DQ36B	DQ37B	DQ38B	DQ34B	DQ36B	DQ36B	DQ36B	DQ36B	DQ36B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B58p	DIFFOUT_B115p	AV3	AK9	AG7	DQS34B	DQ36B/CQ36B	DQ37B	DQ38B	DQS34B	DQ36B/CQ36B	DQS34B	DQ36B/CQ36B	DQS34B	DQ36B/CQ36B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B58n	DIFFOUT_B115n	AV4	AL9	AH7	DQS34B	DQ36B	DQ37B	DQ38B	DQS34B	DQ36B	DQ36B	DQ36B	DQ36B	DQ36B
VCCIO4A	VREF4A	IO				DIFFOUT_B116p	AV2	AL7	AG6	DQ34B	DQ36B	DQ37B	DQ38B	DQ34B	DQ36B	DQ36B	DQ36B	DQ36B	DQ36B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B59p	DIFFOUT_B117p	AT6	AN4	AG4	DQ35B	DQ37B	DQ38B	DQ38B	DQ35B	DQ37B	DQ38B	DQ35B	DQ37B	DQ38B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B59n	DIFFOUT_B117n	AJ6	AP4	AH3	DQ35B	DQ37B	DQ38B	DQ38B	DQ35B	DQ37B	DQ38B	DQ35B	DQ37B	DQ38B
VCCIO4A	VREF4A	IO				DIFFOUT_B118p	AR7	AP7	AH4	DQ35B	DQ37B	DQ38B	DQ38B	DQ35B	DQ37B	DQ38B	DQ35B	DQ37B	DQ38B
VCCIO4A	VREF4A	IO				DIFFOUT_B118n	AR7	AP5	AH5	DQ35B	DQ37B	DQ38B	DQ38B	DQ35B	DQ37B	DQ38B	DQ35B	DQ37B	DQ38B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B60p	DIFFOUT_B119p	AT5	AN3	AG3	DQS35B	DQS37B/CQ37B	DQ38B	DQ38B	DQS35B	DQS37B/CQ37B	DQS35B	DQS37B/CQ37B	DQS35B	DQS37B/CQ37B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B60n	DIFFOUT_B119n	AJ5	AP3	AH2	DQS35B	DQS37B/DQ37B	DQ38B	DQ38B	DQS35B	DQS37B/DQ37B	DQS35B	DQS37B/DQ37B	DQS35B	DQS37B/DQ37B
VCCIO4A	VREF4A	IO				DIFFOUT_B120p	AK13	AM6	AD9	DQ36B	DQ37B	DQ38B	DQ38B	DQ36B	DQ37B	DQ38B	DQ36B	DQ37B	DQ38B
VCCIO4A	VREF4A	IO				DIFFOUT_B120n	AK13	AN6	AC9	DQ36B	DQ37B	DQ38B	DQ38B	DQ36B	DQ37B	DQ38B	DQ36B	DQ37B	DQ38B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B61p	DIFFOUT_B121p	AH13	AL5	AA9	DQS36B	DQ37B/CQ37B	DQ38B	DQ38B	DQS36B	DQ37B/CQ37B	DQS36B	DQ37B/CQ37B	DQS36B	DQ37B/CQ37B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B61n	DIFFOUT_B121n	AJ13	AM5	AB9	DQS36B	DQ37B	DQS36B/DQ36B	DQ38B	DQS36B	DQ37B	DQS36B/DQ36B	DQS36B	DQ37B	DQS36B/DQ36B
VCCIO4A	VREF4A	IO				DIFFOUT_B122p	AJ12	AL4	Y9	DQ36B	DQ37B	DQ38B	DQ38B	DQ36B	DQ37B	DQ38B	DQ36B	DQ37B	DQ38B
VCCIO4A	VREF4A	IO				DIFFOUT_B122n	AK12	AM4	AA10	DQ36B	DQ37B	DQ38B	DQ38B	DQ36B	DQ37B	DQ38B	DQ36B	DQ37B	DQ38B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B62p	DIFFOUT_B123p	AN9	AJ7	AE6	DQ37B	DQ38B	DQ38B	DQ38B	DQ37B	DQ38B	DQ38B	DQ37B	DQ38B	DQ38B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B62n	DIFFOUT_B123n	AP9	AK7	AF6	DQ37B	DQ38B	DQ38B	DQ38B	DQ37B	DQ38B	DQ38B	DQ37B	DQ38B	DQ38B
VCCIO4A	VREF4A	IO				DIFFOUT_B124p	AN7	AJ6	AE4	DQ37B	DQ38B	DQ38B	DQ38B	DQ37B	DQ38B	DQ38B	DQ37B	DQ38B	DQ38B
VCCIO4A	VREF4A	IO				DIFFOUT_B124n	AP7	AK6	AE7	DQ37B	DQ38B	DQ38B	DQ38B	DQ37B	DQ38B	DQ38B	DQ37B	DQ38B	DQ38B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B63p	DIFFOUT_B125p	AH8	AK8	AE5	DQS38B/CQ38B	DQS38B/CQ38B	DQ38B	DQ38B	DQS38B/CQ38B	DQS38B/CQ38B	DQS38B	DQS38B/CQ38B	DQS38B	DQS38B/CQ38B
VCCIO4A	VREF4A	IO			DIFFIO_RX_B63n	DIFFOUT_B125n	AP8	AJ8	AF5	DQS37B	DQS38B/DQ38B	DQ38B	DQ38B	DQS37B	DQS38B/DQ38B	DQS37B	DQS38B/DQ38B	DQS37B	DQS38B/DQ38B
VCCIO4A	VREF4A	IO				DIFFOUT_B126p	AL9	AE11	AB8	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B
VCCIO4A	VREF4A	IO				DIFFOUT_B126n	AM9	AF11	AC8	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B
VCCIO4A	VREF4A	IO	RUP4A		DIFFIO_RX_B64p	DIFFOUT_B127p	AL10	AG9	AD7	DQ38B	DQS38B/CQ38B	DQ38B	DQ38B	DQ38B/CQ38B	DQS38B/CQ38B	DQ38B	DQ38B/CQ38B	DQS38B/CQ38B	DQ38B
VCCIO4A	VREF4A	IO	RDNA		DIFFIO_RX_B64n	DIFFOUT_B127n	AM10	AH9	AD7	DQS38B	DQ38B	DQ38B	DQ38B	DQS38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B
VCCIO4A	VREF4A	IO				DIFFOUT_B128p	AK11	AE10	AB7	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B
VCCIO4A	VREF4A	IO				DIFFOUT_B128n	AL11	AF10	AD6	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B	DQ38B
							AG12	AH7	W10										
							AN9	AF9											
				nIO_PULLUP			AP6	AF8	AE3										
				nCEO			AJ3	AJ6	AB5										
				DCLK			AP5	AL3	AC5										
				nCS0			AM7	AD9	AD9										
				ASD0			AT4	AH6	AA6										
				VCCA_PLL_R4			AJ9												
				VCCD_PLL_R4			AH10												
VCCIO5A	VREF5A	IO	PLL_R4_CLKp		PLL_R4_CLKp		AJ2												
VCCIO5A	VREF5A	IO	PLL_R4_CLKn		PLL_R4_CLKn		AJ1												
VCCIO5A	VREF5A	IO	PLL_R4_CLKp0n		PLL_R4_CLKp0n		DIFFIO_TX_R1n	DIFFOUT_R1n	AL7	AH4	AC3								
VCCIO5A	VREF5A	IO	PLL_R4_FB_CLKOUT0p		PLL_R4_FB_CLKOUT0p		DIFFIO_TX_R1p	DIFFOUT_R1p	AK8	AH5	AC4								
VCCIO5A	VREF5A	IO					DIFFIO_RX_R1n	DIFFOUT_R2n	AN5	AK3	AF1								
VCCIO5A	VREF5A	IO					DIFFIO_RX_R1p	DIFFOUT_R2p	AM6	AK4	AE2								
VCCIO5A	VREF5A	IO					DIFFIO_TX_R2n	DIFFOUT_R3n	AL5	AE7	AB3	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R
VCCIO5A	VREF5A	IO					DIFFIO_TX_R2p	DIFFOUT_R3p	AL6	AE8	AB4	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R
VCCIO5A	VREF5A	IO					DIFFIO_RX_R2n	DIFFOUT_R4n	AR3	AM1	DQS1R	DQ1R	DQ1R	DQS1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R
VCCIO5A	VREF5A	IO					DIFFIO_RX_R2p	DIFFOUT_R4p	AR4	AM2	AF2	DQS1R	DQ1R/CQ1R	DQ1R	DQS1R	DQ1R/CQ1R	DQ1R	DQS1R	DQ1R/CQ1R
VCCIO5A	VREF5A	IO					DIFFIO_TX_R3n	DIFFOUT_R5n	AK5	AF5	Y6	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R
VCCIO5A	VREF5A	IO					DIFFIO_TX_R3p	DIFFOUT_R5p	AK6	AF6	Y7	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R	DQ1R
VCCIO5A	VREF5A	IO					DIFFIO_RX_R3n	DIFFOUT_R6n	AT2	AJ3	AE1	DQS2R	DQS1R/DQ1R	DQ1R	DQS2R	DQS1R/DQ1R	DQ1R	DQS2R	DQS1R/DQ1R
VCCIO5A	VREF5A	IO					DIFFIO_RX_R3p	DIFFOUT_R6p	AT3	AJ4	AD1	DQS2R	DQS1R/CQ1R	DQ1R/CQ1R	DQ1R	DQS2R	DQS1R/CQ1R	DQ1R	DQS2R
VCCIO5A	VREF5A	IO					DIFFIO_TX_R4n	DIFFOUT_R7n	AJ6	AC8	AA4	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R
VCCIO5A	VREF5A	IO					DIFFIO_TX_R4p	DIFFOUT_R7p	AJ7	AC9	Y5	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R	DQ2R
VCCIO5A	VREF5A	IO					DIFFIO_RX_R4n	DIFFOUT_R8n	AP4	AL1	AC1	DQ2R	DQ2R	DQ2R					



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1512	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1512	DQS for X8/X9 for F1512 (Note 1)	DQS for X16/X18 for F1512 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)
VCCIOA	VREF5A	IO			DIFFIO_RX_R10p	DIFFOUT_R20p	A12	AF2		DQ6R				DQ6R					
VCCIOA	VREF5A	IO			DIFFIO_TX_R11n	DIFFOUT_R21n	AF12	AB11		DQ7R				DQ7R					
VCCIOA	VREF5A	IO			DIFFIO_TX_R11p	DIFFOUT_R21p	AG13	AA12		DQ7R				DQ7R					
VCCIOA	VREF5A	IO			DIFFIO_RX_R11n	DIFFOUT_R22n	AK2	AE3		DQS7R				DQS7R					
VCCIOA	VREF5A	IO			DIFFIO_RX_R11p	DIFFOUT_R22p	AK3	AE4		DQ7R				DQ7R					
VCCIOA	VREF5A	IO			DIFFIO_TX_R12n	DIFFOUT_R23n	AE13	AD3		DQ7R				DQ7R					
VCCIOA	VREF5A	IO			DIFFIO_TX_R12p	DIFFOUT_R23p	AE14	AD4		DQ7R				DQ7R					
VCCIOA	VREF5A	IO			DIFFIO_RX_R12n	DIFFOUT_R24n	AK1	AE1											
VCCIOA	VREF5A	IO			DIFFIO_RX_R12p	DIFFOUT_R24p	AJ1	AE2											
VCCIOB	VREF5B	IO			DIFFIO_TX_R13n	DIFFOUT_R25n	AG7			DQ8R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_TX_R13p	DIFFOUT_R25p	AG8			DQ8R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_RX_R13n	DIFFOUT_R26n	AH1			DQS8R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_RX_R13p	DIFFOUT_R26p	AH2			DQS8R	DQ8R/CQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_TX_R14n	DIFFOUT_R27n	AF9			DQ8R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_TX_R14p	DIFFOUT_R27p	AF10			DQ8R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_RX_R14n	DIFFOUT_R28n	AH4			DQS8R	DQS8R/DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_RX_R14p	DIFFOUT_R28p	AH5			DQS8R	DQS8R/CQ8R	DQ8R/CQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_TX_R15n	DIFFOUT_R29n	AE10			DQ8R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_TX_R15p	DIFFOUT_R29p	AE11			DQ8R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_RX_R15n	DIFFOUT_R30n	AG1			DQ8R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_RX_R15p	DIFFOUT_R30p	AG2			DQ8R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_TX_R16n	DIFFOUT_R31n	AE9			DQ10R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_TX_R16p	DIFFOUT_R31p	AE9			DQ10R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_RX_R16n	DIFFOUT_R32n	AG3			DQS10R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_RX_R16p	DIFFOUT_R32p	AG4			DQS10R	DQ8R/CQ8R	DQS8R/CQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_TX_R17n	DIFFOUT_R33n	AD10			DQ10R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_TX_R17p	DIFFOUT_R33p	AD11			DQ10R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_RX_R17n	DIFFOUT_R34n	AF6			DQS11R	DQ8R/DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_RX_R17p	DIFFOUT_R34p	AF7			DQS11R	DQ8R/CQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_TX_R18n	DIFFOUT_R35n	AD12			DQ11R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_TX_R18p	DIFFOUT_R35p	AD12			DQ11R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_RX_R18n	DIFFOUT_R36n	AG5			DQ11R	DQ8R	DQ8R		DQ8R					
VCCIOB	VREF5B	IO			DIFFIO_RX_R18p	DIFFOUT_R36p	AG6			DQ11R	DQ8R	DQ8R		DQ8R					
VCCIO5C	VREF5C	IO			DIFFIO_TX_R19n	DIFFOUT_R37n	AE4	AB5		DQ12R	DQ12R	DQ12R		DQ12R	DQ12R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_TX_R19p	DIFFOUT_R37p	AE5	AB6		DQ12R	DQ12R	DQ12R		DQ12R	DQ12R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_RX_R19n	DIFFOUT_R38n	AD4	AB3		DQS12R	DQ12R	DQ12R		DQS12R	DQ12R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_RX_R19p	DIFFOUT_R38p	AD5	AB4		DQS12R	DQ12R/CQ12R	DQ12R		DQ12R	DQ12R/CQ12R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_TX_R20n	DIFFOUT_R39n	AD7	AA6		DQ12R	DQ12R	DQ12R		DQ12R	DQ12R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_TX_R20p	DIFFOUT_R39p	AD8	AA7		DQ12R	DQ12R	DQ12R		DQ12R	DQ12R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_RX_R20n	DIFFOUT_R40n	AF3	AD1		DQS13R	DQS12R/DQ12R	DQ12R		DQS13R	DQS12R/DQ12R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_RX_R20p	DIFFOUT_R40p	AF4	AC2		DQS13R	DQ12R/CQ12R	DQ12R/CQ12R		DQ12R	DQ12R/CQ12R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_TX_R21n	DIFFOUT_R41n	AE6	Y9		DQ13R	DQ12R	DQ12R		DQ13R	DQ12R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_TX_R21p	DIFFOUT_R41p	AD6	Y10		DQ13R	DQ12R	DQ12R		DQ13R	DQ12R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_RX_R21n	DIFFOUT_R42n	AE2	AA3		DQ13R	DQ12R	DQ12R		DQ13R	DQ12R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_RX_R21p	DIFFOUT_R42p	AE3	AB4		DQ13R	DQ12R	DQ12R		DQ13R	DQ12R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_TX_R22n	DIFFOUT_R43n	AC9	Y7		DQ14R	DQ13R	DQ13R		DQ14R	DQ13R	DQ13R			
VCCIO5C	VREF5C	IO			DIFFIO_TX_R22p	DIFFOUT_R43p	AC10	Y8		DQ14R	DQ13R	DQ13R		DQ14R	DQ13R	DQ13R			
VCCIO5C	VREF5C	IO			DIFFIO_RX_R22n	DIFFOUT_R44n	AF1	AC1		DQS14R	DQ13R	DQS12R/DQ12R		DQS14R	DQ13R	DQS12R/DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_RX_R22p	DIFFOUT_R44p	AE1	AB2		DQS14R	DQ13R/CQ13R	DQ13R/CQ13R		DQS14R	DQ13R/CQ13R	DQ13R/CQ13R			
VCCIO5C	VREF5C	IO			DIFFIO_TX_R23n	DIFFOUT_R45n	AB11	Y11	U6	DQ14R	DQ13R	DQ13R		DQ14R	DQ13R	DQ13R			
VCCIO5C	VREF5C	IO			DIFFIO_TX_R23p	DIFFOUT_R45p	AB12	W12	U7	DQ14R	DQ13R	DQ12R		DQ14R	DQ13R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_RX_R23n	DIFFOUT_R46n	AD1	Y3	V3	DQS15R	DQS13R/DQ13R	DQ12R		DQS15R	DQS13R/DQ13R	DQ12R	DQS15R		
VCCIO5C	VREF5C	IO			DIFFIO_RX_R23p	DIFFOUT_R46p	AD2	AA4	V4	DQS15R	DQS13R/CQ13R	DQ12R		DQS15R	DQS13R/CQ13R	DQ12R	DQS15R		
VCCIO5C	VREF5C	IO			DIFFIO_TX_R24n	DIFFOUT_R47n	AC8	Y5	U8	DQ15R	DQ13R	DQ13R		DQ15R	DQ13R	DQ13R			
VCCIO5C	VREF5C	IO			DIFFIO_TX_R24p	DIFFOUT_R47p	AC7	Y8	U9	DQ15R	DQ13R	DQ13R		DQ15R	DQ13R	DQ13R			
VCCIO5C	VREF5C	IO			DIFFIO_RX_R24n	DIFFOUT_R48n	AC3	AB1	W1	DQ15R	DQ13R	DQ12R		DQ15R	DQ13R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_RX_R24p	DIFFOUT_R48p	AC4	AA1	V1	DQ15R	DQ13R	DQ12R		DQ15R	DQ13R	DQ12R			
VCCIO5C	VREF5C	IO			DIFFIO_TX_R25n	DIFFOUT_R49n	AA11	W7	T4	DQ16R	DQ14R	DQ14R		DQ16R	DQ14R	DQ14R			DQ15R
VCCIO5C	VREF5C	IO			DIFFIO_TX_R25p	DIFFOUT_R49p	AA12	W8	U5	DQ16R	DQ14R	DQ14R		DQ16R	DQ14R	DQ14R			DQ15R
VCCIO5C	VREF5C	IO			DIFFIO_RX_R25n	DIFFOUT_R50n	AC1	W3	U3	DQS16R	DQ14R	DQ14R		DQS16R	DQ14R	DQ14R			DQ15R
VCCIO5C	VREF5C	IO			DIFFIO_RX_R25p	DIFFOUT_R50p	AB1	Y4	U4	DQS16R	DQ14R/CQ14R	DQ14R		DQS16R	DQ14R/CQ14R	DQ14R			DQ15R
VCCIO5C	VREF5C	IO			DIFFIO_TX_R26n	DIFFOUT_R51n	AB9	W10	T8	DQ16R	DQ14R	DQ14R		DQ16R	DQ14R	DQ14R			DQ15R
VCCIO5C	VREF5C	IO			DIFFIO_TX_R26p	DIFFOUT_R51p	AA10	W11	T9	DQ16R	DQ14R	DQ14R		DQ16R	DQ14R	DQ14R			DQ15R
VCCIO5C	VREF5C	IO			DIFFIO_RX_R26n	DIFFOUT_R52n	AB2	Y1	T2	DQS17R	DQS14R/DQ14R	DQ14R		DQS17R	DQS14R/DQ14R	DQ14R			DQ15R
VCCIO5C	VREF5C	IO			DIFFIO_RX_R26p	DIFFOUT_R52p	AB3	Y2	T3	DQS17R	DQS14R/CQ14R	DQ14R		DQS17R	DQS14R/CQ14R	DQ14R			DQ15R
VCCIO5C	VREF5C	IO			DIFFIO_TX_R27n	DIFFOUT_R53n	AA7	W5	T6	DQ17R	DQ14R	DQ14R		DQ17R	DQ14R	DQ14R			DQ15R
VCCIO5C	VREF5C	IO			DIFFIO_TX_R27p	DIFFOUT_R53p	AB7	W6	R6	DQ17R	DQ14R	DQ14R		DQ17R	DQ14R	DQ14R			DQ15R
VCCIO5C	VREF5C	IO			DIFFIO_RX_R27n	DIFFOUT_R54n	AB4	V3	R4	DQ17R	DQ14R	DQ14R		DQ17R	DQ14R	DQ14R			DQ15R
VCCIO5C	VREF5C	IO			DIFFIO_RX_R27p	DIFFOUT_R54p	AB5	V4	T5	DQ17R	DQ14R	DQ14R		DQ17R	DQ14R	DQ14R			DQ15R
VCCIO5C	VREF5C	IO		PLL_R3_CLKOUT0n	DIFFIO_TX_R28n	DIFFOUT_R55n	AA5	W9	R9										
VCCIO5C	VREF5C	IO		PLL_R3_FB_CLKOUT0p	DIFFIO_TX_R28p	DIFFOUT_R55p	AA6	V10	R10										
VCCIO5C	VREF5C	IO		CLK8n	DIFFIO_RX_R28n	DIFFOUT_R56n	AA3	U3	U1										
VCCIO5C	VREF5C	IO		CLK8p	DIFFIO_RX_R28p	DIFFOUT_R56p	AA4	U4	U2										
VCCIO5C	VREF5C	IO		CLK8n	</														



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1512	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)
VCO06C	VREFRC	IO			DIFFIO_RX_R32n	DIFFOUT_R63n	Y3	P1	L1	DQS19R	DQ21R			DQ21R	DQ21R		DQ21R	DQ21R	DQ21R
VCO06C	VREFRC	IO			DIFFIO_TX_R32p	DIFFOUT_R64p	U7	T5	N9	DQ19R	DQ21R			DQ19R	DQ21R		DQ19R	DQ21R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R32n	DIFFOUT_R64n	U6	T4	N8	DQ19R	DQ21R			DQ19R	DQ21R		DQ19R	DQ21R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_RX_R33p	DIFFOUT_R65p	T1	P4	L3	DQ20R	DQ22R	DQ23R		DQ20R	DQ22R	DQ23R	DQ20R	DQ22R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_RX_R33n	DIFFOUT_R65n	L1	P3	M3	DQ20R	DQ22R	DQ23R		DQ20R	DQ22R	DQ23R	DQ20R	DQ22R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R33p	DIFFOUT_R66p	Y10	R7	L5	DQ20R	DQ22R	DQ23R		DQ20R	DQ22R	DQ23R	DQ20R	DQ22R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R33n	DIFFOUT_R66n	Y9	R6	L4	DQ20R	DQ22R	DQ23R		DQ20R	DQ22R	DQ23R	DQ20R	DQ22R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_RX_R34p	DIFFOUT_R67p	U4	M1	K2	DQS20R	DQS22R/DQ22R	DQ23R		DQS20R	DQS22R/DQ22R	DQ23R	DQS20R	DQS22R/DQ22R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_RX_R34n	DIFFOUT_R67n	U3	N1	K1	DQS20R	DQS22R/DQ22R	DQ23R		DQS20R	DQS22R/DQ22R	DQ23R	DQS20R	DQS22R/DQ22R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R34p	DIFFOUT_R68p	Y10	P6	L6	DQ21R	DQ22R	DQ23R		DQ21R	DQ22R	DQ23R	DQ21R	DQ22R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R34n	DIFFOUT_R68n	Y9	P5	M6	DQ21R	DQ22R	DQ23R		DQ21R	DQ22R	DQ23R	DQ21R	DQ22R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_RX_R35p	DIFFOUT_R69p	P1	N4		DQS21R	DQ22R/CQn22R	DQS23R/CQn23R		DQS21R	DQ22R/CQn22R	DQS23R/CQn23R	DQS21R	DQ22R/CQn22R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_RX_R35n	DIFFOUT_R69n	R1	N3		DQS21R	DQ22R	DQS23R/DQ23R		DQS21R	DQ22R	DQS23R/DQ23R	DQS21R	DQ22R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R35p	DIFFOUT_R70p	Y12	R12		DQ21R	DQ22R	DQ23R		DQ21R	DQ22R	DQ23R	DQ21R	DQ22R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R35n	DIFFOUT_R70n	Y12	T11		DQ21R	DQ22R	DQ23R		DQ21R	DQ22R	DQ23R	DQ21R	DQ22R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_RX_R36p	DIFFOUT_R71p	R2	L2		DQ22R	DQ23R	DQ23R		DQ22R	DQ23R	DQ23R	DQ22R	DQ23R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_RX_R36n	DIFFOUT_R71n	T2	L1		DQ22R	DQ23R	DQ23R		DQ22R	DQ23R	DQ23R	DQ22R	DQ23R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R36p	DIFFOUT_R72p	Y11	R10		DQ22R	DQ23R	DQ23R		DQ22R	DQ23R	DQ23R	DQ22R	DQ23R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R36n	DIFFOUT_R72n	Y11	R9		DQ22R	DQ23R	DQ23R		DQ22R	DQ23R	DQ23R	DQ22R	DQ23R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_RX_R37p	DIFFOUT_R73p	R4	M4		DQS22R	DQS23R/CQn23R	DQ23R/CQn23R		DQS22R	DQS23R/CQn23R	DQ23R/CQn23R	DQS22R	DQS23R/CQn23R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_RX_R37n	DIFFOUT_R73n	R3	M3		DQS22R	DQS23R/CQn23R	DQ23R/CQn23R		DQS22R	DQS23R/CQn23R	DQ23R/CQn23R	DQS22R	DQS23R/CQn23R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R37p	DIFFOUT_R74p	U10	P8		DQ23R	DQ23R	DQ23R		DQ23R	DQ23R	DQ23R	DQ23R	DQ23R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R37n	DIFFOUT_R74n	U9	P7		DQ23R	DQ23R	DQ23R		DQ23R	DQ23R	DQ23R	DQ23R	DQ23R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_RX_R38p	DIFFOUT_R75p	T5	K2		DQS23R	DQS23R/CQn23R	DQ23R		DQS23R	DQS23R/CQn23R	DQ23R	DQS23R	DQS23R/CQn23R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_RX_R38n	DIFFOUT_R75n	T4	K1		DQS23R	DQ23R	DQ23R		DQS23R	DQ23R	DQ23R	DQS23R	DQ23R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R38p	DIFFOUT_R76p	T7	N6		DQ23R	DQ23R	DQ23R		DQ23R	DQ23R	DQ23R	DQ23R	DQ23R	DQ20R
VCO06C	VREFRC	IO			DIFFIO_TX_R38n	DIFFOUT_R76n	T6	N5		DQ23R	DQ23R	DQ23R		DQ23R	DQ23R	DQ23R	DQ23R	DQ23R	DQ20R
VCO06B	VREFRB	IO			DIFFIO_RX_R39p	DIFFOUT_R77p	U12	R2		DQ24R	DQ26R	DQ27R		DQ24R	DQ26R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_RX_R39n	DIFFOUT_R77n	N1			DQ24R	DQ26R	DQ27R		DQ24R	DQ26R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_TX_R39p	DIFFOUT_R78p	R9			DQ24R	DQ26R	DQ27R		DQ24R	DQ26R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_TX_R39n	DIFFOUT_R78n	T9			DQ24R	DQ26R	DQ27R		DQ24R	DQ26R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_RX_R40p	DIFFOUT_R79p	R6			DQS24R	DQS26R/DQ26R	DQ27R		DQS24R	DQS26R/DQ26R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_RX_R40n	DIFFOUT_R79n	R5			DQS24R	DQS26R/DQ26R	DQ27R		DQS24R	DQS26R/DQ26R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_TX_R40p	DIFFOUT_R80p	T11			DQ25R	DQ26R	DQ27R		DQ25R	DQ26R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_TX_R40n	DIFFOUT_R80n	T10			DQ25R	DQ26R	DQ27R		DQ25R	DQ26R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_RX_R41p	DIFFOUT_R81p	P4			DQS25R	DQS26R/CQn26R	DQS27R/CQn27R		DQS25R	DQS26R/CQn26R	DQS27R/CQn27R			
VCO06B	VREFRB	IO			DIFFIO_RX_R41n	DIFFOUT_R81n	P3			DQS25R	DQS26R/CQn26R	DQS27R/CQn27R		DQS25R	DQS26R/CQn26R	DQS27R/CQn27R			
VCO06B	VREFRB	IO			DIFFIO_TX_R41p	DIFFOUT_R82p	U13			DQ25R	DQ26R	DQ27R		DQ25R	DQ26R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_TX_R41n	DIFFOUT_R82n	V12			DQ25R	DQ26R	DQ27R		DQ25R	DQ26R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_RX_R42p	DIFFOUT_R83p	M2			DQ26R	DQ27R	DQ27R		DQ26R	DQ27R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_RX_R42n	DIFFOUT_R83n	M1			DQ26R	DQ27R	DQ27R		DQ26R	DQ27R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_TX_R42p	DIFFOUT_R84p	T12			DQ26R	DQ27R	DQ27R		DQ26R	DQ27R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_TX_R42n	DIFFOUT_R84n	U12			DQ26R	DQ27R	DQ27R		DQ26R	DQ27R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_RX_R43p	DIFFOUT_R85p	N4			DQS26R	DQS27R/CQn27R	DQS27R/CQn27R		DQS26R	DQS27R/CQn27R	DQS27R/CQn27R			
VCO06B	VREFRB	IO			DIFFIO_RX_R43n	DIFFOUT_R85n	M3			DQS26R	DQS27R/CQn27R	DQS27R/CQn27R		DQS26R	DQS27R/CQn27R	DQS27R/CQn27R			
VCO06B	VREFRB	IO			DIFFIO_TX_R43p	DIFFOUT_R86p	P11			DQ27R	DQ27R	DQ27R		DQ27R	DQ27R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_TX_R43n	DIFFOUT_R86n	R10			DQ27R	DQ27R	DQ27R		DQ27R	DQ27R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_RX_R44p	DIFFOUT_R87p	P6			DQS27R	DQ27R/CQn27R	DQ27R		DQS27R	DQ27R/CQn27R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_RX_R44n	DIFFOUT_R87n	N5			DQS27R	DQ27R/CQn27R	DQ27R		DQS27R	DQ27R/CQn27R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_TX_R44p	DIFFOUT_R88p	R9			DQ27R	DQ27R	DQ27R		DQ27R	DQ27R	DQ27R			
VCO06B	VREFRB	IO			DIFFIO_TX_R44n	DIFFOUT_R88n	P7			DQ27R	DQ27R	DQ27R		DQ27R	DQ27R	DQ27R			
VCO06A	VREFRA	IO			DIFFIO_RX_R45p	DIFFOUT_R89p	K1	H2											
VCO06A	VREFRA	IO			DIFFIO_RX_R45n	DIFFOUT_R89n	L1	J1											
VCO06A	VREFRA	IO			DIFFIO_TX_R45p	DIFFOUT_R90p	R13	P11		DQ28R				DQ28R					
VCO06A	VREFRA	IO			DIFFIO_TX_R45n	DIFFOUT_R90n	R12	P10		DQ28R				DQ28R					
VCO06A	VREFRA	IO			DIFFIO_RX_R46p	DIFFOUT_R91p	L4	K4		DQS28R				DQS28R					
VCO06A	VREFRA	IO			DIFFIO_RX_R46n	DIFFOUT_R91n	L3	K3		DQS28R				DQS28R					
VCO06A	VREFRA	IO			DIFFIO_TX_R46p	DIFFOUT_R92p	M5	M7		DQ28R				DQ28R					
VCO06A	VREFRA	IO			DIFFIO_TX_R46n	DIFFOUT_R92n	M4	M6		DQ28R				DQ28R					
VCO06A	VREFRA	IO			DIFFIO_RX_R47p	DIFFOUT_R93p	J2	G2		DQ29R	DQ32R			DQ29R	DQ32R				
VCO06A	VREFRA	IO			DIFFIO_RX_R47n	DIFFOUT_R93n	J1	H1		DQ29R	DQ32R			DQ29R	DQ32R				
VCO06A	VREFRA	IO			DIFFIO_TX_R47p	DIFFOUT_R94p	M7	L5		DQ29R	DQ32R			DQ29R	DQ32R				
VCO06A	VREFRA	IO			DIFFIO_TX_R47n	DIFFOUT_R94n	N6	L4		DQ29R	DQ32R			DQ29R	DQ32R				
VCO06A	VREFRA	IO			DIFFIO_RX_R48p	DIFFOUT_R95p	G1	L4		DQS29R	DQS32R/CQ32R			DQS29R	DQS32R/CQ32R				
VCO06A	VREFRA	IO			DIFFIO_RX_R48n	DIFFOUT_R95n	H1	J3		DQS29R	DQS32R/CQ32R			DQS29R	DQS32R/CQ32R				
VCO06A	VREFRA	IO			DIFFIO_TX_R48p	DIFFOUT_R96p	N8	L7		DQ30R	DQ32R			DQ30R	DQ32R				
VCO06A	VREFRA	IO			DIFFIO_TX_R48n	DIFFOUT_R96n	N7	L6		DQ30R	DQ32R			DQ30R	DQ32R				
VCO06A	VREFRA	IO			DIFFIO_RX_R49p	DIFFOUT_R97p	J3	F1	H2	DQS30R	DQS32R/CQn32R	DQ34R		DQS30R	DQS32R/CQn32R	DQ34R			
VCO06A	VREFRA	IO			DIFFIO_RX_R49n	DIFFOUT_R97n	K2	G1	J1	DQS30R	DQ32R			DQS30R	DQ32R				
VCO06A	VREFRA	IO																	



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1512	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1512	DQS for X8/X9 for F1512 (Note 1)	DQS for X16/X18 for F1512 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)
VCCIOA	VREFA	IO			DIFFIO_TX_R55n	DIFFOUT_R110n	L6	L8	G3	DQ34R	DQ34R	DQ34R	DQ34R	DQ34R	DQ34R	DQ34R	DQ34R	DQ34R	DQ34R
VCCIOA	VREFA	IO	RUP6A		DIFFIO_RX_R56p	DIFFOUT_R111p	F4	E4	B1										
VCCIOA	VREFA	IO	RDN6A		DIFFIO_RX_R56n	DIFFOUT_R111n	E3	E3	C1										
VCCIOA	VREFA	IO	PLL_R1_FB_CLKOUT0p		DIFFIO_TX_R56p	DIFFOUT_R112p	J7	H6	H6										
VCCIOA	VREFA	IO	PLL_R1_CLKOUT0n		DIFFIO_TX_R56n	DIFFOUT_R112n	B6	H6	G5										
VCCIOA	VREFA	IO	PLL_R1_CLKn				C2												
VCCIOA	VREFA	IO	PLL_R1_CLKn				C1												
VCCD	PLL_R1						L9												
VCCA	PLL_R1						K9												
	MSEL2			MSEL2			D3	K9	G7										
	MSEL1			MSEL1			F5	J9	J9										
	MSEL0			MSEL0			M11	K10	H8										
	TEMPDIODEn						H6	D4	D4										
	TEMPDIODEp						H6	E5	D3										
	NC						H7	G7	E4										
VCCIOA	VREFA	IO				DIFFOUT_T1n	H9	F8	A2	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T
VCCIOA	VREFA	IO				DIFFOUT_T1p	H10	F8	C3	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T
VCCIOA	VREFA	IO	RDN7A		DIFFIO_RX_T1n	DIFFOUT_T2n	G10	E7	A4	DQSn1T	DQ1T	DQ1T	DQ1T	DQSn1T	DQ1T	DQ1T	DQSn1T	DQ1T	DQ1T
VCCIOA	VREFA	IO	RUP7A		DIFFIO_RX_T1p	DIFFOUT_T2p	G11	F7	B4	DQS1T	DQ1T/CQn1T	DQ1T	DQ1T	DQS1T	DQ1T	DQ1T/CQn1T	DQ1T	DQS1T	DQ1T
VCCIOA	VREFA	IO				DIFFOUT_T3n	J9	F9	A3	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T
VCCIOA	VREFA	IO				DIFFOUT_T3p	G9	G8	B2	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T	DQ1T
VCCIOA	VREFA	IO			DIFFIO_RX_T2n	DIFFOUT_T4n	F7	C3	D7	DQS2T	DQSn1T/DQ1T	DQ1T	DQ1T	DQS2T	DQSn1T/DQ1T	DQ1T	DQS2T	DQSn1T/DQ1T	DQ1T
VCCIOA	VREFA	IO				DIFFOUT_T4p	C4	E7	DQ2T	DQS1T/CQ1T	DQ1T/CQn1T	DQ1T	DQ1T	DQS2T	DQS1T/CQ1T	DQ1T/CQn1T	DQ1T	DQS2T	DQS1T/CQ1T
VCCIOA	VREFA	IO				DIFFOUT_T5n	G8	C8	G8	DQ2T	DQ1T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T
VCCIOA	VREFA	IO				DIFFOUT_T5p	F8	D6	G9	DQ2T	DQ1T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T
VCCIOA	VREFA	IO			DIFFIO_RX_T3n	DIFFOUT_T6n	E7	B5	E8	DQ2T	DQ1T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T
VCCIOA	VREFA	IO			DIFFIO_RX_T3p	DIFFOUT_T6p	F6	C5	F8	DQ2T	DQ1T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T	DQ2T	DQ1T	DQ1T
VCCIOA	VREFA	IO				DIFFOUT_T7n	J12	J11	D6	DQ2T	DQ2T	DQ2T	DQ2T	DQ2T	DQ2T	DQ2T	DQ2T	DQ2T	DQ2T
VCCIOA	VREFA	IO				DIFFOUT_T7p	J11	G9	E5	DQ3T	DQ2T	DQ2T	DQ2T	DQ3T	DQ2T	DQ2T	DQ3T	DQ2T	DQ2T
VCCIOA	VREFA	IO			DIFFIO_RX_T4n	DIFFOUT_T8n	K10	G11	C5	DQS3T	DQ2T	DQSn1T/DQ1T	DQ1T	DQS3T	DQ2T	DQSn1T/DQ1T	DQS3T	DQ2T	DQS3T
VCCIOA	VREFA	IO			DIFFIO_RX_T4p	DIFFOUT_T8p	K11	H11	D5	DQS3T	DQ2T/CQn2T	DQ1T	DQ1T	DQS3T	DQ2T/CQn2T	DQS1T/CQ1T	DQS3T	DQ2T/CQn2T	DQS1T/CQ1T
VCCIOA	VREFA	IO				DIFFOUT_T8n	L12	J12	B5	DQ3T	DQ2T	DQ1T	DQ1T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T
VCCIOA	VREFA	IO				DIFFOUT_T8p	K12	G10	C8	DQ3T	DQ2T	DQ1T	DQ1T	DQ3T	DQ2T	DQ1T	DQ3T	DQ2T	DQ1T
VCCIOA	VREFA	IO			DIFFIO_RX_T5n	DIFFOUT_T10n	D4	A2	A5	DQS4T	DQS2T/DQ2T	DQ1T	DQ1T	DQS4T	DQS2T/DQ2T	DQ1T	DQS4T	DQS2T/DQ2T	DQ1T
VCCIOA	VREFA	IO			DIFFIO_RX_T5p	DIFFOUT_T10p	E4	B2	A6	DQS4T	DQS2T/CQ2T	DQ1T	DQ1T/CQn1T	DQS4T	DQS2T/CQ2T	DQ1T	DQS4T	DQS2T/CQ2T	DQ1T
VCCIOA	VREFA	IO				DIFFOUT_T11n	D6	A5	A8	DQ4T	DQ2T	DQ1T	DQ1T	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T
VCCIOA	VREFA	IO				DIFFOUT_T11p	E6	A3	A9	DQ4T	DQ2T	DQ1T	DQ1T	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T
VCCIOA	VREFA	IO			DIFFIO_RX_T6n	DIFFOUT_T12n	C5	A4	A7	DQ4T	DQ2T	DQ1T	DQ1T	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T
VCCIOA	VREFA	IO				DIFFOUT_T12p	D5	B4	B7	DQ4T	DQ2T	DQ1T	DQ1T	DQ4T	DQ2T	DQ1T	DQ4T	DQ2T	DQ1T
VCCIOA	VREFA	IO				DIFFOUT_T13n	B4	D7	B8	DQ5T	DQ3T	DQ2T	DQ1T	DQ5T	DQ3T	DQ2T	DQ5T	DQ3T	DQ2T
VCCIOA	VREFA	IO				DIFFOUT_T13p	E8	F9	D3	DQ5T	DQ3T	DQ2T	DQ1T	DQ5T	DQ3T	DQ2T	DQ5T	DQ3T	DQ2T
VCCIOA	VREFA	IO			DIFFIO_RX_T7n	DIFFOUT_T14n	B3	C9	C8	DQS5T	DQ3T	DQ2T	DQ1T	DQS5T	DQ3T/DQn1T	DQ2T	DQS5T	DQ3T	DQ2T
VCCIOA	VREFA	IO			DIFFIO_RX_T7p	DIFFOUT_T14p	C3	D9	D8	DQS5T	DQ3T/CQn3T	DQ2T	DQ1T/CQn1T	DQS5T	DQ3T/CQn3T	DQ2T	DQS5T	DQ3T/CQn3T	DQ2T
VCCIOA	VREFA	IO				DIFFOUT_T15n	A2	E10	D9	DQ5T	DQ3T	DQ2T	DQ1T	DQ5T	DQ3T	DQ2T	DQ5T	DQ3T	DQ2T
VCCIOA	VREFA	IO				DIFFOUT_T15p	A4	D8	C9	DQ5T	DQ3T	DQ2T	DQ1T	DQ5T	DQ3T	DQ2T	DQ5T	DQ3T	DQ2T
VCCIOA	VREFA	IO			DIFFIO_RX_T8n	DIFFOUT_T16n	A7	A7	E10	DQ5T	DQS3T/DQ3T	DQ2T	DQ1T	DQS3T	DQS3T/DQ3T	DQ2T	DQS3T	DQS3T/DQ3T	DQ2T
VCCIOA	VREFA	IO				DIFFOUT_T16p	D8	B7	F10	DQ5T	DQS3T/CQ3T	DQ2T	DQ1T	DQS3T	DQS3T/CQ3T	DQ2T	DQS3T	DQS3T/CQ3T	DQ2T
VCCIOA	VREFA	IO				DIFFOUT_T17n	D9	A6	H10	DQ6T	DQ3T	DQ2T	DQ1T	DQ6T	DQ3T	DQ2T	DQ6T	DQ3T	DQ2T
VCCIOA	VREFA	IO				DIFFOUT_T17p	E9	C7	G10	DQ6T	DQ3T	DQ2T	DQ1T	DQ6T	DQ3T	DQ2T	DQ6T	DQ3T	DQ2T
VCCIOA	VREFA	IO			DIFFIO_RX_T9n	DIFFOUT_T18n	C7	A8	D10	DQ6T	DQ3T	DQ2T	DQ1T	DQ6T	DQ3T	DQ2T	DQ6T	DQ3T	DQ2T
VCCIOA	VREFA	IO			DIFFIO_RX_T9p	DIFFOUT_T18p	D7	B8	E11	DQ6T	DQ3T	DQ2T	DQ1T	DQ6T	DQ3T	DQ2T	DQ6T	DQ3T	DQ2T
VCCIOA	VREFA	IO				DIFFOUT_T19n	L13	M13	H11	DQ7T	DQ4T	DQ2T	DQ1T	DQ7T	DQ4T	DQ2T	DQ7T	DQ4T	DQ2T
VCCIOA	VREFA	IO				DIFFOUT_T19p	K13	L13	J10	DQ7T	DQ4T	DQ2T	DQ1T	DQ7T	DQ4T	DQ2T	DQ7T	DQ4T	DQ2T
VCCIOA	VREFA	IO			DIFFIO_RX_T10n	DIFFOUT_T20n	M14	K11	J11	DQS7T	DQ4T	DQS2T/DQ2T	DQ1T	DQS7T	DQ4T	DQS2T/DQ2T	DQ1T	DQS7T	DQ4T
VCCIOA	VREFA	IO			DIFFIO_RX_T10p	DIFFOUT_T20p	M15	K12	J12	DQS7T	DQ4T/CQ2T	DQ1T	DQ1T	DQS7T	DQ4T/CQ2T	DQ1T	DQS7T	DQ4T	DQ1T
VCCIOA	VREFA	IO				DIFFOUT_T21n	N13			DQ7T	DQ4T	DQ2T	DQ1T	DQ7T	DQ4T	DQ2T	DQ7T	DQ4T	DQ2T
VCCIOA	VREFA	IO				DIFFOUT_T21p	M13			DQ7T	DQ4T	DQ2T	DQ1T	DQ7T	DQ4T	DQ2T	DQ7T	DQ4T	DQ2T
VCCIOA	VREFA	IO			DIFFIO_RX_T11n	DIFFOUT_T22n	B6			DQS8T	DQS4T/DQ4T	DQ2T	DQ1T	DQS8T	DQS4T/DQ4T	DQ2T	DQ1T	DQS8T	DQS4T/DQ4T
VCCIOA	VREFA	IO			DIFFIO_RX_T11p	DIFFOUT_T22p	C8			DQS8T	DQS4T/CQ4T	DQ2T	DQ1T	DQS8T	DQS4T/CQ4T	DQ2T	DQ1T	DQS8T	DQS4T/CQ4T
VCCIOA	VREFA	IO				DIFFOUT_T23n	A7			DQ8T	DQ4T	DQ2T	DQ1T	DQ8T	DQ4T	DQ2T	DQ8T	DQ4T	DQ2T
VCCIOA	VREFA	IO				DIFFOUT_T23p	B7			DQ8T	DQ4T	DQ2T	DQ1T	DQ8T	DQ4T	DQ2T	DQ8T	DQ4T	DQ2T
VCCIOA	VREFA	IO			DIFFIO_RX_T12n	DIFFOUT_T24n	A5			DQ8T	DQ4T	DQ2T	DQ1T	DQ8T	DQ4T	DQ2T	DQ8T	DQ4T	DQ2T
VCCIOA	VREFA	IO			DIFFIO_RX_T12p	DIFFOUT_T24p	A6			DQ8T	DQ4T	DQ2T	DQ1T	DQ8T	DQ4T	DQ2T	DQ8T	DQ4T	DQ2T
VCCIOB	VREFB	IO				DIFFOUT_T25n	H12	G12		DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T
VCCIOB	VREFB	IO				DIFFOUT_T25p	G12	F11		DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T
VCCIOB	VREFB	IO			DIFFIO_RX_T13n	DIFFOUT_T26n	E13	F12		DQS9T	DQ9T	DQ9T	DQ9T	DQS9T	DQ9T	DQ9T	DQS9T	DQ9T	DQ9T
VCCIOB	VREFB	IO			DIFFIO_RX_T13p	DIFFOUT_T26p	F13	F13		DQS9T	DQ9T/CQn9T	DQ9T	DQ9T	DQS9T	DQ9T/CQn9T	DQ9T	DQS9T	DQ9T	DQ9T
VCCIOB	VREFB	IO				DIFFOUT_T27n	F12	G13		DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T
VCCIOB	VREFB	IO				DIFFOUT_T27p	F11	E11		DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T	DQ9T
VCCIOB	VREFB	IO			DIFFIO_RX_T14n	DIFFOUT_T28n	D12	C11		DQS10T	DQS9T/DQ9T	DQ9T	DQ9T	DQS10T	DQS9T/DQ9T	DQ9T	DQS10T	DQS9T/DQ9T	DQ9T
VCCIOB	VREFB	IO			DIFFIO_RX_T14p	DIFFOUT_T28p	E12	D11		DQS10T	DQS9T/CQ9T	DQ9T/CQn9T	DQ9T	DQS10T	DQS9T/CQ9T	DQ9T/CQn9T	DQS10T	DQS9T/CQ9T	DQ9T/CQn9T
VCCIOB	VREFB	IO				DIFFOUT_T29n	D10	D13		DQ10T</									



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1512	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)
VCCIO7B	VREF7B	IO			DIFFIO_RX_T20p	DIFFOUT_T40n	F15			DQS14T	DQS11T/CQ11T	DQ10T/CQn10T	DQ9T						
VCCIO7B	VREF7B	IO				DIFFOUT_T41n	F14			DQ14T	DQ11T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO				DIFFOUT_T41p	G14			DQ14T	DQ11T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO			DIFFIO_RX_T21n	DIFFOUT_T42n	F16			DQ14T	DQ11T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO			DIFFIO_RX_T21p	DIFFOUT_T42p	F15			DQ14T	DQ11T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO				DIFFOUT_T43n	D14			DQ15T	DQ12T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO				DIFFOUT_T43p	C14			DQ15T	DQ12T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO			DIFFIO_RX_T22n	DIFFOUT_T44n	C13			DQSn15T	DQ12T	DQSn10T/DQ10T	DQ9T						
VCCIO7B	VREF7B	IO			DIFFIO_RX_T22p	DIFFOUT_T44p	D13			DQS15T	DQ12T/CQn12T	DQSn10T/CQ10T	DQ9T						
VCCIO7B	VREF7B	IO				DIFFOUT_T45n	C15			DQ15T	DQ12T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO				DIFFOUT_T45p	D15			DQ15T	DQ12T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO			DIFFIO_RX_T23n	DIFFOUT_T46n	A11			DQSn16T	DQSn12T/DQ12T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO			DIFFIO_RX_T23p	DIFFOUT_T46p	A12			DQS16T	DQSn12T/CQ12T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO				DIFFOUT_T47n	B12			DQ16T	DQ12T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO				DIFFOUT_T47p	B13			DQ16T	DQ12T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO			DIFFIO_RX_T24n	DIFFOUT_T48n	A13			DQ16T	DQ12T	DQ10T	DQ9T						
VCCIO7B	VREF7B	IO			DIFFIO_RX_T24p	DIFFOUT_T48p	A14			DQ16T	DQ12T	DQ10T	DQ9T						
VCCIO7C	VREF7C	IO				DIFFOUT_T49n	G18	D14	B10	DQ17T	DQ17T			DQ17T	DQ17T		DQ17T	DQ17T	DQ17T
VCCIO7C	VREF7C	IO				DIFFOUT_T49p	F18	E13	C10	DQ17T	DQ17T			DQ17T	DQ17T		DQ17T	DQ17T	DQ17T
VCCIO7C	VREF7C	IO			DIFFIO_RX_T25n	DIFFOUT_T50n	E16	E14	A10	DQSn17T	DQ17T			DQSn17T	DQ17T		DQSn17T	DQ17T	DQ17T
VCCIO7C	VREF7C	IO			DIFFIO_RX_T25p	DIFFOUT_T50p	F17	F14	B11	DQS17T	DQ17T/CQn17T			DQSn17T	DQ17T/CQn17T		DQSn17T	DQ17T/CQn17T	DQ17T
VCCIO7C	VREF7C	IO				DIFFOUT_T51n	H18	F15	A11	DQ17T	DQ17T			DQ17T	DQ17T		DQ17T	DQ17T	DQ17T
VCCIO7C	VREF7C	IO			DIFFIO_RX_T26n	DIFFOUT_T51p	D17	D15	A12	DQ17T	DQ17T			DQ17T	DQ17T		DQ17T	DQ17T	DQ17T
VCCIO7C	VREF7C	IO			DIFFIO_RX_T26p	DIFFOUT_T52n	C16	A13	C12	DQSn18T	DQSn17T/DQ17T			DQSn18T	DQSn17T/DQ17T		DQSn18T	DQSn17T/DQ17T	DQSn18T
VCCIO7C	VREF7C	IO			DIFFIO_RX_T26p	DIFFOUT_T52p	D17	B13	D11	DQS18T	DQSn17T/CQ17T			DQSn18T	DQSn17T/CQ17T		DQSn18T	DQSn17T/CQ17T	DQSn18T
VCCIO7C	VREF7C	IO				DIFFOUT_T53n	A15	E13	DQ18T	DQ17T				DQ18T	DQ17T		DQ18T	DQ17T	DQ18T
VCCIO7C	VREF7C	IO				DIFFOUT_T53p	B15	C14	D13	DQ18T	DQ17T			DQ18T	DQ17T		DQ18T	DQ17T	DQ18T
VCCIO7C	VREF7C	IO			DIFFIO_RX_T27n	DIFFOUT_T54n	A16	A14	C13	DQ18T	DQ17T			DQ18T	DQ17T		DQ18T	DQ17T	DQ18T
VCCIO7C	VREF7C	IO			DIFFIO_RX_T27p	DIFFOUT_T54p	B16	B14	D12	DQ18T	DQ17T			DQ18T	DQ17T		DQ18T	DQ17T	DQ18T
VCCIO7C	VREF7C	IO				DIFFOUT_T55n	A17	C17	G12	DQ19T				DQ19T			DQ19T		DQ19T
VCCIO7C	VREF7C	IO				DIFFOUT_T55p	C18	C15	F12	DQ19T				DQ19T			DQ19T		DQ19T
VCCIO7C	VREF7C	IO			DIFFIO_RX_T28n	DIFFOUT_T56n	C17	C16	F13	DQSn19T				DQSn19T			DQSn19T		DQSn19T
VCCIO7C	VREF7C	IO			DIFFIO_RX_T28p	DIFFOUT_T56p	D18	D16	G13	DQS19T				DQSn19T			DQSn19T		DQSn19T
VCCIO7C	VREF7C	IO				DIFFOUT_T57n	A18	D17	H14	DQ19T				DQ19T			DQ19T		DQ19T
VCCIO7C	VREF7C	IO				DIFFOUT_T57p	B18	E17	J14	DQ19T				DQ19T			DQ19T		DQ19T
VCCIO7C	VREF7C	IO			DIFFIO_RX_T29n	DIFFOUT_T58n	E18	J16	A13					DQ19T			DQ19T		DQ19T
VCCIO7C	VREF7C	IO			DIFFIO_RX_T29p	DIFFOUT_T58p	E19	J15	B13					DQ19T			DQ19T		DQ19T
VCCIO7C	VREF7C	IO			PLL_T2_CLKOUT3	DIFFOUT_T59n	M19	L16											
VCCIO7C	VREF7C	IO			PLL_T2_CLKOUT4	DIFFOUT_T59p	M18	K16											
VCCIO7C	VREF7C	IO			DIFFIO_RX_T30n	DIFFOUT_T60n	J17	G16											
VCCIO7C	VREF7C	IO			DIFFIO_RX_T30p	DIFFOUT_T60p	K17	H16											
VCCIO7C	VREF7C	IO			PLL_T2_CLKOUT0n	DIFFOUT_T61n	K18	K17											
VCCIO7C	VREF7C	IO			PLL_T2_CLKOUT0p	DIFFOUT_T61p	L18	L17											
VCCIO7C	VREF7C	IO			PLL_T2_FbV/CLKOUT2	DIFFOUT_T62n	G19	E16											
VCCIO7C	VREF7C	IO			PLL_T2_FbV/CLKOUT1	DIFFOUT_T62p	H19	F16											
VCCIO7C	VREF7C	IO			CLK13n	DIFFOUT_T63n	A19	A16	A14										
VCCIO7C	VREF7C	IO			CLK13p	DIFFOUT_T63p	B19	B16	B14										
VCCIO7C	VREF7C	IO			CLK12n	DIFFIO_RX_T32n	C19	A17	C14										
VCCIO7C	VREF7C	IO			CLK12p	DIFFIO_RX_T32p	D19	B17	D14										
					VCC_CLKIN7C		J18	H17	F14										
					VCCA_PLL_T2		K18	G17											
					VCCD_PLL_T2		L19	J17											
					VCCA_PLL_T1		K21	J18	G15										
					VCCA_PLL_T1		J21	G18	F16										
					VCC_CLKIN8C		K20	K18	F16										
VCCIO8C	VREF8C	IO			DIFFIO_RX_T33p	DIFFOUT_T65p	D20	B19	D15										
VCCIO8C	VREF8C	IO			DIFFIO_RX_T33n	DIFFOUT_T65n	C20	A19	C15										
VCCIO8C	VREF8C	IO			CLK15p	DIFFOUT_T66p	B21	B20	B16										
VCCIO8C	VREF8C	IO			CLK15n	DIFFOUT_T66n	A21	A20	A15										
VCCIO8C	VREF8C	IO			PLL_T1_FbV/CLKOUT1	DIFFIO_RX_T34p	DIFFOUT_T67p	H21	D18	B17									
VCCIO8C	VREF8C	IO			PLL_T1_FbV/CLKOUT2	DIFFIO_RX_T34n	DIFFOUT_T67n	G21	C18	A16									
VCCIO8C	VREF8C	IO			PLL_T1_CLKOUT0p	DIFFOUT_T68p	M21	K19	J16										
VCCIO8C	VREF8C	IO			PLL_T1_CLKOUT0n	DIFFOUT_T68n	M20	J19	J15										
VCCIO8C	VREF8C	IO			DIFFIO_RX_T35p	DIFFOUT_T69p	J22	D19	E16										
VCCIO8C	VREF8C	IO			DIFFIO_RX_T35n	DIFFOUT_T69n	H22	C19	D16										
VCCIO8C	VREF8C	IO			PLL_T1_CLKOUT3	DIFFOUT_T70p	L21	L19	G16										
VCCIO8C	VREF8C	IO			PLL_T1_CLKOUT4	DIFFOUT_T70n	K22	L20	H16										
VCCIO8C	VREF8C	IO			DIFFIO_RX_T36p	DIFFOUT_T71p	F21	F19											
VCCIO8C	VREF8C	IO			DIFFIO_RX_T36n	DIFFOUT_T71n	F20	E19											
VCCIO8C	VREF8C	IO				DIFFOUT_T72p	E22	C20		DQ20T				DQ20T					
VCCIO8C	VREF8C	IO				DIFFOUT_T72n	E21	D20		DQ20T				DQ20T					
VCCIO8C	VREF8C	IO			DIFFIO_RX_T37p	DIFFOUT_T73p	D21	D21		DQSn20T				DQSn20T					
VCCIO8C	VREF8C	IO			DIFFIO_RX_T37n	DIFFOUT_T73n	C21	C21		DQSn20T				DQSn20T					
VCCIO8C	VREF8C	IO				DIFFOUT_T74p	F22	D22		DQ20T				DQ20T					
VCCIO8C	VREF8C	IO				DIFFOUT_T74n	F23	E22		DQ20T				DQ20T					
VCCIO8C	VREF8C	IO			DIFFIO_RX_T38p	DIFFOUT_T75p	D22	G20	B19	DQ21T	DQ22T			DQ21T	DQ22T		DQ21T	DQ22T	DQ22T
VCCIO8C	VREF8C	IO			DIFFIO_RX_T38n	DIFFOUT_T75n	C22	F20	A19	DQ21T	DQ22T			DQ21T	DQ22T		DQ21T	DQ22T	DQ22T
VCCIO8C	VREF8C	IO				DIFFOUT_T75p	E20	A17		DQ21T	DQ22T			DQ21T	DQ22T		DQ21T	DQ22T	DQ22T
VCCIO8C	VREF8C	IO				DIFFOUT_T76n	D23	H20	A18	DQ21T	DQ22T			DQ21T	DQ22T				



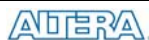
Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1512	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1512	DQS for X8/X9 for F1512 (Note 1)	DQS for X16/X18 for F1512 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)
VCCIOB	VREFB	IO								DQ24T	DQ27T	DQ29T	DQ30T						
VCCIOB	VREFB	IO			DIFFIO_RX_T43p	DIFFOUT_T85p	M23			DQS24T	DQ27T/CQn27T	DQS29T/CQ29T	DQ30T						
VCCIOB	VREFB	IO			DIFFIO_RX_T43n	DIFFOUT_T85n	L24			DQS24T	DQ27T	DQS29T/DQ29T	DQ30T						
VCCIOB	VREFB	IO				DIFFOUT_T86p	L22			DQ24T	DQ27T	DQ29T	DQ30T						
VCCIOB	VREFB	IO				DIFFOUT_T86n	M22			DQ24T	DQ27T	DQ29T	DQ30T						
VCCIOB	VREFB	IO			DIFFIO_RX_T44p	DIFFOUT_T87p	F24			DQ25T	DQ28T	DQ29T	DQ30T						
VCCIOB	VREFB	IO			DIFFIO_RX_T44n	DIFFOUT_T87n	E25			DQ25T	DQ28T	DQ29T	DQ30T						
VCCIOB	VREFB	IO				DIFFOUT_T88p	F26			DQ25T	DQ28T	DQ29T	DQ30T						
VCCIOB	VREFB	IO				DIFFOUT_T88n	G26			DQ25T	DQ28T	DQ29T	DQ30T						
VCCIOB	VREFB	IO			DIFFIO_RX_T45p	DIFFOUT_T89p	G25			DQ25T	DQ28T/CQ28T	DQ29T/CQn29T	DQ30T						
VCCIOB	VREFB	IO			DIFFIO_RX_T45n	DIFFOUT_T89n	F25			DQS25T	DQS28T/DQ28T	DQ29T	DQ30T						
VCCIOB	VREFB	IO				DIFFOUT_T90p	D26			DQ28T	DQ28T	DQ29T	DQ30T						
VCCIOB	VREFB	IO				DIFFOUT_T90n	C26			DQ28T	DQ28T	DQ29T	DQ30T						
VCCIOB	VREFB	IO			DIFFIO_RX_T46p	DIFFOUT_T91p	E26			DQS28T	DQ28T/CQn28T	DQ29T	DQS30T/CQ30T						
VCCIOB	VREFB	IO			DIFFIO_RX_T46n	DIFFOUT_T91n	D28			DQS26T	DQ28T	DQ29T	DQS30T/DQ30T						
VCCIOB	VREFB	IO				DIFFOUT_T92p	D27			DQ28T	DQ28T	DQ29T	DQ30T						
VCCIOB	VREFB	IO				DIFFOUT_T92n	E27			DQ28T	DQ28T	DQ29T	DQ30T						
VCCIOB	VREFB	IO			DIFFIO_RX_T47p	DIFFOUT_T93p	A29	B25		DQ27T	DQ29T	DQ30T	DQ30T	DQ27T	DQ29T	DQ30T			DQ30T
VCCIOB	VREFB	IO			DIFFIO_RX_T47n	DIFFOUT_T93n	A28	A25		DQ27T	DQ29T	DQ30T	DQ30T	DQ27T	DQ29T	DQ30T			DQ30T
VCCIOB	VREFB	IO				DIFFOUT_T94p	C28	A24		DQ27T	DQ29T	DQ30T	DQ30T	DQ27T	DQ29T	DQ30T			DQ30T
VCCIOB	VREFB	IO				DIFFOUT_T94n	B28	A26		DQ27T	DQ29T	DQ30T	DQ30T	DQ27T	DQ29T	DQ30T			DQ30T
VCCIOB	VREFB	IO			DIFFIO_RX_T48p	DIFFOUT_T95p	C29	C26		DQS27T	DQS29T/CQ29T	DQ30T	DQ30T/CQn30T	DQS27T	DQS29T/CQ29T	DQ30T			DQ30T
VCCIOB	VREFB	IO			DIFFIO_RX_T48n	DIFFOUT_T95n	D29	B26		DQS27T	DQS29T/DQ29T	DQ30T	DQ30T	DQS27T	DQS29T/DQ29T	DQ30T			DQ30T
VCCIOB	VREFB	IO				DIFFOUT_T96p	J24	K20		DQ28T	DQ29T	DQ30T	DQ30T	DQ28T	DQ29T	DQ30T			DQ30T
VCCIOB	VREFB	IO				DIFFOUT_T96n	K25	J20		DQ28T	DQ29T	DQ30T	DQ30T	DQ28T	DQ29T	DQ30T			DQ30T
VCCIOB	VREFB	IO			DIFFIO_RX_T49p	DIFFOUT_T97p	J25	J22		DQS28T	DQ29T/CQn29T	DQS30T/CQ30T	DQ30T	DQS28T	DQ29T/CQn29T	DQS30T/CQ30T			DQ30T
VCCIOB	VREFB	IO			DIFFIO_RX_T49n	DIFFOUT_T97n	H25	J21		DQS28T	DQ29T	DQS30T/DQ30T	DQ30T	DQS28T	DQ29T	DQS30T/DQ30T			DQ30T
VCCIOB	VREFB	IO				DIFFOUT_T98p	K26	K21		DQ28T	DQ29T	DQ30T	DQ30T	DQ28T	DQ29T	DQ30T			DQ30T
VCCIOB	VREFB	IO				DIFFOUT_T98n	J26	K22		DQ28T	DQ29T	DQ30T	DQ30T	DQ28T	DQ29T	DQ30T			DQ30T
VCCIOB	VREFB	IO			DIFFIO_RX_T50p	DIFFOUT_T99p	B30	D25		DQ29T	DQ30T	DQ30T	DQ30T	DQ29T	DQ30T	DQ30T			DQ30T
VCCIOB	VREFB	IO			DIFFIO_RX_T50n	DIFFOUT_T99n	A30	D24		DQ29T	DQ30T	DQ30T	DQ30T	DQ29T	DQ30T	DQ30T			DQ30T
VCCIOB	VREFB	IO				DIFFOUT_T100p	C24	C24		DQ28T	DQ30T	DQ30T	DQ30T	DQ28T	DQ29T	DQ30T			DQ30T
VCCIOB	VREFB	IO				DIFFOUT_T100n	B31	E25		DQ28T	DQ30T	DQ30T	DQ30T	DQ28T	DQ29T	DQ30T			DQ30T
VCCIOB	VREFB	IO			DIFFIO_RX_T51p	DIFFOUT_T101p	D30	E23		DQS29T	DQS30T/CQ30T	DQ30T/CQn30T	DQ30T	DQS29T	DQS30T/CQ30T	DQ30T/CQn30T			DQ30T
VCCIOB	VREFB	IO			DIFFIO_RX_T51n	DIFFOUT_T101n	C31	D23		DQS29T	DQS30T/DQ30T	DQ30T	DQ30T	DQS29T	DQS30T/DQ30T	DQ30T			DQ30T
VCCIOB	VREFB	IO				DIFFOUT_T102p	G27	A27		DQ30T	DQ30T	DQ30T	DQ30T	DQ30T	DQ30T	DQ30T			DQ30T
VCCIOB	VREFB	IO				DIFFOUT_T102n	H27	C27		DQ30T	DQ30T	DQ30T	DQ30T	DQ30T	DQ30T	DQ30T			DQ30T
VCCIOB	VREFB	IO			DIFFIO_RX_T52p	DIFFOUT_T103p	G28	B28		DQS30T	DQ30T/CQn30T	DQ30T	DQ30T	DQS30T	DQ30T/CQn30T	DQ30T			DQ30T
VCCIOB	VREFB	IO			DIFFIO_RX_T52n	DIFFOUT_T103n	F28	A28		DQS30T	DQ30T	DQ30T	DQ30T	DQS30T	DQ30T	DQ30T			DQ30T
VCCIOB	VREFB	IO				DIFFOUT_T104p	F29	C28		DQ30T	DQ30T	DQ30T	DQ30T	DQ30T	DQ30T	DQ30T			DQ30T
VCCIOB	VREFB	IO				DIFFOUT_T104n	A29	C24		DQ30T	DQ30T	DQ30T	DQ30T	DQ30T	DQ30T	DQ30T			DQ30T
VCCIOA	VREFRA	IO			DIFFIO_RX_T53p	DIFFOUT_T105p	E31			DQ31T	DQ35T	DQ37T	DQ38T						
VCCIOA	VREFRA	IO			DIFFIO_RX_T53n	DIFFOUT_T105n	D31			DQ31T	DQ35T	DQ37T	DQ38T						
VCCIOA	VREFRA	IO				DIFFOUT_T106p	F30			DQ31T	DQ35T	DQ37T	DQ38T						
VCCIOA	VREFRA	IO				DIFFOUT_T106n	G29			DQ31T	DQ35T	DQ37T	DQ38T						
VCCIOA	VREFRA	IO			DIFFIO_RX_T54p	DIFFOUT_T107p	H33			DQS31T	DQS35T/CQ35T	DQ37T	DQ38T						
VCCIOA	VREFRA	IO			DIFFIO_RX_T54n	DIFFOUT_T107n	D32			DQS31T	DQS35T/DQ35T	DQ37T	DQ38T						
VCCIOA	VREFRA	IO				DIFFOUT_T108p	M24			DQ32T	DQ35T	DQ37T	DQ38T						
VCCIOA	VREFRA	IO				DIFFOUT_T108n	N25			DQ32T	DQ35T	DQ37T	DQ38T						
VCCIOA	VREFRA	IO			DIFFIO_RX_T55p	DIFFOUT_T109p	M25	M23	J18	DQS32T	DQS35T/CQn35T	DQ37T/CQ37T	DQ38T						
VCCIOA	VREFRA	IO			DIFFIO_RX_T55n	DIFFOUT_T109n	L23	F19		DQS32T	DQ35T	DQS37T/DQ37T	DQ38T						
VCCIOA	VREFRA	IO				DIFFOUT_T110p	M26	L22	J18	DQ32T	DQ35T	DQ37T	DQ38T						
VCCIOA	VREFRA	IO				DIFFOUT_T110n	N26	K23	J19	DQ32T	DQ35T	DQ37T	DQ38T						
VCCIOA	VREFRA	IO			DIFFIO_RX_T56p	DIFFOUT_T111p	C32	G23	B20	DQ33T	DQ36T	DQ37T	DQ38T	DQ33T	DQ36T	DQ37T	DQ38T	DQ36T	DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T56n	DIFFOUT_T111n	F23	F23	A21	DQ33T	DQ36T	DQ37T	DQ38T	DQ33T	DQ36T	DQ37T	DQ38T	DQ36T	DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T112p	A32	F22	A20	DQ33T	DQ36T	DQ37T	DQ38T	DQ33T	DQ36T	DQ37T	DQ38T	DQ36T	DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T112n	A33	H23	D19	DQ33T	DQ36T	DQ37T	DQ38T	DQ33T	DQ36T	DQ37T	DQ38T	DQ36T	DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T57p	DIFFOUT_T113p	B34	G24	D20	DQS33T	DQS36T/CQ36T	DQ37T/CQn37T	DQ38T	DQS33T	DQS36T/CQ36T	DQ37T/CQ37T			DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T57n	DIFFOUT_T113n	A34	F24	C20	DQS33T	DQS36T/DQ36T	DQ37T	DQ38T	DQS33T	DQS36T/DQ36T	DQ37T			DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T114p	A35	F25	D21	DQ34T	DQ36T	DQ37T	DQ38T	DQ34T	DQ36T	DQ37T			DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T58p	DIFFOUT_T115p	B37	E26	B22	DQS34T	DQ36T/CQn36T	DQ37T	DQ38T	DQS34T	DQ36T/CQn36T	DQ37T			DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T58n	DIFFOUT_T115n	B36	D26	A22	DQS34T	DQ36T	DQ37T	DQ38T	DQS34T	DQ36T	DQ37T			DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T116p	A37	F26	A23	DQ34T	DQ36T	DQ37T	DQ38T	DQ34T	DQ36T	DQ37T			DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T116n	A38	D28	B23	DQ34T	DQ36T	DQ37T	DQ38T	DQ34T	DQ36T	DQ37T			DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T59p	DIFFOUT_T117p	D34	B31	B25	DQ35T	DQ37T	DQ38T	DQ38T	DQ35T	DQ37T	DQ38T			DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T59n	DIFFOUT_T117n	C34	A31	A26	DQ35T	DQ37T	DQ38T	DQ38T	DQ35T	DQ37T	DQ38T			DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T118p	E33	A30	A24	DQ35T	DQ37T	DQ38T	DQ38T	DQ35T	DQ37T	DQ38T			DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T118n	E34	A33	A25	DQ35T	DQ37T	DQ38T	DQ38T	DQ35T	DQ37T	DQ38T			DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T60p	DIFFOUT_T119p	B32	B26	B26	DQS35T	DQS37T/CQ37T	DQ38T	DQ38T/CQn38T	DQS35T	DQS37T/CQ37T	DQ38T			DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T60n	DIFFOUT_T119n	C35	A32	A27	DQS35T	DQS37T/DQ37T	DQ38T	DQ38T	DQS35T	DQS37T/DQ37T	DQ38T			DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T120p	J27	C29	F20	DQ36T	DQ37T	DQ38T	DQ38T	DQ36T	DQ37T	DQ38T			DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T120n	K27	B29	E20	DQ36T	DQ37T	DQ38T	DQ38T	DQ36T	DQ37T	DQ38T			DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T61p	DIFFOUT_T121p	M27	D30	H20	DQS36T	DQ37T/CQn37T	DQS38T/CQ38T	DQ38T	DQS36T	DQ37T/CQn37T	DQS38T/CQ38T			DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T61n	DIFFOUT_T121n	L27	C30	G20	DQS36T	DQ37T	DQS38T/DQ38T	DQ38T	DQS36T	DQ37T	DQS38T/DQ38T			DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T122p	K28	C31	H19	DQ36T	DQ37T	DQ38T	DQ38T	DQ36T	DQ37T	DQ38T			DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T122n	L28	D31	J20	DQ36T	DQ37T	DQ38T	DQ38T	DQ36T	DQ37T	DQ38T			DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T62p	DIFFOUT_T123p	F28	D23	D23	DQ37T	DQ38T	DQ38T	DQ38T	DQ37T	DQ38T	DQ38T			DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T62n	DIFFOUT_T123n	F31	E28	C23	DQ37T	DQ38T	DQ38T	DQ38T	DQ37T	DQ38T	DQ38T			DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T124p	F33	F27	D22	DQ37T	DQ38T	DQ38T	DQ38T	DQ37T	DQ38T	DQ38T			DQ36T
VCCIOA	VREFRA	IO				DIFFOUT_T124n	G33	G27	D25	DQ37T	DQ38T	DQ38T	DQ38T	DQ37T	DQ38T	DQ38T			DQ36T
VCCIOA	VREFRA	IO			DIFFIO_RX_T63p	DIFFOUT_T125p	G32	F2											



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
		VCCIO1B					M37													
		VCCIO1B					R28													
		VCCIO1C					R33	M32	R23											
		VCCIO1C					V30	V30	P26											
		VCCIO1C					V34	U34												
		VCCIO1C					T37	T31												
		VCCIO2C					AB33	W25	T26											
		VCCIO2C					AD37	AD32	V22											
		VCCIO2C					AB30	W29												
		VCCIO2C					Y39	W32												
		VCCIO2B					AE33													
		VCCIO2B					AG37													
		VCCIO2A					AH34	AB28	W26											
		VCCIO2A					AK29	AN34	AD26											
		VCCIO2A					AP37	AH32	AA22											
		VCCIO2A					AK37	AG28												
		VCCIO2A					AH30	AD25												
		VCCIO3A					AH28	AF25	AC22											
		VCCIO3A					AL36	AM27	AF22											
		VCCIO3A					AP31	AL30	AF25											
		VCCIO3A					AN34	AJ25	AC18											
		VCCIO3A					AL30													
		VCCIO3B					AK25	AF22												
		VCCIO3B					AU28	AM25												
		VCCIO3B					AU31													
		VCCIO3B					AN24													
		VCCIO3B					AN27													
		VCCIO3C					AL22	AH21	AC15											
		VCCIO3C					AT24	AM20	AF18											
		VCCIO3C					AP21	AJ18												
		VCCIO4C					AN18	AG16	AB12											
		VCCIO4C					AW28	AP17	AF13											
		VCCIO4C					AU16	AM13												
		VCCIO4B					AK16	AH13												
		VCCIO4B					AU10	AM10												
		VCCIO4B					AU13													
		VCCIO4B					AP13													
		VCCIO4B					AN16													
		VCCIO4A					AL12	AF12	AC6											
		VCCIO4A					AJ4	AM3	AF4											
		VCCIO4A					AU7	AL6	AF7											
		VCCIO4A					AN10	AH10	AD10											
		VCCIO4A					AK10													
		VCCIO5A					AH9	AD9	AA7											
		VCCIO5A					AV1	AN1	AD3											
		VCCIO5A					AP3	AH3	AA3											
		VCCIO5A					AK4	AG6												
		VCCIO5A					AK7	AB7												
		VCCIO5B					AE12													
		VCCIO5B					AH5													
		VCCIO5C					AB10	W4	R3											
		VCCIO5C					AE7	AC3	P6											
		VCCIO5C					AD3	V1												
		VCCIO5C					AB6	U5												
		VCCIO6C					V10	T19	L7											
		VCCIO6C					Y1	T3	N3											
		VCCIO6C					V7	T6												
		VCCIO6C					T3	L3												
		VCCIO6B					N3													
		VCCIO6B					R7													
		VCCIO6A					M10	H7	E3											
		VCCIO6A					M6	N7	K3											
		VCCIO6A					K3	L10	H7											
		VCCIO6A					F3	G3												
		VCCIO6A					B1	B1												
		VCCIO7A					J10	F10	C7											
		VCCIO7A					M12	J10	F7											
		VCCIO7A					G6	D6	F11											
		VCCIO7A					F9	C8	E4											
		VCCIO7A					C4													
		VCCIO7B					G16	C10												
		VCCIO7B					K15	J13												
		VCCIO7B					G13													
		VCCIO7B					G9													
		VCCIO7B					C12													
		VCCIO7C					D16	C13	C11											
		VCCIO7C					J18	G14	G14											
		VCCIO7C					F19	F17												
		VCCIO8C					G22	A18	C16											
		VCCIO8C					C24	H19	G17											
		VCCIO8C					A20	C22												
		VCCIO8B					F27	G25												
		VCCIO8B					K24	G22												
		VCCIO8B					G24													
		VCCIO8B					C27													
		VCCIO8B					C30													
		VCCIO8A					C36	C32	C25											
		VCCIO8A					K30	J23	F23											
		VCCIO8A					J28	G25	E19											
		VCCIO8A					G30	D29	C22											
		VCCIO8A					G33													
		VCCIO8A					Y19	U17	R15											
		VCCIO8A					P25	AB14	M16											
		VCCIO8A					AF15	AB22	V14											



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
		VCCL					AE16	AA13	V16											
		VCCL					AE18	AA15	U11											
		VCCL					AE20	AA17	U13											
		VCCL					AE22	AA19	U15											
		VCCL					AE24	AA21	U17											
		VCCL					AD15	Y14	T12											
		VCCL					AD17	Y16	T14											
		VCCL					AD19	Y18	T16											
		VCCL					AD21	Z20	R13											
		VCCL					AD23	W15	R17											
		VCCL					AD25	W17	P12											
		VCCL					AC16	W19	P14											
		VCCL					AC18	W21	P16											
		VCCL					AC20	V14	P18											
		VCCL					AC22	V16	N13											
		VCCL					AC24	V18	N15											
		VCCL					AB15	Z20	N17											
		VCCL					AB17	U15	M12											
		VCCL					AB19	U19	M14											
		VCCL					AB21	U21	L11											
		VCCL					AB23	T14	L17											
		VCCL					AB25	T16												
		VCCL					AA18	T18												
		VCCL					AA18	T20												
		VCCL					AA20	R15												
		VCCL					AA22	R17												
		VCCL					AA24	R19												
		VCCL					Y15	R21												
		VCCL					Y17	P14												
		VCCL					Y21	P16												
		VCCL					Y23	P18												
		VCCL					Y25	P20												
		VCCL					W16	P22												
		VCCL					W18	N13												
		VCCL					W20	N21												
		VCCL					W22													
		VCCL					W24													
		VCCL					V15													
		VCCL					V17													
		VCCL					V19													
		VCCL					V21													
		VCCL					V23													
		VCCL					V25													
		VCCL					U16													
		VCCL					U18													
		VCCL					U20													
		VCCL					U22													
		VCCL					U24													
		VCCL					T15													
		VCCL					T17													
		VCCL					T19													
		VCCL					T21													
		VCCL					T23													
		VCCL					T25													
		VCCL					R16													
		VCCL					R18													
		VCCL					R20													
		VCCL					R22													
		VCCL					R24													
		VCC					P21	W13	M18											
		VCC					AF17	AB16	V12											
		VCC					AF19	AB18	V16											
		VCC					AF21	AB20	T18											
		VCC					AF23	V22	R11											
		VCC					AF25	V22	N11											
		VCC					AE26	U13	L13											
		VCC					AC14	T22	L15											
		VCC					AC26	R13												
		VCC					AA14	N15												
		VCC					AA26	N17												
		VCC					W14	N19												
		VCC					W26													
		VCC					U14													
		VCC					U26													
		VCC					R14													
		VCC					P15													
		VCC					P17													
		VCC					P19													
		VCC					P23													
		GND					Y20	V17	R14											
		DNV					W19	U18	P15											
		GND					L32	B33	M11											
		GND					AV2	AN2	E15											
		GND					AV5	AN5	AG2											
		GND					AV8	AN8	AG5											
		GND					AV11	AN11	AG8											
		GND					AV14	AN14	AG11											
		GND					AV17	AN17	AG14											
		GND					AV20	AN20	AG17											
		GND					AV23	AN23	AG20											
		GND					AV26	AN26	AG23											
		GND					AV29	AN29	AG26											
		GND					AV32	AN32	AF27											
		GND					AV35	AM33	AD2											



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
		GND					AV38	AK2	AD5											
		GND					AR2	AK5	AD8											
		GND					AR5	AK8	AD11											
		GND					AR8	AK11	AD14											
		GND					AR11	AK14	AD17											
		GND					AR14	AK17	AD20											
		GND					AR17	AK20	AD23											
		GND					AR20	AK23	AC24											
		GND					AR23	AK26	AC27											
		GND					AR26	AK29	AC2											
		GND					AR29	AJ30	AA5											
		GND					AR32	AJ33	AA8											
		GND					AR35	AG2	AA11											
		GND					AR38	AG5	AA14											
		GND					AM2	AG8	AA17											
		GND					AM5	AG11	AA20											
		GND					AM8	AG14	Y12											
		GND					AM11	AG17	Y16											
		GND					AM14	AG20	Y21											
		GND					AM17	AG23	Y24											
		GND					AM20	AG26	Y27											
		GND					AM23	AF27	W12											
		GND					AM26	AF30	W14											
		GND					AM29	AF33	W16											
		GND					AM32	AD2	W18											
		GND					AM35	AD5	V2											
		GND					AM38	AD8	V5											
		GND					AJ2	AD11	V8											
		GND					AJ5	AD14	V11											
		GND					AJ8	AD17	V13											
		GND					AJ11	AD20	V15											
		GND					AJ14	AD23	V17											
		GND					AJ17	AC14	V15											
		GND					AJ20	AC16	U10											
		GND					AJ23	AC18	U12											
		GND					AJ26	AC20	U14											
		GND					AJ29	AC24	U16											
		GND					AJ32	AC27	U18											
		GND					AJ35	AC30	U21											
		GND					AJ38	AC33	U24											
		GND					AG17	AB13	U27											
		GND					AG19	AB15	T11											
		GND					AG21	AB17	T13											
		GND					AG23	AB19	T15											
		GND					AG25	AB21	T17											
		GND					AF2	AB23	T19											
		GND					AF5	AA2	R2											
		GND					AF8	AA5	R5											
		GND					AF11	AA8	R8											
		GND					AF4	AA11	R12											
		GND					AF16	AA14	R16											
		GND					AF18	AA16	R18											
		GND					AF20	AA18	P11											
		GND					AF22	AA20	P13											
		GND					AF24	AA22	P17											
		GND					AF26	Y13	P21											
		GND					AF29	Y15	P24											
		GND					AF32	Y17	P27											
		GND					AF35	Y19	N10											
		GND					AF38	Y21	N12											
		GND					AE15	Y24	N14											
		GND					AE17	Y27	N16											
		GND					AE19	Y30	N18											
		GND					AE21	Y33	M2											
		GND					AE23	W14	M5											
		GND					AE25	W16	M8											
		GND					AD14	W18	M11											
		GND					AD16	W20	M13											
		GND					AD18	W22	M15											
		GND					AD20	V2	M17											
		GND					AD22	V5	M19											
		GND					AD24	V8	L10											
		GND					AD26	V11	L12											
		GND					AC2	V12	L14											
		GND					AC5	V13	L16											
		GND					AC8	V15	L18											
		GND					AC11	V19	L21											
		GND					AC13	V21	L24											
		GND					AC15	V23	L27											
		GND					AC17	U12	K13											
		GND					AC19	U14	K15											
		GND					AC21	U16	K17											
		GND					AC23	U20	K19											
		GND					AC25	U22	J2											
		GND					AC29	U23	J5											
		GND					AC32	U24	J8											
		GND					AC35	U27	J13											
		GND					AC38	U30	J17											
		GND					AB14	U33	H9											
		GND					AB16	T13	H12											
		GND					AB18	T15	H15											
		GND					AB20	T17	H18											
		GND					AB22	T19	H21											
		GND					AB24	T21	H24											



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
		GND					A826	R2	H27											
		GND					AA13	R5	F2											
		GND					AA15	R8	F5											
		GND					AA17	R11	E8											
		GND					AA19	R14	E9											
		GND					AA21	R16	E12											
		GND					AA23	R18	E18											
		GND					AA25	R20	E21											
		GND					AA27	R22	E24											
		GND					Y2	P13	E27											
		GND					Y5	P15	C2											
		GND					Y8	P17	B3											
		GND					Y11	P19	B6											
		GND					Y14	P21	B9											
		GND					Y16	P24	B12											
		GND					Y18	P27	B15											
		GND					Y22	P30	B18											
		GND					Y24	P33	B21											
		GND					Y26	N12	B24											
		GND					Y29	N14	B27											
		GND					Y32	N16												
		GND					Y35	N18												
		GND					Y38	N20												
		GND					W13	N22												
		GND					W15	M2												
		GND					W17	M5												
		GND					W21	M8												
		GND					W23	M11												
		GND					W25	M15												
		GND					W27	M17												
		GND					V14	M19												
		GND					V16	M21												
		GND					V18	L12												
		GND					V20	L15												
		GND					V22	L18												
		GND					V24	L21												
		GND					Y26	L24												
		GND					U2	L27												
		GND					U5	L30												
		GND					U8	L33												
		GND					U11	J2												
		GND					U15	J5												
		GND					U17	J8												
		GND					U19	H9												
		GND					U21	H12												
		GND					U23	H15												
		GND					U25	H18												
		GND					U27	H21												
		GND					U29	H24												
		GND					U32	H27												
		GND					U35	H30												
		GND					U38	H33												
		GND					T14	F2												
		GND					T16	F5												
		GND					T18	E8												
		GND					T20	E9												
		GND					T22	E12												
		GND					T24	E15												
		GND					T26	E18												
		GND					R15	E21												
		GND					R17	E24												
		GND					R19	E27												
		GND					R21	E30												
		GND					R23	E33												
		GND					R25	C2												
		GND					P2	B3												
		GND					P5	B6												
		GND					P8	B9												
		GND					P11	B12												
		GND					P14	B15												
		GND					P16	B18												
		GND					P18	B21												
		GND					P20	B24												
		GND					P22	B27												
		GND					P24	B30												
		GND					P26													
		GND					P29													
		GND					P32													
		GND					P35													
		GND					P38													
		GND					N15													
		GND					N17													
		GND					N19													
		GND					N21													
		GND					N23													
		GND					L2													
		GND					L5													
		GND					L8													
		GND					L11													
		GND					L14													
		GND					L17													
		GND					L20													
		GND					L23													
		GND					L26													



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
		GND					Z9													
		GND					L35													
		GND					L38													
		GND					H2													
		GND					H5													
		GND					H8													
		GND					H11													
		GND					H14													
		GND					H17													
		GND					H20													
		GND					H23													
		GND					H26													
		GND					H29													
		GND					H32													
		GND					H35													
		GND					H38													
		GND					E2													
		GND					E5													
		GND					E8													
		GND					E11													
		GND					E14													
		GND					E17													
		GND					E20													
		GND					E23													
		GND					E26													
		GND					E29													
		GND					E32													
		GND					E36													
		GND					E38													
		GND					B2													
		GND					B5													
		GND					B8													
		GND					B11													
		GND					B14													
		GND					B17													
		GND					B20													
		GND					B23													
		GND					B26													
		GND					B29													
		GND					B32													
		GND					B35													
		GND					B38													
		VCCPD1A					P27	N23	L19											
		VCCPD1B					T27													
		VCCPD1C					V27	R23	N19											
		VCCPD2C					Y27	W23	R19											
		VCCPD2B					AB27													
		VCCPD2A					AF27	AA23	U19											
		VCCPD3A					AG26	AC23	W17											
		VCCPD3B					AG24	AC21												
		VCCPD3C					AG22	AC19	W15											
		VCCPD4C					AG20	AC17	W13											
		VCCPD4B					AG18	AC15												
		VCCPD4A					AG16	AC13	W11											
		VCCPD5A					AF13	AB12	V10											
		VCCPD5B					AD13													
		VCCPD5C					AB13	Y12	T10											
		VCCPD6C					Y13	T12	P10											
		VCCPD6B					V13													
		VCCPD6A					P13	P12	M10											
		VCCPD7A					N14	M12	K12											
		VCCPD7B					N16	M14												
		VCCPD7C					N18	M16	K14											
		VCCPD8C					N20	M18	K16											
		VCCPD8B					N22	M20												
		VCCPD8A					N24	M22	K18											
	VREF1A	VREF1A	VREF1A				K31	J26	K22											
	VREF1B	VREF1B	VREF1B				R32													
	VREF1C	VREF1C	VREF1C				Y32	P26	N22											
	VREF2C	VREF2C	VREF2C				Y34	V27	U22											
	VREF2B	VREF2B	VREF2B				AD32													
	VREF2A	VREF2A	VREF2A				AJ30	AA26	Y22											
	VREF3A	VREF3A	VREF3A				AF20	AG25	AB18											
	VREF3B	VREF3B	VREF3B				AM24	AG22												
	VREF3C	VREF3C	VREF3C				AN20	AH20	AA16											
	VREF4C	VREF4C	VREF4C				AN17	AH16	AA12											
	VREF4B	VREF4B	VREF4B				AM16	AG13												
	VREF4A	VREF4A	VREF4A				AM12	AG10	AB10											
	VREF5A	VREF5A	VREF5A				AK9	AF7	W7											
	VREF5B	VREF5B	VREF5B				AE8													
	VREF5C	VREF5C	VREF5C				AB8	AA9	T7											
	VREF6C	VREF6C	VREF6C				Y6	U8	M7											
	VREF6B	VREF6B	VREF6B				T6													
	VREF6A	VREF6A	VREF6A				L10	P9	J7											
	VREF7A	VREF7A	VREF7A				F10	H10	G11											
	VREF7B	VREF7B	VREF7B				H16	H13												
	VREF7C	VREF7C	VREF7C				G20	G15	H13											
	VREF8C	VREF8C	VREF8C				G23	G19	H17											
	VREF8B	VREF8B	VREF8B				H24	H22												
	VREF8A	VREF8A	VREF8A				H28	H25	G19											
	VCCPT						U32	J27	G23											
	VCCPT						Y33	U29	R24											
	VCCPT						AL32	AG27	AC23											
	VCCPT						AL20	AJ17	AD15											



Bank Number	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	F1152	H780	DQS for X4 for F1517	DQS for X8/X9 for F1517	DQS for X16/X18 for F1517 (Note 1)	DQS for X32/X36 for F1517 (Note 1)	DQS for X4 for F1152	DQS for X8/X9 for F1152 (Note 1)	DQS for X16/X18 for F1152 (Note 1)	DQS for X4 for H780	DQS for X8/X9 for H780 (Note 1)	DQS for X16/X18 for H780 (Note 1)	
		VCCPT					AJ8	AG7	AS6											
		VCCPT					Y7	V6	P5											
		VCCPT					J8	H8	G6											
		VCCPT					J20	F18	E14											
		VCCPGM					AJ31	AD24	AQ21											
		VCCPGM					AJ10	AD10	Y8											
		VCCBAT					K8	G6	F6											
		NC					AP35	AK30	AE25											
		NC					AD27	AC10	V9											
		NC					T13	M25	U20											
		NC					N12	L11	M9											
		NC					N28	L25	L20											
		NC					L30	K26	K10											
		NC							J21											

Note:
(1) When not used as clocks, the CQn and DQS_n pins can be used as DQ pins.



Pin Information for the Stratix® III EP3SL200 Device
Version 1.1
Notes (1), (2)

Pin Name	Pin Type (1st and 2nd Function)	Pin Description
Supply and Reference Pins		
VCCL	Power	VCCL supplies power to the core voltage power supply pins.
VCC	Power	VCC supplies power to the periphery circuitry.
RUP[1..8]A	I/O, Input	Reference pins for I/O banks. The RUP pins share the same VCCIO with the I/O bank where they are located. The external precision resistor RUP must be connected to the designated RUP pin within the bank. If not required, this pin is a regular I/O pin.
RDN[1..8]A	I/O, Input	Reference pins for I/O banks. The RDN pins share the same GND with the I/O bank where they are located. The external precision resistor RDN must be connected to the designated RDN pin within the bank. If not required, this pin is a regular I/O pin.
VCCIO[1..8][A,B,C]	Power	These are I/O supply voltage pins for banks 1 through 8. Each bank can support a different voltage level. VCCIO supplies power to the output buffers for all LVDS, LVCMOS(1.2 V, 1.5 V, 1.8 V, 2.5 V, 3.0 V, 3.3 V), HSTL(12, 15, 18), SSTL(15, 18, 2), 3.0-V PCI/PCI-X I/O, and LVTTTL(3.0 V, 3.3 V) I/O standards. VCCIO also supplies power to the input buffers used for LVCMOS(1.2 V, 1.5 V, 1.8 V, 2.5 V, 3.0 V, 3.3 V), 3.0-V PCI/PCI-X and LVTTTL(3.0 V, 3.3 V) I/O standards.
VREF[1..8][A,B,C]	Power	Input reference voltage for each I/O bank. If a bank uses a voltage-referenced I/O standard, then these pins are used as the voltage-referenced pins for the bank.
VCCA_PLL[L[1:4],R[1:4],T[1:2],B[1:2]]	Power	Analog power for PLLs[L[1:4],R[1:4],T[1:2],B[1:2]]. You must connect these pins to 2.5 V, even if the PLL is not used. You are advised to keep this pin isolated from other VCC for better jitter performance.
VCCD_PLL[L[1:4],R[1:4],T[1:2],B[1:2]]	Power	Digital power for PLLs[L[1:4],R[1:4],T[1:2],B[1:2]]. You must connect these pins to 1.1 V, even if the PLL is not used.
VCCPT	Power	Power supply for the programmable power technology. Connect to 2.5 V.
VCCPGM	Power	Power supply for configuration pins. Can be connected to 1.8 V, 2.5 V, 3.0 V, or 3.3 V depending on the particular design.
VCCPD[1..8][A,B,C]	Power	Dedicated power pins. This supply is used to power the I/O pre-drivers. This can be connected to 3.3 V, 3.0 V, or 2.5 V. VCCPD for 3.3-V I/O standard is 3.3 V, VCCPD for 3.0-V I/O standard is 3.0 V, and VCCPD for 2.5-V/1.8-V/1.2-V I/O standards is 2.5 V.
VCCBAT	Power	Battery back-up power supply for design security volatile key register. Connect to 2.5 V.
VCC_CLKIN[3,4,7,8]	Power	Differential clock input power supply for top and bottom I/O banks. Connect to 2.5 V.
GND	Ground	Device ground pins.
DNU	Do Not Use	Do not connect to power or ground or any other signal; must be left floating.
NC	No Connect	Do not drive signals into these pins.
Dedicated Configuration/JTAG Pins		
nIO_PULLUP	Input	Dedicated input that chooses whether the internal pull-ups on the user I/O pins and dual-purpose I/O pins (nCSO, ASDO, DATA[7..0], CLKUSR, INIT_DONE, DEV_OE, DEV_CLRn) are on or off before and during configuration. A logic high (1.5 V, 1.8 V, 2.5 V, 3.0 V, or 3.3 V) turns off the weak pull-up, while a logic low turns them on.
TEMPDIODEp	Input	Pin used in conjunction with the temperature-sensing diode (bias-high input) inside the Stratix III device.
TEMPDIODEn	Input	Pin used in conjunction with the temperature-sensing diode (bias-low input) inside the Stratix III device.
MSEL[3..0]	Input	Configuration input pins that set the Stratix III device configuration scheme.



Pin Information for the Stratix® III EP3SL200 Device
Version 1.1
Notes (1), (2)

Pin Name	Pin Type (1st and 2nd Function)	Pin Description
nCE	Input	Dedicated active-low chip enable. When nCE is low, the device is enabled. When nCE is high, the device is disabled.
nCONFIG	Input	Dedicated configuration control input. Pulling this pin low during user mode will cause the FPGA to lose its configuration data, enter a reset state, and tri-state all I/O pins. Returning this pin to a logic high level will initiate reconfiguration.
CONF_DONE	Bidirectional (open-drain)	This is a dedicated configuration Done pin. As a status output, the CONF_DONE pin drives low before and during configuration. Once all configuration data is received without error and the initialization cycle starts, CONF_DONE is released. As a status input, CONF_DONE goes high after all data is received. Then the device initializes and enters user mode. It is not available as a user I/O pin.
nCEO	Output	Output that drives low when device configuration is complete.
nSTATUS	Bidirectional (open-drain)	This is a dedicated configuration status pin. The FPGA drives nSTATUS low immediately after power-up and releases it after POR time. As a status output, the nSTATUS is pulled low if an error occurs during configuration. As a status input, the device enters an error state when nSTATUS is driven low by an external source during configuration or initialization. It is not available as a user I/O pin.
PORSEL	Input	Dedicated input that selects between a POR time of 12 ms or 100 ms. A logic high (1.5 V, 1.8 V, 2.5 V, 3.0 V, 3.3 V) selects a POR time of 12 ms and a logic low selects POR time of 100 ms.
TCK	Input	Dedicated JTAG input pin. Connect TCK to GND if the JTAG circuitry is not used.
TMS	Input	Dedicated JTAG input pin. Connect TMS to VCCPD if the JTAG circuitry is not used.
TDI	Input	Dedicated JTAG input pin. Connect TDI to VCCPD if the JTAG circuitry is not used.
TDO	Output	Dedicated JTAG output pin.
TRST	Input	Dedicated active-low JTAG input pin. TRST is used to asynchronously reset the JTAG boundary-scan circuit.
Clock and PLL Pins		
CLK[1,3,8,10]p	Clock, Input	Dedicated high-speed clock input pins 1, 3, 8, and 10 that can also be used for data inputs. OCT Rd is not supported on these pins.
CLK[1,3,8,10]n	Clock, Input	Dedicated negative clock input pins for differential clock input that can also be used for data inputs. OCT Rd is not supported on these pins.
CLK[0,2,9,11]p	I/O, Clock	These pins can be used as I/O pins or clock input pins. OCT Rd is supported on these pins.
CLK[0,2,9,11]n	I/O, Clock	These pins can be used as I/O pins or negative clock input pins for differential clock inputs. OCT Rd is supported on these pins.
CLK[4..7,12..15]p	I/O, Clock	These pins can be used as I/O pins or clock input pins. OCT Rd is not supported on these pins.
CLK[4..7,12..15]n	I/O, Clock	These pins can be used as I/O pins or negative clock input pins for differential clock inputs. OCT Rd is not supported on these pins.
PLL_[L1,L4,R1,R4]_CLKp	Clock, Input	Dedicated clock input pins to PLL L1, L4, R1, and R4 respectively.
PLL_[L1,L4,R1,R4]_CLKn	Clock, Input	Dedicated negative clock input pins for differential clock input to PLL L1, L4, R1, and R4 respectively.
PLL_[L2,L3,R2,R3]_CLKOUT0n	I/O, Clock	Each left and right PLL supports 2 clock I/O pins, configured either as 2 single-ended I/O or one differential I/O pair. When using both pins as single-ended I/Os, PLL_#_CLKOUT0n can be the clock output while the PLL_#_FB_CLKOUT0p is the external feedback input pin.
PLL_[L2,L3,R2,R3]_FB_CLKOUT0p	I/O, Clock	
PLL_[T1,T2,B1,B2]_FBp/CLKOUT1	I/O, Clock	Dual-purpose I/O pins that can be used as two single-ended outputs or one differential external feedback input pin.
PLL_[T1,T2,B1,B2]_FBn/CLKOUT2	I/O, Clock	
PLL_[T1,T2,B1,B2]_CLKOUT[3,4]	I/O, Clock	These pins can be used as I/O pins or two single-ended clock output pins.
PLL_[T1,T2,B1,B2]_CLKOUT0[p,n]	I/O, Clock	I/O pins that be used as two single-ended clock output pins or one differential clock output pair.



Pin Information for the Stratix® III EP3SL200 Device
Version 1.1
Notes (1), (2)

Pin Name	Pin Type (1st and 2nd Function)	Pin Description
Optional/Dual-Purpose Configuration Pins		
nCSO	I/O, Output	Dedicated output control signal from the Stratix III FPGA to the serial configuration device in AS mode that enables the configuration device.
ASDO	I/O, Output	Control signal from the Stratix III FPGA to the serial configuration device in AS mode used to read out configuration data.
DCLK	Input (PS, FPP) Output (AS)	Dedicated configuration clock pin. In PS and FPP configuration modes, DCLK is used to clock configuration data from an external source into the Stratix III device. In AS mode, DCLK is an output from the Stratix III device that provides timing for the configuration interface.
CRC_ERROR	I/O, Output	Active-high signal that indicates that the error detection circuit has detected errors in the configuration SRAM bits. This pin is optional and is used when the CRC error detection circuit is enabled.
DEV_CLRn	I/O, Input	Optional pin that allows you to override all clears on all device registers. When this pin is driven low, all registers are cleared; when this pin is driven high (VCCPGM), all registers behave as programmed.
DEV_OE	I/O, Input	Optional pin that allows you to override all tri-states on the device. When this pin is driven low, all I/O pins are tri-stated; when this pin is driven high (VCCPGM), all I/O pins behave as defined in the design.
DATA0	I/O, Input	Dual-purpose configuration data input pin. The DATA0 pin can be used for bit-wide configuration or as an I/O pin after configuration is complete.
DATA[7..1]	I/O, Input	Dual-purpose configuration data input pins. The DATA[7..0] pins can be used for byte-wide configuration or as regular I/O pins. These pins can also be used as user I/O pins after configuration.
INIT_DONE	I/O, Output (open-drain)	This is a dual-purpose pin and can be used as an I/O pin when not enabled as INIT_DONE. When enabled, a transition from low to high at the pin indicates when the device has entered user mode. If the INIT_DONE output is enabled, the INIT_DONE pin cannot be used as a user I/O pin after configuration.
CLKUSR	I/O, Input	Optional user-supplied clock input. Synchronizes the initialization of one or more devices. If this pin is not enabled for use as a user-supplied configuration clock, it can be used as a user I/O pin.
Differential I/O Pins		
DIFFIO_RX[##]p/n	I/O, RX channel	These are true LVDS receiver channels on side and column I/O banks. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DIFFIO_TX[##]p/n	I/O, TX channel	These are true LVDS transmitter channels on side I/O banks. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
DIFFOUT_[##]p/n	I/O, TX channel	These are emulated LVDS output channels. On column I/O banks, there are true LVDS input buffers, but no true LVDS output buffers. However, all column user I/Os, including I/Os with true LVDS input buffers, can be configured as emulated LVDS output buffers. Pins with a "p" suffix carry the positive signal for the differential channel. Pins with an "n" suffix carry the negative signal for the differential channel. If not used for differential signaling, these pins are available as user I/O pins.
External Memory Interface Pins		
DQS[1..44][T,B], DQS[1..40][L,R]	I/O, DQS	Optional data strobe signal for use in external memory interfacing. These pins drive to dedicated DQS phase-shift circuitry. The shifted DQS signal can also drive to internal logic.
DQSn[1..44][T,B], DQSn[1..40][L,R]	I/O, DQSn	Optional complementary data strobe signal for use in QDRII SRAM. These pins drive to dedicated DQS phase-shift circuitry.



Pin Name	Pin Type (1st and 2nd Function)	Pin Description
DQ[1..44][T,B], DQ[1..40][L,R]	I/O, DQ	Optional data signal for use in external memory interfacing. The order of the DQ bits within a designated DQ bus is not important; however, use caution when making pin assignments if you plan on migrating to a different memory interface that has a different DQ bus width. Analyze the available DQ pins across all pertinent DQS columns in the pin list.
CQ[1..44][T,B], CQ[1..40][L,R]	DQS	Optional data strobe signal for use in QDRII SRAM. These are the pins for echo clocks.
CQn[1..44][T,B], CQ[1..40][L,R]	DQS	Optional complementary data strobe signal for use in QDRII SRAM. These are the pins for echo clocks.

Notes:

- (1) The pin definitions are prepared based on the device with the largest density, EP3SL340. Refer to the pin list for the availability of pins in each density.
- (2) Some of the pull-up or pull-down resistors mentioned in the table above may not be required, depending on the exact device configuration scheme. Should you be required to use a different configuration scheme, the ability to NC or short them may be valuable during the debug phase. For more information, refer to the *Configuring Stratix III Devices* chapter in volume 1 of the *Stratix III Device Handbook*.



PLL_L1		8A	8B	8C	PLL_T1	PLL_T2	7C	7B	7A	PLL_R1	
		VREF8A	VREF8B	VREF8C			VREF7C	VREF7B	VREF7A		
VREF1A	1A							6A	VREF6A		
VREF1B	1B							6B	VREF6B		
VREF1C	1C							6C	VREF6C		
PLL_L2								PLL_R2			
PLL_L3								PLL_R3			
VREF2C	2C							5C	VREF5C		
VREF2B	2B							5B	VREF5B		
VREF2A	2A							5A	VREF5A		
PLL_L4		3A	3B	3C	PLL_B1	PLL_B2	4C	4B	4A	PLL_R4	
		VREF3A	VREF3B	VREF3C			VREF4C	VREF4B	VREF4A		

Note:

1. This is only a pictorial representation to provide an idea of placement on the device. Refer to the pin list and the Quartus® II software for exact locations.



**Pin Information for the Stratix® III EP3SL200 Device
Version 1.1**

Version Number	Date	Changes Made
1.0	12/14/2007	Initial release.
1.1	4/25/2008	Updated naming convention of DQ/DQS group for H780 package to match pin planner in Quartus II software and ORCAD symbol files.