



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	H780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
GXB_L1		REFCLK3Lp					L22				
GXB_L1		REFCLK3Ln					L23				
GXB_L1		GXB_TX_L11n					D26				
GXB_L1		GXB_TX_L11p					D25				
GXB_L1		GXB_RX_L11n,GXB_REFCLK_L11n					C28				
GXB_L1		GXB_RX_L11p,GXB_REFCLK_L11p					C27				
GXB_L1		GXB_TX_L10n					F26				
GXB_L1		GXB_TX_L10p					F25				
GXB_L1		GXB_RX_L10n,GXB_REFCLK_L10n					E28				
GXB_L1		GXB_RX_L10p,GXB_REFCLK_L10p					E27				
GXB_L1		GXB_TX_L9n					H26				
GXB_L1		GXB_TX_L9p					H25				
GXB_L1		GXB_RX_L9n,GXB_REFCLK_L9n					G28				
GXB_L1		GXB_RX_L9p,GXB_REFCLK_L9p					G27				
GXB_L1		GXB_TX_L8n					K26				
GXB_L1		GXB_TX_L8p					K25				
GXB_L1		GXB_RX_L8n,GXB_REFCLK_L8n					J28				
GXB_L1		GXB_RX_L8p,GXB_REFCLK_L8p					J27				
GXB_L1		GXB_TX_L7n					M26				
GXB_L1		GXB_TX_L7p					M25				
GXB_L1		GXB_RX_L7n,GXB_REFCLK_L7n					L28				
GXB_L1		GXB_RX_L7p,GXB_REFCLK_L7p					L27				
GXB_L1		GXB_TX_L6n					P26				
GXB_L1		GXB_TX_L6p					P25				
GXB_L1		GXB_RX_L6n,GXB_REFCLK_L6n					N28				
GXB_L1		GXB_RX_L6p,GXB_REFCLK_L6p					N27				
GXB_L1		REFCLK2Lp					N23				
GXB_L1		REFCLK2Ln					N24				
GXB_L0		REFCLK1Lp					R22				
GXB_L0		REFCLK1Ln					R23				
GXB_L0		GXB_TX_L5n					T26				
GXB_L0		GXB_TX_L5p					T25				
GXB_L0		GXB_RX_L5n,GXB_REFCLK_L5n					R28				
GXB_L0		GXB_RX_L5p,GXB_REFCLK_L5p					R27				
GXB_L0		GXB_TX_L4n					V26				
GXB_L0		GXB_TX_L4p					V25				
GXB_L0		GXB_RX_L4n,GXB_REFCLK_L4n					U28				
GXB_L0		GXB_RX_L4p,GXB_REFCLK_L4p					U27				
GXB_L0		GXB_TX_L3n					Y26				
GXB_L0		GXB_TX_L3p					Y25				
GXB_L0		GXB_RX_L3n,GXB_REFCLK_L3n					W28				
GXB_L0		GXB_RX_L3p,GXB_REFCLK_L3p					W27				
GXB_L0		GXB_TX_L2n					AB26				
GXB_L0		GXB_TX_L2p					AB25				
GXB_L0		GXB_RX_L2n,GXB_REFCLK_L2n					AA28				
GXB_L0		GXB_RX_L2p,GXB_REFCLK_L2p					AA27				
GXB_L0		GXB_TX_L1n					AD26				
GXB_L0		GXB_TX_L1p					AD25				
GXB_L0		GXB_RX_L1n,GXB_REFCLK_L1n					AC28				
GXB_L0		GXB_RX_L1p,GXB_REFCLK_L1p					AC27				
GXB_L0		GXB_TX_L0n					AF26				
GXB_L0		GXB_TX_L0p					AF25				
GXB_L0		GXB_RX_L0n,GXB_REFCLK_L0n					AE28				
GXB_L0		GXB_RX_L0p,GXB_REFCLK_L0p					AE27				
GXB_L0		REFCLK0Lp					U23				
GXB_L0		REFCLK0Ln					U24				
3A		nCONFIG		nCONFIG			AF23				
3A		TRST		TRST			W19				
3A		TMS		TMS			Y20				
3A		TCK		TCK			AA21				
3A		TDI		TDI			AD22				
3A		TDO		TDO			AB22				
3A		nCS0		nCS0			AE23				
3A		AS_DATA3		AS_DATA3			V19				
3A		AS_DATA2		AS_DATA2			W20				
3A		AS_DATA1		AS_DATA1			Y21				
3A		AS_DATA0,ASDO		AS_DATA0,ASDO			AD23				
3A		DCLK		DCLK			AB21				
3A	VREFB3AN0	IO		CLKUSR	DIFFIO_TX_B1n	DIFFOUT_B1n	AH23	DQ1B		DQ1B	
3A	VREFB3AN0	IO		CRG_ERROR	DIFFIO_TX_B1p	DIFFOUT_B1p	AH22	DQ1B		DQ1B	
3A	VREFB3AN0	IO	RZQ_0		DIFFIO_RX_B2n	DIFFOUT_B2n	AG22	DQS1B		DQ1B	
3A	VREFB3AN0	IO		DEV_OE	DIFFIO_RX_B2p	DIFFOUT_B2p	AF22	DQS1B		DQ1B/CQn1B	



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	H780	QDS for X4	QDS for X8/X9	QDS for X16/ X18	QDS for X32/ X36
3A	VREFB3A0	IO		DEV_CLRn	DIFFIO TX B3n	DIFFOUT B3n	AH25	DQ1B	DQ1B		
3A	VREFB3A0	IO		INIT_DONE	DIFFIO TX B3p	DIFFOUT B3p	AH26	DQ1B	DQ1B		
3A	VREFB3A0	IO		nCEO	DIFFIO RX B4n	DIFFOUT B4n	AH21	DQS2B	DQS1B/DQ1B		
3A	VREFB3A0	IO		DATA0	DIFFIO RX B4p	DIFFOUT B4p	AG21	DQS2B	DQS1B/CQ1B		
3A	VREFB3A0	IO		DATA1	DIFFIO TX B5n	DIFFOUT B5n	AD21	DQ2B	DQ1B		
3A	VREFB3A0	IO		DATA2	DIFFIO TX B5p	DIFFOUT B5p	AC21	DQ2B	DQ1B		
3A	VREFB3A0	IO		DATA3	DIFFIO RX B6n	DIFFOUT B6n	AF21	DQ2B	DQ1B		
3A	VREFB3A0	IO		DATA4	DIFFIO RX B6p	DIFFOUT B6p	AE22	DQ2B	DQ1B		
3A	VREFB3A0	IO		DATA5	DIFFIO TX B7n	DIFFOUT B7n	AE20	DQ3B	DQ2B	DQ1B	
3A	VREFB3A0	IO		DATA6	DIFFIO TX B7p	DIFFOUT B7p	AD19	DQ3B	DQ2B	DQ1B	
3A	VREFB3A0	IO		DATA7	DIFFIO RX B8n	DIFFOUT B8n	AH19	DQS3B	DQ2B	DQ1B	
3A	VREFB3A0	IO		DATA8	DIFFIO RX B8p	DIFFOUT B8p	AG19	DQS3B	DQ2B/CQn2B	DQ1B	
3A	VREFB3A0	IO		DATA9	DIFFIO TX B9n	DIFFOUT B9n	AH18	DQ3B	DQ2B	DQ1B	
3A	VREFB3A0	IO		DATA10	DIFFIO TX B9p	DIFFOUT B9p	AG18	DQ3B	DQ2B	DQ1B	
3A	VREFB3A0	IO		DATA11	DIFFIO RX B10n	DIFFOUT B10n	AF17	DQS4B	DQS2B/DQ2B	DQ1B	
3A	VREFB3A0	IO		DATA12	DIFFIO RX B10p	DIFFOUT B10p	AF16	DQS4B	DQS2B/CQ2B	DQ1B/CQn1B	
3A	VREFB3A0	IO		DATA13	DIFFIO TX B11n	DIFFOUT B11n	AF19	DQ4B	DQ2B	DQ1B	
3A	VREFB3A0	IO		DATA14	DIFFIO TX B11p	DIFFOUT B11p	AE19	DQ4B	DQ2B	DQ1B	
3A	VREFB3A0	IO		DATA15	DIFFIO RX B12n	DIFFOUT B12n	AE17	DQ4B	DQ2B	DQ1B	
3A	VREFB3A0	IO		DATA16	DIFFIO RX B12p	DIFFOUT B12p	AD18	DQ4B	DQ2B	DQ1B	
3A	VREFB3A0	IO		DATA17	DIFFIO TX B13n	DIFFOUT B13n	AD20	DQ5B	DQ3B	DQ1B	
3A	VREFB3A0	IO		DATA18	DIFFIO TX B13p	DIFFOUT B13p	AC20	DQ5B	DQ3B	DQ1B	
3A	VREFB3A0	IO		DATA19	DIFFIO RX B14n	DIFFOUT B14n	AA19	DQS5B	DQ3B	DQS1B/DQ1B	
3A	VREFB3A0	IO		DATA20	DIFFIO RX B14p	DIFFOUT B14p	Y19	DQS5B	DQ3B/CQn3B	DQS1B/CQ1B	
3A	VREFB3A0	IO		DATA21	DIFFIO TX B15n	DIFFOUT B15n	AB18	DQ5B	DQ3B	DQ1B	
3A	VREFB3A0	IO		DATA22	DIFFIO TX B15p	DIFFOUT B15p	AB19	DQ5B	DQ3B	DQ1B	
3A	VREFB3A0	IO		DATA23	DIFFIO RX B16n	DIFFOUT B16n	Y17	DQS6B	DQS3B/DQ3B	DQ1B	
3A	VREFB3A0	IO		DATA24	DIFFIO RX B16p	DIFFOUT B16p	AA18	DQS6B	DQS3B/CQ3B	DQ1B	
3A	VREFB3A0	IO		DATA25	DIFFIO TX B17n	DIFFOUT B17n	AC18	DQ6B	DQ3B	DQ1B	
3A	VREFB3A0	IO		DATA26	DIFFIO TX B17p	DIFFOUT B17p	AB17	DQ6B	DQ3B	DQ1B	
3A	VREFB3A0	IO		DATA27	DIFFIO RX B18n	DIFFOUT B18n	AD17	DQ6B	DQ3B	DQ1B	
3A	VREFB3A0	IO		DATA28	DIFFIO RX B18p	DIFFOUT B18p	AC17	DQ6B	DQ3B	DQ1B	
3B	VREFB3B0	IO		DATA29	DIFFIO TX B19n	DIFFOUT B19n	AH16	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3B0	IO		DATA30	DIFFIO TX B19p	DIFFOUT B19p	AG16	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3B0	IO		DATA31	DIFFIO RX B20n	DIFFOUT B20n	AH15	DQS7B	DQ4B	DQ2B	DQ1B
3B	VREFB3B0	IO		PR_DONE	DIFFIO RX B20p	DIFFOUT B20p	AG15	DQS7B	DQ4B/CQn4B	DQ2B	DQ1B
3B	VREFB3B0	IO		PR_REQUEST	DIFFIO TX B21n	DIFFOUT B21n	AH13	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3B0	IO		PR_READY	DIFFIO TX B21p	DIFFOUT B21p	AG13	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3B0	IO	CLK0n	DIFFIO RX B22n	DIFFOUT B22n	AF13	DQS8B	DQS4B/DQ4B	DQ2B	DQ1B	
3B	VREFB3B0	IO	CLK0p	DIFFIO RX B22p	DIFFOUT B22p	AE13	DQS8B	DQS4B/CQ4B	DQ2B/CQn2B	DQ1B	
3B	VREFB3B0	IO		PR_ERROR	DIFFIO TX B23n	DIFFOUT B23n	AF15	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3B0	IO		CvP_CONFDONE	DIFFIO TX B23p	DIFFOUT B23p	AE16	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3B0	IO	CLK1n	DIFFIO RX B24n	DIFFOUT B24n	AF14	DQ8B	DQ4B	DQ2B	DQ1B	
3B	VREFB3B0	IO	CLK1p	DIFFIO RX B24p	DIFFOUT B24p	AE14	DQ8B	DQ4B	DQ2B	DQ1B	
3B	VREFB3B0	IO	FPLL_BL_CLKOUT1,FPLL_BL_CLKOUTn	DIFFIO TX B25n	DIFFOUT B25n	AH12	DQ9B	DQ5B	DQ2B	DQ1B	
3B	VREFB3B0	IO	FPLL_BL_CLKOUT0,FPLL_BL_CLKOUT6,FPLL_BL_FB0	DIFFIO TX B25p	DIFFOUT B25p	AG12	DQ9B	DQ5B	DQ2B	DQ1B	
3B	VREFB3B0	IO	FPLL_BL_CLKOUT3,FPLL_BL_FBn	DIFFIO RX B26n	DIFFOUT B26n	AF11	DQS9B	DQ5B	DQS2B/DQ2B	DQ1B	
3B	VREFB3B0	IO	FPLL_BL_CLKOUT2,FPLL_BL_FBp,FPLL_BL_FB1	DIFFIO RX B26p	DIFFOUT B26p	AF12	DQS9B	DQ5B/CQn5B	DQS2B/CQ2B	DQ1B	
3B	VREFB3B0	IO		nPERSTL0	DIFFIO TX B27n	DIFFOUT B27n	AH11	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3B0	IO		nPERSTR0	DIFFIO TX B27p	DIFFOUT B27p	AH10	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3B0	IO	CLK2n	DIFFIO RX B28n	DIFFOUT B28n	AE10	DQS10B	DQS5B/DQ5B	DQ2B	DQ1B	
3B	VREFB3B0	IO	CLK2p	DIFFIO RX B28p	DIFFOUT B28p	AE11	DQS10B	DQS5B/CQ5B	DQ2B	DQ1B/CQn1B	
3B	VREFB3B0	IO			DIFFIO TX B29n	DIFFOUT B29n	AG10	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3B0	IO			DIFFIO TX B29p	DIFFOUT B29p	AF10	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3B0	IO	CLK3n	DIFFIO RX B30n	DIFFOUT B30n	AH9	DQ10B	DQ5B	DQ2B	DQ1B	
3B	VREFB3B0	IO	CLK3p	DIFFIO RX B30p	DIFFOUT B30p	AG9	DQ10B	DQ5B	DQ2B	DQ1B	
3B	VREFB3B0	IO			DIFFIO TX B31n	DIFFOUT B31n	Y16	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO TX B31p	DIFFOUT B31p	AA16	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO RX B32n	DIFFOUT B32n	AC15	DQS11B	DQ6B	DQ3B	DQS1B/DQ1B
3B	VREFB3B0	IO			DIFFIO RX B32p	DIFFOUT B32p	AB15	DQS11B	DQ6B/CQn6B	DQ3B	DQS1B/CQ1B
3B	VREFB3B0	IO			DIFFIO TX B33n	DIFFOUT B33n	AD16	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO TX B33p	DIFFOUT B33p	AD15	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO RX B34n	DIFFOUT B34n	AD14	DQS12B	DQS6B/DQ6B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO RX B34p	DIFFOUT B34p	AD13	DQS12B	DQS6B/CQ6B	DQ3B/CQn3B	DQ1B
3B	VREFB3B0	IO			DIFFIO TX B35n	DIFFOUT B35n	Y13	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO TX B35p	DIFFOUT B35p	AA13	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO RX B36n	DIFFOUT B36n	AB12	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO RX B36p	DIFFOUT B36p	AB13	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO TX B37n	DIFFOUT B37n	Y12	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO TX B37p	DIFFOUT B37p	AA12	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO RX B38n	DIFFOUT B38n	AD12	DQS13B	DQ7B	DQS3B/DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO RX B38p	DIFFOUT B38p	AC12	DQS13B	DQ7B/CQn7B	DQS3B/CQ3B	DQ1B



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	H780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
3B	VREFB3B0	IO			DIFFIO TX B39n	DIFFOUT B39n	AD11	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO TX B39p	DIFFOUT B39p	AC11	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO RX B40n	DIFFOUT B40n	AB10	DQSn14B	DQS7B/DQ7B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO RX B40p	DIFFOUT B40p	AB11	DQS14B	DQS7B/CQ7B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO TX B41n	DIFFOUT B41n	AD9	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO TX B41p	DIFFOUT B41p	AD10	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO RX B42n	DIFFOUT B42n	Y11	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3B0	IO			DIFFIO RX B42p	DIFFOUT B42p	AA10	DQ14B	DQ7B	DQ3B	DQ1B
3D	VREFB3D0	IO			DIFFIO TX B67n	DIFFOUT B67n	AH6	DQ23B	DQ8B	DQ4B	
3D	VREFB3D0	IO			DIFFIO TX B67p	DIFFOUT B67p	AG6	DQ23B	DQ8B	DQ4B	
3D	VREFB3D0	IO			DIFFIO RX B68n	DIFFOUT B68n	AF7	DQS23B	DQ8B	DQ4B	
3D	VREFB3D0	IO			DIFFIO RX B68p	DIFFOUT B68p	AF8	DQS23B	DQ8B/CQn8B	DQ4B	
3D	VREFB3D0	IO			DIFFIO TX B69n	DIFFOUT B69n	AH7	DQ23B	DQ8B	DQ4B	
3D	VREFB3D0	IO			DIFFIO TX B69p	DIFFOUT B69p	AG7	DQ23B	DQ8B	DQ4B	
3D	VREFB3D0	IO			DIFFIO RX B70n	DIFFOUT B70n	AC8	DQS24B	DQS8B/DQ8B	DQ4B	
3D	VREFB3D0	IO			DIFFIO RX B70p	DIFFOUT B70p	AB8	DQS24B	DQS8B/CQ8B	DQ4B/CQn4B	
3D	VREFB3D0	IO			DIFFIO TX B71n	DIFFOUT B71n	AE8	DQ24B	DQ8B	DQ4B	
3D	VREFB3D0	IO			DIFFIO TX B71p	DIFFOUT B71p	AD8	DQ24B	DQ8B	DQ4B	
3D	VREFB3D0	IO			DIFFIO RX B72n	DIFFOUT B72n	AE7	DQ24B	DQ8B	DQ4B	
3D	VREFB3D0	IO			DIFFIO RX B72p	DIFFOUT B72p	AD7	DQ24B	DQ8B	DQ4B	
3D	VREFB3D0	IO			DIFFIO TX B73n	DIFFOUT B73n	W8	DQ25B	DQ9B	DQ4B	
3D	VREFB3D0	IO			DIFFIO TX B73p	DIFFOUT B73p	Y8	DQ25B	DQ9B	DQ4B	
3D	VREFB3D0	IO			DIFFIO RX B74n	DIFFOUT B74n	V8	DQS25B	DQ9B	DQS4B/DQ4B	
3D	VREFB3D0	IO			DIFFIO RX B74p	DIFFOUT B74p	U8	DQS25B	DQ9B/CQn9B	DQS4B/CQ4B	
3D	VREFB3D0	IO			DIFFIO TX B75n	DIFFOUT B75n	AB9	DQ25B	DQ9B	DQ4B	
3D	VREFB3D0	IO			DIFFIO TX B75p	DIFFOUT B75p	AA9	DQ25B	DQ9B	DQ4B	
3D	VREFB3D0	IO	CLK4n		DIFFIO RX B76n	DIFFOUT B76n	V9	DQS26B	DQS9B/DQ9B	DQ4B	
3D	VREFB3D0	IO	CLK4p		DIFFIO RX B76p	DIFFOUT B76p	U9	DQS26B	DQS9B/CQ9B	DQ4B	
3D	VREFB3D0	IO			DIFFIO TX B77n	DIFFOUT B77n	Y10	DQ26B	DQ9B	DQ4B	
3D	VREFB3D0	IO			DIFFIO TX B77p	DIFFOUT B77p	Y9	DQ26B	DQ9B	DQ4B	
3D	VREFB3D0	IO	CLK5n		DIFFIO RX B78n	DIFFOUT B78n	V10	DQ26B	DQ9B	DQ4B	
3D	VREFB3D0	IO	CLK6p		DIFFIO RX B78p	DIFFOUT B78p	W10	DQ26B	DQ9B	DQ4B	
4D	VREFB4D0	IO	FPLL_BC_CLKOUT1,FPLL_BC_CLKOUTn		DIFFIO TX B91n	DIFFOUT B91n	AB6	DQ31B	DQ10B	DQ5B	
4D	VREFB4D0	IO	FPLL_BC_CLKOUT0,FPLL_BC_CLKOUTp,FPLL_BC_FB0		DIFFIO TX B91p	DIFFOUT B91p	AA6	DQ31B	DQ10B	DQ5B	
4D	VREFB4D0	IO	FPLL_BC_CLKOUT3,FPLL_BC_FBn		DIFFIO RX B92n	DIFFOUT B92n	AC6	DQS31B	DQ10B	DQ5B	
4D	VREFB4D0	IO	FPLL_BC_CLKOUT2,FPLL_BC_FBp,FPLL_BC_FB1		DIFFIO RX B92p	DIFFOUT B92p	AB5	DQS31B	DQ10B/CQn10B	DQ5B	
4D	VREFB4D0	IO			DIFFIO TX B93n	DIFFOUT B93n	AF6	DQ31B	DQ10B	DQ5B	
4D	VREFB4D0	IO			DIFFIO TX B93p	DIFFOUT B93p	AF5	DQ31B	DQ10B	DQ5B	
4D	VREFB4D0	IO	CLK6n		DIFFIO RX B94n	DIFFOUT B94n	AH4	DQS32B	DQS10B/DQ10B	DQ5B	
4D	VREFB4D0	IO	CLK6p		DIFFIO RX B94p	DIFFOUT B94p	AG4	DQS32B	DQS10B/CQ10B	DQ5B/CQn5B	
4D	VREFB4D0	IO			DIFFIO TX B95n	DIFFOUT B95n	AD5	DQ32B	DQ10B	DQ5B	
4D	VREFB4D0	IO			DIFFIO TX B95p	DIFFOUT B95p	AD6	DQ32B	DQ10B	DQ5B	
4D	VREFB4D0	IO	CLK7n		DIFFIO RX B96n	DIFFOUT B96n	AF4	DQ32B	DQ10B	DQ5B	
4D	VREFB4D0	IO	CLK7p		DIFFIO RX B96p	DIFFOUT B96p	AE5	DQ32B	DQ10B	DQ5B	
4D	VREFB4D0	IO			DIFFIO TX B97n	DIFFOUT B97n	R6	DQ33B	DQ11B	DQ5B	
4D	VREFB4D0	IO			DIFFIO TX B97p	DIFFOUT B97p	R7	DQ33B	DQ11B	DQ5B	
4D	VREFB4D0	IO			DIFFIO RX B98n	DIFFOUT B98n	U6	DQS33B	DQ11B	DQS5B/DQ5B	
4D	VREFB4D0	IO			DIFFIO RX B98p	DIFFOUT B98p	T7	DQS33B	DQ11B/CQn11B	DQS5B/CQ5B	
4D	VREFB4D0	IO			DIFFIO TX B99n	DIFFOUT B99n	P6	DQ33B	DQ11B	DQ5B	
4D	VREFB4D0	IO			DIFFIO TX B99p	DIFFOUT B99p	N6	DQ33B	DQ11B	DQ5B	
4D	VREFB4D0	IO			DIFFIO RX B100n	DIFFOUT B100n	V6	DQS34B	DQS11B/DQ11B	DQ5B	
4D	VREFB4D0	IO			DIFFIO RX B100p	DIFFOUT B100p	W7	DQS34B	DQS11B/CQ11B	DQ5B	
4D	VREFB4D0	IO			DIFFIO TX B101n	DIFFOUT B101n	AA7	DQ34B	DQ11B	DQ5B	
4D	VREFB4D0	IO			DIFFIO TX B101p	DIFFOUT B101p	Y7	DQ34B	DQ11B	DQ5B	
4D	VREFB4D0	IO			DIFFIO RX B102n	DIFFOUT B102n	Y5	DQ34B	DQ11B	DQ5B	
4D	VREFB4D0	IO			DIFFIO RX B102p	DIFFOUT B102p	Y6	DQ34B	DQ11B	DQ5B	
4A	VREFB4A0	IO			DIFFIO TX B151n	DIFFOUT B151n	W5	DQ51B	DQ12B	DQ6B	
4A	VREFB4A0	IO			DIFFIO TX B151p	DIFFOUT B151p	W4	DQ51B	DQ12B	DQ6B	
4A	VREFB4A0	IO	CLK11n		DIFFIO RX B152n	DIFFOUT B152n	V5	DQS51B	DQ12B	DQ6B	
4A	VREFB4A0	IO	CLK11p		DIFFIO RX B152p	DIFFOUT B152p	U5	DQS51B	DQ12B/CQn12B	DQ6B	
4A	VREFB4A0	IO			DIFFIO TX B153n	DIFFOUT B153n	R4	DQ51B	DQ12B	DQ6B	
4A	VREFB4A0	IO			DIFFIO TX B153p	DIFFOUT B153p	T4	DQ51B	DQ12B	DQ6B	
4A	VREFB4A0	IO	CLK10n		DIFFIO RX B154n	DIFFOUT B154n	AA4	DQS52B	DQS12B/DQ12B	DQ6B	
4A	VREFB4A0	IO	CLK10p		DIFFIO RX B154p	DIFFOUT B154p	AA3	DQS52B	DQS12B/CQ12B	DQ6B/CQn6B	
4A	VREFB4A0	IO	FPLL_BR_CLKOUT1,FPLL_BR_CLKOUTn		DIFFIO TX B155n	DIFFOUT B155n	V3	DQ52B	DQ12B	DQ6B	
4A	VREFB4A0	IO	FPLL_BR_CLKOUT0,FPLL_BR_CLKOUTp,FPLL_BR_FB0		DIFFIO TX B155p	DIFFOUT B155p	V4	DQ52B	DQ12B	DQ6B	
4A	VREFB4A0	IO	FPLL_BR_CLKOUT3,FPLL_BR_FBn		DIFFIO RX B156n	DIFFOUT B156n	AB3	DQ52B	DQ12B	DQ6B	
4A	VREFB4A0	IO	FPLL_BR_CLKOUT2,FPLL_BR_FBp,FPLL_BR_FB1		DIFFIO RX B156p	DIFFOUT B156p	AB4	DQ52B	DQ12B	DQ6B	
4A	VREFB4A0	IO			DIFFIO TX B157n	DIFFOUT B157n	AH2	DQ53B	DQ13B	DQ6B	
4A	VREFB4A0	IO			DIFFIO TX B157p	DIFFOUT B157p	AH3	DQ53B	DQ13B	DQ6B	
4A	VREFB4A0	IO	CLK9n		DIFFIO RX B158n	DIFFOUT B158n	AG1	DQS53B	DQ13B	DQS6B/DQ6B	
4A	VREFB4A0	IO	CLK9p		DIFFIO RX B158p	DIFFOUT B158p	AF2	DQS53B	DQ13B/CQn13B	DQS6B/CQ6B	



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	H780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
4A	VREFB4AN0	IO			DIFFIO TX_B159n	DIFFOUT_B159n	AG3	DQ53B	DQ13B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO TX_B159p	DIFFOUT_B159p	AF3	DQ53B	DQ13B	DQ6B	
4A	VREFB4AN0	IO	CLK8n		DIFFIO RX_B160n	DIFFOUT_B160n	AE2	DQS54B	DQS13B/DQ13B	DQ6B	
4A	VREFB4AN0	IO	CLK8p		DIFFIO RX_B160p	DIFFOUT_B160p	AE1	DQS54B	DQS13B/CQ13B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO TX_B161n	DIFFOUT_B161n	AD2	DQ54B	DQ13B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO TX_B161p	DIFFOUT_B161p	AD3	DQ54B	DQ13B	DQ6B	
4A	VREFB4AN0	IO			DIFFIO RX_B162n	DIFFOUT_B162n	AD4	DQ54B	DQ13B	DQ6B	
4A	VREFB4AN0	IO	RZQ_1		DIFFIO RX_B162p	DIFFOUT_B162p	AC3	DQ54B	DQ13B	DQ6B	
4A		GND					V1				
4A		nCE		nCE			R3				
4A		nSTATUS		nSTATUS			V2				
4A		CONF_DONE		CONF_DONE			AB1				
4A		nIO_PULLUP		nIO_PULLUP			U2				
4A		MSEL0		MSEL0			W1				
4A		MSEL1		MSEL1			P3				
4A		MSEL2		MSEL2			W2				
4A		MSEL3		MSEL3			AA1				
4A		MSEL4		MSEL4			U3				
7A		GND					G1				
7A	VREFB7AN0	IO	RZQ_4		DIFFIO RX_T1p	DIFFOUT_T1p	G4	DQ1T	DQ1T	DQ1T	
7A	VREFB7AN0	IO			DIFFIO RX_T1n	DIFFOUT_T1n	G3	DQ1T	DQ1T	DQ1T	
7A	VREFB7AN0	IO			DIFFIO TX_T2p	DIFFOUT_T2p	H6	DQ1T	DQ1T	DQ1T	
7A	VREFB7AN0	IO			DIFFIO TX_T2n	DIFFOUT_T2n	J6	DQ1T	DQ1T	DQ1T	
7A	VREFB7AN0	IO	CLK12p		DIFFIO RX_T3p	DIFFOUT_T3p	H3	DQS1T	DQS1T/CQ1T	DQ1T	
7A	VREFB7AN0	IO	CLK12n		DIFFIO RX_T3n	DIFFOUT_T3n	H4	DQS1T	DQS1T/DQ1T	DQ1T	
7A	VREFB7AN0	IO			DIFFIO TX_T4p	DIFFOUT_T4p	G5	DQ2T	DQ1T	DQ1T	
7A	VREFB7AN0	IO			DIFFIO TX_T4n	DIFFOUT_T4n	G6	DQ2T	DQ1T	DQ1T	
7A	VREFB7AN0	IO	CLK13p		DIFFIO RX_T5p	DIFFOUT_T5p	E2	DQS2T	DQ1T/CQn1T	DQS1T/CQ1T	
7A	VREFB7AN0	IO	CLK13n		DIFFIO RX_T5n	DIFFOUT_T5n	F3	DQS2T	DQ1T	DQS1T/DQ1T	
7A	VREFB7AN0	IO			DIFFIO TX_T6p	DIFFOUT_T6p	E3	DQ2T	DQ1T	DQ1T	
7A	VREFB7AN0	IO			DIFFIO TX_T6n	DIFFOUT_T6n	E4	DQ2T	DQ1T	DQ1T	
7A	VREFB7AN0	IO	FPLL_TR_CLKOUT2,FPLL_TR_FBp,FPLL_TR_FB1		DIFFIO RX_T7p	DIFFOUT_T7p	J4	DQ3T	DQ2T	DQ1T	
7A	VREFB7AN0	IO	FPLL_TR_CLKOUT3,FPLL_TR_FBn		DIFFIO RX_T7n	DIFFOUT_T7n	J5	DQ3T	DQ2T	DQ1T	
7A	VREFB7AN0	IO	FPLL_TR_CLKOUT0,FPLL_TR_CLKOUTp,FPLL_TR_FB0		DIFFIO TX_T8p	DIFFOUT_T8p	L1	DQ3T	DQ2T	DQ1T	
7A	VREFB7AN0	IO	FPLL_TR_CLKOUT1,FPLL_TR_CLKOUTn		DIFFIO TX_T8n	DIFFOUT_T8n	L2	DQ3T	DQ2T	DQ1T	
7A	VREFB7AN0	IO	CLK14p		DIFFIO RX_T9p	DIFFOUT_T9p	L3	DQS3T	DQS2T/CQ2T	DQ1T/CQn1T	
7A	VREFB7AN0	IO	CLK14n		DIFFIO RX_T9n	DIFFOUT_T9n	M3	DQS3T	DQS2T/DQ2T	DQ1T	
7A	VREFB7AN0	IO			DIFFIO TX_T10p	DIFFOUT_T10p	L4	DQ4T	DQ2T	DQ1T	
7A	VREFB7AN0	IO			DIFFIO TX_T10n	DIFFOUT_T10n	L5	DQ4T	DQ2T	DQ1T	
7A	VREFB7AN0	IO	CLK15p		DIFFIO RX_T11p	DIFFOUT_T11p	L6	DQS4T	DQ2T/CQn2T	DQ1T	
7A	VREFB7AN0	IO	CLK15n		DIFFIO RX_T11n	DIFFOUT_T11n	M6	DQS4T	DQ2T	DQ1T	
7A	VREFB7AN0	IO			DIFFIO TX_T12p	DIFFOUT_T12p	K5	DQ4T	DQ2T	DQ1T	
7A	VREFB7AN0	IO			DIFFIO TX_T12n	DIFFOUT_T12n	K4	DQ4T	DQ2T	DQ1T	
7C	VREFB7CN0	IO			DIFFIO RX_T37p	DIFFOUT_T37p	F8	DQ13T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T37n	DIFFOUT_T37n	E8	DQ13T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T38p	DIFFOUT_T38p	H9	DQ13T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T38n	DIFFOUT_T38n	G9	DQ13T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T39p	DIFFOUT_T39p	G7	DQS13T	DQS3T/CQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T39n	DIFFOUT_T39n	G8	DQS13T	DQS3T/DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T40p	DIFFOUT_T40p	H7	DQ14T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T40n	DIFFOUT_T40n	J7	DQ14T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T41p	DIFFOUT_T41p	K7	DQS14T	DQ3T/CQn3T	DQS2T/CQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T41n	DIFFOUT_T41n	K8	DQS14T	DQ3T	DQS2T/DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T42p	DIFFOUT_T42p	J9	DQ14T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T42n	DIFFOUT_T42n	J8	DQ14T	DQ3T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T43p	DIFFOUT_T43p	D2	DQ15T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T43n	DIFFOUT_T43n	C2	DQ15T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T44p	DIFFOUT_T44p	C1	DQ15T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T44n	DIFFOUT_T44n	B1	DQ15T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T45p	DIFFOUT_T45p	D4	DQS15T	DQS4T/CQ4T	DQ2T/CQn2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T45n	DIFFOUT_T45n	C3	DQS15T	DQS4T/DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T46p	DIFFOUT_T46p	C4	DQ16T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T46n	DIFFOUT_T46n	C5	DQ16T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T47p	DIFFOUT_T47p	B3	DQS16T	DQ4T/CQn4T	DQ2T	DQS1T/CQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T47n	DIFFOUT_T47n	A3	DQS16T	DQ4T	DQS1T/DQ1T	
7C	VREFB7CN0	IO			DIFFIO TX_T48p	DIFFOUT_T48p	B4	DQ16T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T48n	DIFFOUT_T48n	A4	DQ16T	DQ4T	DQ2T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T49p	DIFFOUT_T49p	F6	DQ17T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T49n	DIFFOUT_T49n	E5	DQ17T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T50p	DIFFOUT_T50p	C6	DQ17T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO TX_T50n	DIFFOUT_T50n	C7	DQ17T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO RX_T51p	DIFFOUT_T51p	B6	DQS17T	DQS5T/CQ5T	DQ3T	DQ1T/CQn1T



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	H780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
7C	VREFB7CN0	IO			DIFFIO_RX_T51n	DIFFOUT_T51n	A6	DQSn17T	DQSn5T/DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T52p	DIFFOUT_T52p	B7	DQ18T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T52n	DIFFOUT_T52n	A7	DQ18T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T53p	DIFFOUT_T53p	E7	DQ518T	DQ5T/CQn5T	DQS3T/CQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T53n	DIFFOUT_T53n	E6	DQSn18T	DQ5T	DQSn3T/DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T54p	DIFFOUT_T54p	D7	DQ18T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T54n	DIFFOUT_T54n	D8	DQ18T	DQ5T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T55p	DIFFOUT_T55p	M8	DQ19T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T55n	DIFFOUT_T55n	L8	DQ19T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T56p	DIFFOUT_T56p	M9	DQ19T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T56n	DIFFOUT_T56n	L9	DQ19T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T57p	DIFFOUT_T57p	N7	DQSn19T	DQSn6T/CQ6T	DQ3T/CQn3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T57n	DIFFOUT_T57n	N8	DQSn19T	DQSn6T/DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T58p	DIFFOUT_T58p	R8	DQ20T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T58n	DIFFOUT_T58n	P7	DQ20T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T59p	DIFFOUT_T59p	P9	DQSn20T	DQ6T/CQn6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T59n	DIFFOUT_T59n	N9	DQSn20T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T60p	DIFFOUT_T60p	T8	DQ20T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_TX_T60n	DIFFOUT_T60n	R9	DQ20T	DQ6T	DQ3T	DQ1T
7D	VREFB7DN0	IO			DIFFIO_RX_T61p	DIFFOUT_T61p	H10	DQ21T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_RX_T61n	DIFFOUT_T61n	J10	DQ21T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T62p	DIFFOUT_T62p	K10	DQ21T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T62n	DIFFOUT_T62n	L10	DQ21T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_RX_T63p	DIFFOUT_T63p	L11	DQSn21T	DQSn7T/CQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_RX_T63n	DIFFOUT_T63n	K11	DQSn21T	DQSn7T/DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T64p	DIFFOUT_T64p	G11	DQ22T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T64n	DIFFOUT_T64n	G10	DQ22T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_RX_T65p	DIFFOUT_T65p	H12	DQSn22T	DQ7T/CQn7T	DQSn4T/CQ4T	
7D	VREFB7DN0	IO			DIFFIO_RX_T65n	DIFFOUT_T65n	G12	DQSn22T	DQ7T	DQSn4T/DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T66p	DIFFOUT_T66p	J12	DQ22T	DQ7T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T66n	DIFFOUT_T66n	J11	DQ22T	DQ7T	DQ4T	
7D	VREFB7DN0	IO	CLK19p		DIFFIO_RX_T67p	DIFFOUT_T67p	E10	DQ23T	DQ8T	DQ4T	
7D	VREFB7DN0	IO	CLK19n		DIFFIO_RX_T67n	DIFFOUT_T67n	E9	DQ23T	DQ8T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T68p	DIFFOUT_T68p	B9	DQ23T	DQ8T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T68n	DIFFOUT_T68n	A9	DQ23T	DQ8T	DQ4T	
7D	VREFB7DN0	IO	CLK18p		DIFFIO_RX_T69p	DIFFOUT_T69p	D10	DQSn23T	DQSn8T/CQ8T	DQ4T/CQn4T	
7D	VREFB7DN0	IO	CLK18n		DIFFIO_RX_T69n	DIFFOUT_T69n	C10	DQSn23T	DQSn8T/DQ8T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T70p	DIFFOUT_T70p	B10	DQ24T	DQ8T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_TX_T70n	DIFFOUT_T70n	A10	DQ24T	DQ8T	DQ4T	
7D	VREFB7DN0	IO		FPLL_TC_CLKOUT2,FPLL_TC_FBp,FPLL_TC_FB1	DIFFIO_RX_T71p	DIFFOUT_T71p	E11	DQSn24T	DQ8T/CQn8T	DQ4T	
7D	VREFB7DN0	IO		FPLL_TC_CLKOUT3,FPLL_TC_FBn	DIFFIO_RX_T71n	DIFFOUT_T71n	F11	DQSn24T	DQ8T	DQ4T	
7D	VREFB7DN0	IO		FPLL_TC_CLKOUT0,FPLL_TC_CLKOUTp,FPLL_TC_FB0	DIFFIO_TX_T72p	DIFFOUT_T72p	D11	DQ24T	DQ8T	DQ4T	
7D	VREFB7DN0	IO		FPLL_TC_CLKOUT1,FPLL_TC_CLKOUTn	DIFFIO_TX_T72n	DIFFOUT_T72n	C11	DQ24T	DQ8T	DQ4T	
7D	VREFB7DN0	IO			DIFFIO_RX_T73p	DIFFOUT_T73p	U10	DQ25T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_RX_T73n	DIFFOUT_T73n	T10	DQ25T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_TX_T74p	DIFFOUT_T74p	N10	DQ25T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_TX_T74n	DIFFOUT_T74n	M11	DQ25T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_RX_T75p	DIFFOUT_T75p	P10	DQSn25T	DQSn9T/CQ9T		
7D	VREFB7DN0	IO			DIFFIO_RX_T75n	DIFFOUT_T75n	R10	DQSn25T	DQSn9T/DQ9T		
7D	VREFB7DN0	IO			DIFFIO_TX_T76p	DIFFOUT_T76p	L12	DQ26T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_TX_T76n	DIFFOUT_T76n	K13	DQ26T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_RX_T77p	DIFFOUT_T77p	N13	DQSn26T	DQ9T/CQn9T		
7D	VREFB7DN0	IO			DIFFIO_RX_T77n	DIFFOUT_T77n	N12	DQSn26T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_TX_T78p	DIFFOUT_T78p	N11	DQ26T	DQ9T		
7D	VREFB7DN0	IO			DIFFIO_TX_T78n	DIFFOUT_T78n	M12	DQ26T	DQ9T		
8D	VREFB8DN0	IO	CLK17p		DIFFIO_RX_T85p	DIFFOUT_T85p	C12	DQ29T	DQ10T	DQ5T	
8D	VREFB8DN0	IO	CLK17n		DIFFIO_RX_T85n	DIFFOUT_T85n	C13	DQ29T	DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T86p	DIFFOUT_T86p	D13	DQ29T	DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T86n	DIFFOUT_T86n	E12	DQ29T	DQ10T	DQ5T	
8D	VREFB8DN0	IO	CLK16p		DIFFIO_RX_T87p	DIFFOUT_T87p	E14	DQSn29T	DQSn10T/CQ10T	DQ5T	
8D	VREFB8DN0	IO	CLK16n		DIFFIO_RX_T87n	DIFFOUT_T87n	E13	DQSn29T	DQSn10T/DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T88p	DIFFOUT_T88p	B13	DQ30T	DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T88n	DIFFOUT_T88n	A13	DQ30T	DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T89p	DIFFOUT_T89p	B12	DQSn30T	DQ10T/CQn10T	DQSn5T/CQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T89n	DIFFOUT_T89n	A12	DQSn30T	DQ10T	DQSn5T/DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T90p	DIFFOUT_T90p	D14	DQ30T	DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T90n	DIFFOUT_T90n	C14	DQ30T	DQ10T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T91p	DIFFOUT_T91p	G14	DQ31T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T91n	DIFFOUT_T91n	G15	DQ31T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T92p	DIFFOUT_T92p	J14	DQ31T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T92n	DIFFOUT_T92n	K14	DQ31T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T93p	DIFFOUT_T93p	H15	DQSn31T	DQSn11T/CQ11T	DQ5T/CQn5T	



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	H780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
8D	VREFB8DN0	IO			DIFFIO_RX_T93n	DIFFOUT_T93n	J15	DQSn31T	DQSn11T/DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T94p	DIFFOUT_T94p	N14	DQ32T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T94n	DIFFOUT_T94n	N15	DQ32T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T95p	DIFFOUT_T95p	L14	DQ32T	DQ11T/CQn11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_RX_T95n	DIFFOUT_T95n	M14	DQSn32T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T96p	DIFFOUT_T96p	M15	DQ32T	DQ11T	DQ5T	
8D	VREFB8DN0	IO			DIFFIO_TX_T96n	DIFFOUT_T96n	L15	DQ32T	DQ11T	DQ5T	
8C	VREFB8CN0	IO			DIFFIO_RX_T97p	DIFFOUT_T97p	L17	DQ33T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T97n	DIFFOUT_T97n	K17	DQ33T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T98p	DIFFOUT_T98p	L16	DQ33T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T98n	DIFFOUT_T98n	K16	DQ33T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T99p	DIFFOUT_T99p	J16	DQ33T	DQSn12T/CQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T99n	DIFFOUT_T99n	J17	DQSn33T	DQSn12T/DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T100p	DIFFOUT_T100p	G16	DQ34T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T100n	DIFFOUT_T100n	H16	DQ34T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T101p	DIFFOUT_T101p	G17	DQ34T	DQ12T/CQn12T	DQ6T/CQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T101n	DIFFOUT_T101n	F17	DQSn34T	DQ12T	DQSn6T/DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T102p	DIFFOUT_T102p	E16	DQ34T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T102n	DIFFOUT_T102n	E15	DQ34T	DQ12T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T103p	DIFFOUT_T103p	B15	DQ35T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T103n	DIFFOUT_T103n	A15	DQ35T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T104p	DIFFOUT_T104p	C15	DQ35T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T104n	DIFFOUT_T104n	C16	DQ35T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T105p	DIFFOUT_T105p	B16	DQ35T	DQSn13T/CQ13T	DQ6T/CQn6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T105n	DIFFOUT_T105n	A16	DQSn35T	DQSn13T/DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T106p	DIFFOUT_T106p	C18	DQ36T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T106n	DIFFOUT_T106n	C17	DQ36T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T107p	DIFFOUT_T107p	E17	DQ36T	DQ13T/CQn13T	DQ6T	DQSn2T/CQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T107n	DIFFOUT_T107n	D17	DQSn36T	DQ13T	DQ6T	DQSn2T/DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T108p	DIFFOUT_T108p	B18	DQ36T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T108n	DIFFOUT_T108n	A18	DQ36T	DQ13T	DQ6T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T109p	DIFFOUT_T109p	B19	DQ37T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T109n	DIFFOUT_T109n	A19	DQ37T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T110p	DIFFOUT_T110p	D19	DQ37T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T110n	DIFFOUT_T110n	C19	DQ37T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T111p	DIFFOUT_T111p	B21	DQ37T	DQSn14T/CQ14T	DQ7T	DQSn2T/CQn2T
8C	VREFB8CN0	IO			DIFFIO_RX_T111n	DIFFOUT_T111n	A21	DQSn37T	DQSn14T/DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T112p	DIFFOUT_T112p	E18	DQ38T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T112n	DIFFOUT_T112n	E19	DQ38T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T113p	DIFFOUT_T113p	C20	DQ38T	DQ14T/CQn14T	DQSn7T/CQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T113n	DIFFOUT_T113n	D20	DQSn38T	DQ14T	DQSn7T/DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T114p	DIFFOUT_T114p	F20	DQ38T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T114n	DIFFOUT_T114n	E20	DQ38T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T115p	DIFFOUT_T115p	H18	DQ39T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T115n	DIFFOUT_T115n	G18	DQ39T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T116p	DIFFOUT_T116p	J19	DQ39T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T116n	DIFFOUT_T116n	J18	DQ39T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T117p	DIFFOUT_T117p	H19	DQ39T	DQSn15T/CQ15T	DQ7T/CQn7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T117n	DIFFOUT_T117n	G19	DQSn39T	DQSn15T/DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T118p	DIFFOUT_T118p	M17	DQ40T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T118n	DIFFOUT_T118n	L18	DQ40T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T119p	DIFFOUT_T119p	M18	DQ40T	DQ15T/CQn15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T119n	DIFFOUT_T119n	N18	DQSn40T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T120p	DIFFOUT_T120p	N16	DQ40T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T120n	DIFFOUT_T120n	N17	DQ40T	DQ15T	DQ7T	DQ2T
8A	VREFB8AN0	IO	CLK23p		DIFFIO_RX_T145p	DIFFOUT_T145p	G20	DQ49T	DQ16T	DQ8T	
8A	VREFB8AN0	IO	CLK23n		DIFFIO_RX_T145n	DIFFOUT_T145n	G21	DQ49T	DQ16T	DQ8T	
8A	VREFB8AN0	IO			DIFFIO_TX_T146p	DIFFOUT_T146p	J20	DQ49T	DQ16T	DQ8T	
8A	VREFB8AN0	IO			DIFFIO_TX_T146n	DIFFOUT_T146n	K20	DQ49T	DQ16T	DQ8T	
8A	VREFB8AN0	IO	CLK22p		DIFFIO_RX_T147p	DIFFOUT_T147p	K19	DQ49T	DQSn16T/CQ16T	DQ8T	
8A	VREFB8AN0	IO	CLK22n		DIFFIO_RX_T147n	DIFFOUT_T147n	L19	DQSn49T	DQSn16T/DQ16T	DQ8T	
8A	VREFB8AN0	IO			DIFFIO_TX_T148p	DIFFOUT_T148p	H22	DQ50T	DQ16T	DQ8T	
8A	VREFB8AN0	IO			DIFFIO_TX_T148n	DIFFOUT_T148n	J22	DQ50T	DQ16T	DQ8T	
8A	VREFB8AN0	IO		FPLL_TL_CLKOUT2,FPLL_TL_FBp,FPLL_TL_FB1	DIFFIO_RX_T149p	DIFFOUT_T149p	G22	DQ50T	DQ16T/CQn16T	DQSn8T/CQ8T	
8A	VREFB8AN0	IO		FPLL_TL_CLKOUT3,FPLL_TL_FBn	DIFFIO_RX_T149n	DIFFOUT_T149n	G23	DQSn50T	DQ16T	DQSn8T/DQ8T	
8A	VREFB8AN0	IO		FPLL_TL_CLKOUT0,FPLL_TL_CLKOUTp,FPLL_TL_FB0	DIFFIO_TX_T150p	DIFFOUT_T150p	H21	DQ50T	DQ16T	DQ8T	
8A	VREFB8AN0	IO		FPLL_TL_CLKOUT1,FPLL_TL_CLKOUTn	DIFFIO_TX_T150n	DIFFOUT_T150n	J21	DQ50T	DQ16T	DQ8T	
8A	VREFB8AN0	IO	CLK21p		DIFFIO_RX_T151p	DIFFOUT_T151p	D22	DQ51T	DQ17T	DQ8T	
8A	VREFB8AN0	IO	CLK21n		DIFFIO_RX_T151n	DIFFOUT_T151n	C22	DQ51T	DQ17T	DQ8T	
8A	VREFB8AN0	IO			DIFFIO_TX_T152p	DIFFOUT_T152p	E22	DQ51T	DQ17T	DQ8T	
8A	VREFB8AN0	IO			DIFFIO_TX_T152n	DIFFOUT_T152n	E21	DQ51T	DQ17T	DQ8T	
8A	VREFB8AN0	IO	CLK20p		DIFFIO_RX_T153p	DIFFOUT_T153p	B22	DQ51T	DQSn17T/CQ17T	DQ8T/CQn8T	



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	H780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
8A	VREFB8A0	IO	CLK20n		DIFFIO_RX_T153n	DIFFOUT_T153n	A22	DQSn51T	DQSn17T/DQ17T	DQ8T	
8A	VREFB8A0	IO			DIFFIO_TX_T154p	DIFFOUT_T154p	B24	DQ52T	DQ17T	DQ8T	
8A	VREFB8A0	IO			DIFFIO_TX_T154n	DIFFOUT_T154n	A24	DQ52T	DQ17T	DQ8T	
8A	VREFB8A0	IO			DIFFIO_RX_T155p	DIFFOUT_T155p	D23	DQS52T	DQ17T/CQn17T	DQ8T	
8A	VREFB8A0	IO	RZQ_5		DIFFIO_RX_T155n	DIFFOUT_T155n	C23	DQSn52T	DQ17T	DQ8T	
8A	VREFB8A0	IO			DIFFIO_TX_T156p	DIFFOUT_T156p	B25	DQ52T	DQ17T	DQ8T	
8A	VREFB8A0	IO			DIFFIO_TX_T156n	DIFFOUT_T156n	A25	DQ52T	DQ17T	DQ8T	
		GND					A26				
		GND					AA25				
		GND					AA26				
		GND					AB27				
		GND					AB28				
		GND					AC25				
		GND					AC26				
		GND					AD27				
		GND					AD28				
		GND					AE25				
		GND					AE26				
		GND					AF27				
		GND					AF28				
		GND					AG25				
		GND					AG26				
		GND					B26				
		GND					B27				
		GND					B28				
		GND					C25				
		GND					C26				
		GND					D27				
		GND					D28				
		GND					E25				
		GND					E26				
		GND					F27				
		GND					F28				
		GND					G25				
		GND					G26				
		GND					H27				
		GND					H28				
		GND					J25				
		GND					J26				
		GND					K21				
		GND					K22				
		GND					K23				
		GND					K24				
		GND					K27				
		GND					K28				
		GND					L21				
		GND					L25				
		GND					L26				
		GND					M21				
		GND					M23				
		GND					M27				
		GND					M28				
		GND					N25				
		GND					N26				
		GND					P22				
		GND					P24				
		GND					P27				
		GND					P28				
		GND					R21				
		GND					R25				
		GND					R26				
		GND					T23				
		GND					T27				
		GND					T28				
		GND					U25				
		GND					U26				
		GND					V21				
		GND					V22				
		GND					V24				
		GND					V27				
		GND					V28				
		GND					W22				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	H780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					W23				
		GND					W24				
		GND					W25				
		GND					W26				
		GND					Y27				
		GND					Y28				
		GND					M1				
		GND					M2				
		GND					N2				
		GND					P1				
		GND					P2				
		GND					R2				
		GND					AA11				
		GND					AA14				
		GND					AA17				
		GND					AA2				
		GND					AA20				
		GND					AA23				
		GND					AA24				
		GND					AA5				
		GND					AA8				
		GND					AB24				
		GND					AC1				
		GND					AC10				
		GND					AC13				
		GND					AC16				
		GND					AC19				
		GND					AC22				
		GND					AC24				
		GND					AC4				
		GND					AC7				
		GND					AD24				
		GND					AE12				
		GND					AE15				
		GND					AE18				
		GND					AE21				
		GND					AE24				
		GND					AE3				
		GND					AE6				
		GND					AE9				
		GND					AF1				
		GND					AF24				
		GND					AG11				
		GND					AG14				
		GND					AG17				
		GND					AG2				
		GND					AG20				
		GND					AG23				
		GND					AG24				
		GND					AG5				
		GND					AG8				
		GND					B11				
		GND					B14				
		GND					B17				
		GND					B2				
		GND					B20				
		GND					B23				
		GND					B5				
		GND					B8				
		GND					C24				
		GND					D1				
		GND					D12				
		GND					D15				
		GND					D18				
		GND					D21				
		GND					D24				
		GND					D3				
		GND					D6				
		GND					D9				
		GND					E24				
		GND					F1				
		GND					F10				





Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	H780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					F13				
		GND					F16				
		GND					F19				
		GND					F22				
		GND					F24				
		GND					F4				
		GND					F7				
		GND					G24				
		GND					H11				
		GND					H14				
		GND					H17				
		GND					H2				
		GND					H20				
		GND					H23				
		GND					H24				
		GND					H5				
		GND					H8				
		GND					J1				
		GND					J24				
		GND					K12				
		GND					K15				
		GND					K18				
		GND					K3				
		GND					K6				
		GND					K9				
		GND					M10				
		GND					M13				
		GND					M16				
		GND					M19				
		GND					M4				
		GND					M7				
		GND					N20				
		GND					P11				
		GND					P13				
		GND					P15				
		GND					P17				
		GND					P5				
		GND					P8				
		GND					R12				
		GND					R14				
		GND					T11				
		GND					T16				
		GND					T18				
		GND					T3				
		GND					T6				
		GND					T9				
		GND					U1				
		GND					U12				
		GND					U17				
		GND					U20				
		GND					U4				
		GND					U7				
		GND					V11				
		GND					V18				
		GND					W11				
		GND					W13				
		GND					W15				
		GND					W17				
		GND					W21				
		GND					W3				
		GND					W6				
		GND					W9				
		GND					Y1				
		GND					Y18				
		GND					Y24				
		GND					U14				
		VCC					P12				
		VCC					P14				
		VCC					P16				
		VCC					P18				
		VCC					W12				
		VCC					W14				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	H780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		VCC					W16				
		VCC					W18				
		VCC					R11				
		VCC					R13				
		VCC					R15				
		VCC					R16				
		VCC					R17				
		VCC					R18				
		VCC					T12				
		VCC					T13				
		VCC					T14				
		VCC					T15				
		VCC					T17				
		VCC					U11				
		VCC					U15				
		VCC					U16				
		VCC					U18				
		VCC					V12				
		VCC					V13				
		VCC					V15				
		VCC					V16				
		VCC					V17				
		VCC					V14				
		VCCPT					L13				
		VCCPT					L20				
		VCCPT					L7				
		VCCPT					V20				
		VCCPT					V7				
		VCCPT					Y14				
		DNU					AH27				
		DNU					AG27				
		DNU					Y23				
		DNU					AC14				
		DNU					T2				
		DNU					T1				
		DNU					H1				
		DNU					F14				
		DNU					U13				
		VCCPGM					AA22				
		VCCPGM					Y2				
		TEMPDIODEn					J2				
		TEMPDIODEp					K2				
		VCCBAT					Y4				
		VCCIO3A					AH20				
		VCCIO3A					AH24				
		VCCIO3B					AH14				
		VCCIO3B					AH17				
		VCCIO3D					AH8				
		VCCIO4A					AD1				
		VCCIO4D					AH5				
		VCCIO7A					E1				
		VCCIO7C					A2				
		VCCIO7C					A5				
		VCCIO7D					A11				
		VCCIO7D					A8				
		VCCIO8A					A23				
		VCCIO8C					A17				
		VCCIO8C					A20				
		VCCIO8D					A14				
		VCCPD3AB					AF18				
		VCCPD3AB					AF20				
		VCCPD3CD					AF9				
		VCCPD4					AE4				
		VCCPD7					C9				
		VCCPD7					D5				
		VCCPD8					C21				
		VCCPD8					D16				
3A	VREFB3AN0	VREFB3AN0	VREFB3AN0				AB20				
3B	VREFB3BN0	VREFB3BN0	VREFB3BN0				AB16				
3D	VREFB3DN0	VREFB3DN0	VREFB3DN0				AC9				
4A	VREFB4AN0	VREFB4AN0	VREFB4AN0				AC5				
4D	VREFB4DN0	VREFB4DN0	VREFB4DN0				AB7				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	H780	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
7A	VREFB7AN0	VREFB7AN0	VREFB7AN0				F5				
7C	VREFB7CN0	VREFB7CN0	VREFB7CN0				F9				
7D	VREFB7DN0	VREFB7DN0	VREFB7DN0				F12				
8A	VREFB8AN0	VREFB8AN0	VREFB8AN0				F21				
8C	VREFB8CN0	VREFB8CN0	VREFB8CN0				F18				
8D	VREFB8DN0	VREFB8DN0	VREFB8DN0				F15				
		NC					P19				
		NC					R20				
		NC					T19				
		NC					N3				
		NC					N4				
		NC					P4				
		NC					K1				
		NC					C8				
		NC					T24				
		VCCH_GXBL0					M24				
		VCCH_GXBL1					V23				
		VCCR_GXBL0					P23				
		VCCR_GXBL1					T22				
		VCCT_GXBL0					U22				
		VCCT_GXBL1					M22				
		VCCT_GXBL1					N22				
		VCCHIP_L					N19				
		VCCHIP_L					R19				
		VCCHIP_L					U19				
		RREF_BL					AG28				
		RREF_BR					R1				
		RREF_TL					A27				
		RREF_TR					N1				
		VCCA_FPLL					AB23				
		VCCA_FPLL					Y15				
		VCCA_FPLL					AB2				
		VCCA_FPLL					G2				
		VCCA_FPLL					J13				
		VCCA_FPLL					F23				
		VCCA_FPLL					N21				
		VCCA_FPLL					U21				
		VCCA_FPLL					M5				
		VCCA_FPLL					T5				
		VCCA_GXBL0					R24				
		VCCA_GXBL1					L24				
		VCCHSSI_L					M20				
		VCCHSSI_L					P20				
		VCCHSSI_L					T20				
		VCCD_FPLL					AC23				
		VCCD_FPLL					AA15				
		VCCD_FPLL					AC2				
		VCCD_FPLL					F2				
		VCCD_FPLL					H13				
		VCCD_FPLL					E23				
		VCCD_FPLL					P21				
		VCCD_FPLL					T21				
		VCCD_FPLL					N5				
		VCCD_FPLL					R5				
		VCC_AUX					AB14				
		VCC_AUX					G13				
		VCC_AUX					J23				
		VCC_AUX					J3				
		VCC_AUX					Y22				
		VCC_AUX					Y3				

Notes:

- (1) For more information about pin definition and pin connection guidelines, refer to the [Stratix V Device Family Pin Connection Guidelines](#).
- (2) The GXB\_REFCLK pin is not supported in the current Quartus II software version, but will be supported in the future Quartus II software release version.



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
GXB L1		REFCLK3Lp					N28				
GXB L1		REFCLK3Ln					N29				
GXB L1		GXB TX L11n					H32				
GXB L1		GXB TX L11p					H31				
GXB L1		GXB RX L11n,GXB REFCLK L11n					J34				
GXB L1		GXB RX L11p,GXB REFCLK L11p					J33				
GXB L1		GXB TX L10n					K32				
GXB L1		GXB TX L10p					K31				
GXB L1		GXB_RX_L10n,GXB_REFCLK_L10n					L34				
GXB L1		GXB_RX_L10p,GXB_REFCLK_L10p					L33				
GXB L1		GXB TX L9n					M32				
GXB L1		GXB TX L9p					M31				
GXB L1		GXB_RX_L9n,GXB_REFCLK_L9n					N34				
GXB L1		GXB_RX_L9p,GXB_REFCLK_L9p					N33				
GXB L1		GXB TX L8n					P32				
GXB L1		GXB TX L8p					P31				
GXB L1		GXB_RX_L8n,GXB_REFCLK_L8n					R34				
GXB L1		GXB_RX_L8p,GXB_REFCLK_L8p					R33				
GXB L1		GXB TX L7n					T32				
GXB L1		GXB TX L7p					T31				
GXB L1		GXB_RX_L7n,GXB_REFCLK_L7n					U34				
GXB L1		GXB_RX_L7p,GXB_REFCLK_L7p					U33				
GXB L1		GXB TX L6n					V32				
GXB L1		GXB TX L6p					V31				
GXB L1		GXB_RX_L6n,GXB_REFCLK_L6n					W34				
GXB L1		GXB_RX_L6p,GXB_REFCLK_L6p					W33				
GXB L1		REFCLK2Lp					R29				
GXB L1		REFCLK2Ln					R30				
GXB L0		REFCLK1Lp					U28				
GXB L0		REFCLK1Ln					U29				
GXB L0		GXB TX L5n					Y32				
GXB L0		GXB TX L5p					Y31				
GXB L0		GXB_RX_L5n,GXB_REFCLK_L5n					AA34				
GXB L0		GXB_RX_L5p,GXB_REFCLK_L5p					AA33				
GXB L0		GXB TX L4n					AB32				
GXB L0		GXB TX L4p					AB31				
GXB L0		GXB_RX_L4n,GXB_REFCLK_L4n					AC34				
GXB L0		GXB_RX_L4p,GXB_REFCLK_L4p					AC33				
GXB L0		GXB TX L3n					AD32				
GXB L0		GXB TX L3p					AD31				
GXB L0		GXB_RX_L3n,GXB_REFCLK_L3n					AE34				
GXB L0		GXB_RX_L3p,GXB_REFCLK_L3p					AE33				
GXB L0		GXB TX L2n					AF32				
GXB L0		GXB TX L2p					AF31				
GXB L0		GXB_RX_L2n,GXB_REFCLK_L2n					AG34				
GXB L0		GXB_RX_L2p,GXB_REFCLK_L2p					AG33				
GXB L0		GXB TX L1n					AH32				
GXB L0		GXB TX L1p					AH31				
GXB L0		GXB_RX_L1n,GXB_REFCLK_L1n					AJ34				
GXB L0		GXB_RX_L1p,GXB_REFCLK_L1p					AJ33				
GXB L0		GXB TX L0n					AK32				
GXB L0		GXB TX L0p					AK31				
GXB L0		GXB_RX_L0n,GXB_REFCLK_L0n					AL34				
GXB L0		GXB_RX_L0p,GXB_REFCLK_L0p					AL33				
GXB L0		REFCLK0Lp					W29				
GXB L0		REFCLK0Ln					W30				
3A		nCONFIG		nCONFIG			AE30				
3A		TRST		TRST			Y27				
3A		TMS		TMS			AJ30				
3A		TCK		TCK			AN31				
3A		TDI		TDI			AL29				
3A		TDO		TDO			AK29				
3A		nCS0		nCS0			AC27				
3A		AS_DATA3		AS_DATA3			AF27				
3A		AS_DATA2		AS_DATA2			AC28				
3A		AS_DATA1		AS_DATA1			AA29				
3A		AS_DATA0,ASDO		AS_DATA0,ASDO			AF28				
3A		DCLK		DCLK			AB28				
3A	VREFB3AN0	IO		CLKUSR	DIFFIO_TX_B1n	DIFFOUT_B1n	AP32	DQ1B		DQ1B	
3A	VREFB3AN0	IO		CRC_ERROR	DIFFIO_TX_B1p	DIFFOUT_B1p	AP31	DQ1B		DQ1B	
3A	VREFB3AN0	IO	RZQ_0		DIFFIO_RX_B2n	DIFFOUT_B2n	AM30	DQS1B		DQ1B	
3A	VREFB3AN0	IO		DEV_OE	DIFFIO_RX_B2p	DIFFOUT_B2p	AM31	DQS1B		DQ1B/CQn1B	
3A	VREFB3AN0	IO		DEV_CLRn	DIFFIO_TX_B3n	DIFFOUT_B3n	AP30	DQ1B		DQ1B	
3A	VREFB3AN0	IO		INIT_DONE	DIFFIO_TX_B3p	DIFFOUT_B3p	AN30	DQ1B		DQ1B	



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
3A	VREFB3AN0	IO		nCEO	DIFFIO_RX_B4n	DIFFOUT_B4n	AP28	DQSn2B	DQSn1B/DQ1B		
3A	VREFB3AN0	IO		DATA0	DIFFIO_RX_B4p	DIFFOUT_B4p	AN28	DQS2B	DQS1B/CQ1B		
3A	VREFB3AN0	IO		DATA1	DIFFIO_TX_B5n	DIFFOUT_B5n	AP27	DQ2B	DQ1B		
3A	VREFB3AN0	IO		DATA2	DIFFIO_TX_B5p	DIFFOUT_B5p	AN27	DQ2B	DQ1B		
3A	VREFB3AN0	IO		DATA3	DIFFIO_RX_B6n	DIFFOUT_B6n	AL28	DQ2B	DQ1B		
3A	VREFB3AN0	IO		DATA4	DIFFIO_RX_B6p	DIFFOUT_B6p	AM28	DQ2B	DQ1B		
3A	VREFB3AN0	IO		DATA5	DIFFIO_TX_B7n	DIFFOUT_B7n	AE29	DQ3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA6	DIFFIO_TX_B7p	DIFFOUT_B7p	AD29	DQ3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA7	DIFFIO_RX_B8n	DIFFOUT_B8n	AC29	DQSn3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA8	DIFFIO_RX_B8p	DIFFOUT_B8p	AC30	DQS3B	DQ2B/CQn2B	DQ1B	
3A	VREFB3AN0	IO		DATA9	DIFFIO_TX_B9n	DIFFOUT_B9n	AF29	DQ3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA10	DIFFIO_TX_B9p	DIFFOUT_B9p	AG30	DQ3B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA11	DIFFIO_RX_B10n	DIFFOUT_B10n	AB29	DQSn4B	DQSn2B/DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA12	DIFFIO_RX_B10p	DIFFOUT_B10p	AA30	DQS4B	DQS2B/CQ2B	DQ1B/CQn1B	
3A	VREFB3AN0	IO		DATA13	DIFFIO_TX_B11n	DIFFOUT_B11n	AE28	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA14	DIFFIO_TX_B11p	DIFFOUT_B11p	AD28	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA15	DIFFIO_RX_B12n	DIFFOUT_B12n	AB27	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA16	DIFFIO_RX_B12p	DIFFOUT_B12p	AA28	DQ4B	DQ2B	DQ1B	
3A	VREFB3AN0	IO		DATA17	DIFFIO_TX_B13n	DIFFOUT_B13n	AH27	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA18	DIFFIO_TX_B13p	DIFFOUT_B13p	AG27	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA19	DIFFIO_RX_B14n	DIFFOUT_B14n	AJ26	DQSn5B	DQ3B	DQSn1B/DQ1B	
3A	VREFB3AN0	IO		DATA20	DIFFIO_RX_B14p	DIFFOUT_B14p	AH26	DQSn5B	DQ3B/CQn3B	DQSn1B/CQ1B	
3A	VREFB3AN0	IO		DATA21	DIFFIO_TX_B15n	DIFFOUT_B15n	AK28	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA22	DIFFIO_TX_B15p	DIFFOUT_B15p	AJ27	DQ5B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA23	DIFFIO_RX_B16n	DIFFOUT_B16n	AK26	DQSn6B	DQSn3B/DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA24	DIFFIO_RX_B16p	DIFFOUT_B16p	AK27	DQSn6B	DQSn3B/CQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA25	DIFFIO_TX_B17n	DIFFOUT_B17n	AM26	DQ6B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA26	DIFFIO_TX_B17p	DIFFOUT_B17p	AL26	DQ6B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA27	DIFFIO_RX_B18n	DIFFOUT_B18n	AM25	DQ6B	DQ3B	DQ1B	
3A	VREFB3AN0	IO		DATA28	DIFFIO_RX_B18p	DIFFOUT_B18p	AL25	DQ6B	DQ3B	DQ1B	
3B	VREFB3BN0	IO		DATA29	DIFFIO_TX_B19n	DIFFOUT_B19n	AP25	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		DATA30	DIFFIO_TX_B19p	DIFFOUT_B19p	AN25	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		DATA31	DIFFIO_RX_B20n	DIFFOUT_B20n	AP24	DQSn7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		PR_DONE	DIFFIO_RX_B20p	DIFFOUT_B20p	AN24	DQSn7B	DQ4B/CQn4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		PR_REQUEST	DIFFIO_TX_B21n	DIFFOUT_B21n	AM23	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		PR_READY	DIFFIO_TX_B21p	DIFFOUT_B21p	AL23	DQ7B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK0n		DIFFIO_RX_B22n	DIFFOUT_B22n	AK24	DQSn8B	DQSn4B/DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK0p		DIFFIO_RX_B22p	DIFFOUT_B22p	AK25	DQSn8B	DQSn4B/CQ4B	DQ2B/CQn2B	DQ1B
3B	VREFB3BN0	IO		PR_ERROR	DIFFIO_TX_B23n	DIFFOUT_B23n	AK23	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO		Cvp_CONFDONE	DIFFIO_TX_B23p	DIFFOUT_B23p	AJ23	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK1n		DIFFIO_RX_B24n	DIFFOUT_B24n	AJ24	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK1p		DIFFIO_RX_B24p	DIFFOUT_B24p	AH24	DQ8B	DQ4B	DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_CLKOUT1,FPLL_CLKOUTn		DIFFIO_TX_B25n	DIFFOUT_B25n	U25	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_CLKOUT0,FPLL_CLKOUTp,FPLL_CLKOUTp,FPLL_CLKOUTp,FPLL_CLKOUTp,FPLL_CLKOUTp		DIFFIO_TX_B25p	DIFFOUT_B25p	U26	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_CLKOUT3,FPLL_CLKOUTn		DIFFIO_RX_B26n	DIFFOUT_B26n	Y25	DQSn9B	DQ5B	DQSn2B/DQ2B	DQ1B
3B	VREFB3BN0	IO	FPLL_CLKOUT2,FPLL_CLKOUTp,FPLL_CLKOUTp,FPLL_CLKOUTp		DIFFIO_RX_B26p	DIFFOUT_B26p	W25	DQSn9B	DQ5B/CQn5B	DQSn2B/CQ2B	DQ1B
3B	VREFB3BN0	IO		nPERSTL0	DIFFIO_TX_B27n	DIFFOUT_B27n	W26	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO		nPERSTR0	DIFFIO_TX_B27p	DIFFOUT_B27p	V25	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK2n		DIFFIO_RX_B28n	DIFFOUT_B28n	AB26	DQSn10B	DQSn5B/DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK2p		DIFFIO_RX_B28p	DIFFOUT_B28p	AA25	DQSn10B	DQSn5B/CQ5B	DQ2B	DQ1B/CQn1B
3B	VREFB3BN0	IO			DIFFIO_TX_B29n	DIFFOUT_B29n	AA27	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B29p	DIFFOUT_B29p	Y26	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK3n		DIFFIO_RX_B30n	DIFFOUT_B30n	AB24	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK3p		DIFFIO_RX_B30p	DIFFOUT_B30p	AB23	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B31n	DIFFOUT_B31n	AF26	DQ11B	DQ6B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B31p	DIFFOUT_B31p	AE26	DQ11B	DQ6B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B32n	DIFFOUT_B32n	AD26	DQSn11B	DQ6B	DQ3B	DQSn1B/DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B32p	DIFFOUT_B32p	AC26	DQSn11B	DQ6B/CQn6B	DQ3B	DQSn1B/CQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B33n	DIFFOUT_B33n	AF25	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B33p	DIFFOUT_B33p	AE25	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B34n	DIFFOUT_B34n	AH25	DQSn12B	DQSn6B/DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B34p	DIFFOUT_B34p	AG25	DQSn12B	DQSn6B/CQ6B	DQ3B/CQn3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B35n	DIFFOUT_B35n	AG24	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B35p	DIFFOUT_B35p	AF24	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B36n	DIFFOUT_B36n	AD24	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B36p	DIFFOUT_B36p	AC24	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B37n	DIFFOUT_B37n	N24	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B37p	DIFFOUT_B37p	N23	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B38n	DIFFOUT_B38n	R26	DQSn13B	DQ7B	DQSn3B/DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B38p	DIFFOUT_B38p	T25	DQSn13B	DQ7B/CQn7B	DQSn3B/CQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B39n	DIFFOUT_B39n	T23	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B39p	DIFFOUT_B39p	R24	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B40n	DIFFOUT_B40n	V23	DQSn14B	DQSn7B/DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B40p	DIFFOUT_B40p	U24	DQSn14B	DQSn7B/CQ7B	DQ3B	DQ1B



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
3B	VREFB3BN0	IO			DIFFIO TX B41n	DIFFOUT B41n	W24	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO TX B41p	DIFFOUT B41p	V24	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO RX B42n	DIFFOUT B42n	AA24	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO RX B42p	DIFFOUT B42p	Y24	DQ14B	DQ7B	DQ3B	DQ1B
3D	VREFB3DN0	IO			DIFFIO TX B67n	DIFFOUT B67n	AP18	DQ23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO TX B67p	DIFFOUT B67p	AN18	DQ23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO RX B68n	DIFFOUT B68n	AM18	DQSn23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO RX B68p	DIFFOUT B68p	AL19	DQSn23B	DQ8B/CQn8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO TX B69n	DIFFOUT B69n	AM17	DQ23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO TX B69p	DIFFOUT B69p	AL17	DQ23B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO RX B70n	DIFFOUT B70n	AK18	DQSn24B	DQSn8B/DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO RX B70p	DIFFOUT B70p	AK17	DQSn24B	DQSn8B/CQ8B	DQ4B/CQn4B	
3D	VREFB3DN0	IO			DIFFIO TX B71n	DIFFOUT B71n	AH18	DQ24B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO TX B71p	DIFFOUT B71p	AG19	DQ24B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO RX B72n	DIFFOUT B72n	AK19	DQ24B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO RX B72p	DIFFOUT B72p	AJ18	DQ24B	DQ8B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO TX B73n	DIFFOUT B73n	Y19	DQ25B	DQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO TX B73p	DIFFOUT B73p	W19	DQ25B	DQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO RX B74n	DIFFOUT B74n	AA18	DQSn25B	DQ9B	DQSn4B/DQ4B	
3D	VREFB3DN0	IO			DIFFIO RX B74p	DIFFOUT B74p	Y17	DQSn25B	DQ9B/CQn9B	DQSn4B/CQ4B	
3D	VREFB3DN0	IO			DIFFIO TX B75n	DIFFOUT B75n	Y18	DQ25B	DQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO TX B75p	DIFFOUT B75p	W18	DQ25B	DQ9B	DQ4B	
3D	VREFB3DN0	IO	CLK4n		DIFFIO RX B76n	DIFFOUT B76n	AB19	DQSn26B	DQSn9B/DQ9B	DQ4B	
3D	VREFB3DN0	IO	CLK4p		DIFFIO RX B76p	DIFFOUT B76p	AB18	DQSn26B	DQSn9B/CQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO TX B77n	DIFFOUT B77n	AF19	DQ26B	DQ9B	DQ4B	
3D	VREFB3DN0	IO			DIFFIO TX B77p	DIFFOUT B77p	AE19	DQ26B	DQ9B	DQ4B	
3D	VREFB3DN0	IO	CLK5n		DIFFIO RX B78n	DIFFOUT B78n	AG18	DQ26B	DQ9B	DQ4B	
3D	VREFB3DN0	IO	CLK5p		DIFFIO RX B78p	DIFFOUT B78p	AF18	DQ26B	DQ9B	DQ4B	
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT1,FPLL_BC_CLKOUTn		DIFFIO TX B91n	DIFFOUT B91n	AD17	DQ31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT0,FPLL_BC_CLKOUTp,FPLL_BC_FB0		DIFFIO TX B91p	DIFFOUT B91p	AC17	DQ31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT3,FPLL_BC_Fbn		DIFFIO RX B92n	DIFFOUT B92n	W17	DQSn31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT2,FPLL_BC_Fbp,FPLL_BC_FB1		DIFFIO RX B92p	DIFFOUT B92p	Y16	DQSn31B	DQ10B/CQn10B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO TX B93n	DIFFOUT B93n	W16	DQ31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO TX B93p	DIFFOUT B93p	W15	DQ31B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	CLK6n		DIFFIO RX B94n	DIFFOUT B94n	AF17	DQSn32B	DQSn10B/DQ10B	DQ5B	
4D	VREFB4DN0	IO	CLK6p		DIFFIO RX B94p	DIFFOUT B94p	AF16	DQSn32B	DQSn10B/CQ10B	DQ5B/CQn5B	
4D	VREFB4DN0	IO			DIFFIO TX B95n	DIFFOUT B95n	AG15	DQ32B	DQ10B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO TX B95p	DIFFOUT B95p	AG16	DQ32B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	CLK7n		DIFFIO RX B96n	DIFFOUT B96n	AD16	DQ32B	DQ10B	DQ5B	
4D	VREFB4DN0	IO	CLK7p		DIFFIO RX B96p	DIFFOUT B96p	AE16	DQ32B	DQ10B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO TX B97n	DIFFOUT B97n	AH17	DQ33B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO TX B97p	DIFFOUT B97p	AH16	DQ33B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO RX B98n	DIFFOUT B98n	AK15	DQSn33B	DQ11B	DQSn5B/DQ5B	
4D	VREFB4DN0	IO			DIFFIO RX B98p	DIFFOUT B98p	AJ15	DQSn33B	DQ11B/CQn11B	DQSn5B/CQ5B	
4D	VREFB4DN0	IO			DIFFIO TX B99n	DIFFOUT B99n	AK16	DQ33B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO TX B99p	DIFFOUT B99p	AJ17	DQ33B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO RX B100n	DIFFOUT B100n	AL16	DQSn34B	DQSn11B/DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO RX B100p	DIFFOUT B100p	AM16	DQSn34B	DQSn11B/CQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO TX B101n	DIFFOUT B101n	AP16	DQ34B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO TX B101p	DIFFOUT B101p	AN16	DQ34B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO RX B102n	DIFFOUT B102n	AP15	DQ34B	DQ11B	DQ5B	
4D	VREFB4DN0	IO			DIFFIO RX B102p	DIFFOUT B102p	AN15	DQ34B	DQ11B	DQ5B	
4B	VREFB4BN0	IO			DIFFIO TX B127n	DIFFOUT B127n	AC11	DQ43B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO TX B127p	DIFFOUT B127p	AD11	DQ43B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO RX B128n	DIFFOUT B128n	AB10	DQSn43B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO RX B128p	DIFFOUT B128p	AB11	DQSn43B	DQ12B/CQn12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO TX B129n	DIFFOUT B129n	AE10	DQ43B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO TX B129p	DIFFOUT B129p	AE11	DQ43B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO RX B130n	DIFFOUT B130n	W11	DQSn44B	DQSn12B/DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO RX B130p	DIFFOUT B130p	V11	DQSn44B	DQSn12B/CQ12B	DQ6B/CQn6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO TX B131n	DIFFOUT B131n	U11	DQ44B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO TX B131p	DIFFOUT B131p	U10	DQ44B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO RX B132n	DIFFOUT B132n	Y11	DQ44B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO RX B132p	DIFFOUT B132p	Y10	DQ44B	DQ12B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO TX B133n	DIFFOUT B133n	AJ11	DQ45B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO TX B133p	DIFFOUT B133p	AH11	DQ45B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO RX B134n	DIFFOUT B134n	AH10	DQSn45B	DQ13B	DQSn6B/DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO RX B134p	DIFFOUT B134p	AG10	DQSn45B	DQ13B/CQn13B	DQSn6B/CQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO TX B135n	DIFFOUT B135n	AF10	DQ45B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO TX B135p	DIFFOUT B135p	AF9	DQ45B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO RX B136n	DIFFOUT B136n	AF8	DQSn46B	DQSn13B/DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO RX B136p	DIFFOUT B136p	AE8	DQSn46B	DQSn13B/CQ13B	DQ6B	DQ2B/CQn2B
4B	VREFB4BN0	IO			DIFFIO TX B137n	DIFFOUT B137n	AJ8	DQ46B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO TX B137p	DIFFOUT B137p	AH8	DQ46B	DQ13B	DQ6B	DQ2B



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
4B	VREFB4BN0	IO			DIFFIO_RX_B138n	DIFFOUT_B138n	AH9	DQ46B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B138p	DIFFOUT_B138p	AG9	DQ46B	DQ13B	DQ6B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B139n	DIFFOUT_B139n	AB9	DQ47B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B139p	DIFFOUT_B139p	AA9	DQ47B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B140n	DIFFOUT_B140n	AD9	DQSn47B	DQ14B	DQ7B	DQSn2B/DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B140p	DIFFOUT_B140p	AC9	DQSn47B	DQ14B/CQn14B	DQ7B	DQSn2B/CO2B
4B	VREFB4BN0	IO			DIFFIO_TX_B141n	DIFFOUT_B141n	AA8	DQ47B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B141p	DIFFOUT_B141p	Y9	DQ47B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B142n	DIFFOUT_B142n	T10	DQSn48B	DQSn14B/DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B142p	DIFFOUT_B142p	R10	DQSn48B	DQSn14B/CQ14B	DQ7B/CQn7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B143n	DIFFOUT_B143n	W10	DQ48B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B143p	DIFFOUT_B143p	W9	DQ48B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B144n	DIFFOUT_B144n	V10	DQ48B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B144p	DIFFOUT_B144p	U9	DQ48B	DQ14B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B145n	DIFFOUT_B145n	AK11	DQ49B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B145p	DIFFOUT_B145p	AK10	DQ49B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B146n	DIFFOUT_B146n	AK9	DQSn49B	DQ15B	DQSn7B/DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B146p	DIFFOUT_B146p	AJ9	DQSn49B	DQ15B/CQn15B	DQSn7B/CQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B147n	DIFFOUT_B147n	AM11	DQ49B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B147p	DIFFOUT_B147p	AL11	DQ49B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B148n	DIFFOUT_B148n	AM10	DQSn50B	DQSn15B/DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B148p	DIFFOUT_B148p	AL10	DQSn50B	DQSn15B/CQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B149n	DIFFOUT_B149n	AP9	DQ50B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_TX_B149p	DIFFOUT_B149p	AN9	DQ50B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B150n	DIFFOUT_B150n	AP10	DQ50B	DQ15B	DQ7B	DQ2B
4B	VREFB4BN0	IO			DIFFIO_RX_B150p	DIFFOUT_B150p	AN10	DQ50B	DQ15B	DQ7B	DQ2B
4A	VREFB4AN0	IO			DIFFIO_TX_B151n	DIFFOUT_B151n	AD8	DQ51B	DQ16B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B151p	DIFFOUT_B151p	AD7	DQ51B	DQ16B	DQ8B	
4A	VREFB4AN0	IO	CLK11n		DIFFIO_RX_B152n	DIFFOUT_B152n	AC8	DQSn51B	DQ16B	DQ8B	
4A	VREFB4AN0	IO	CLK11p		DIFFIO_RX_B152p	DIFFOUT_B152p	AB8	DQSn51B	DQ16B/CQn16B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B153n	DIFFOUT_B153n	AG7	DQ51B	DQ16B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B153p	DIFFOUT_B153p	AF7	DQ51B	DQ16B	DQ8B	
4A	VREFB4AN0	IO	CLK10n		DIFFIO_RX_B154n	DIFFOUT_B154n	AB7	DQSn52B	DQSn16B/DQ16B	DQ8B	
4A	VREFB4AN0	IO	CLK10p		DIFFIO_RX_B154p	DIFFOUT_B154p	AB6	DQSn52B	DQSn16B/CQ16B	DQ8B/CQn8B	
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT1.FPLL_BR_CLKOUTn		DIFFIO_TX_B155n	DIFFOUT_B155n	AG6	DQ52B	DQ16B	DQ8B	
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT0.FPLL_BR_CLKOUTp.FPLL_BR_FB0		DIFFIO_TX_B155p	DIFFOUT_B155p	AF6	DQ52B	DQ16B	DQ8B	
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT3.FPLL_BR_FBn		DIFFIO_RX_B156n	DIFFOUT_B156n	AD6	DQ52B	DQ16B	DQ8B	
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT2.FPLL_BR_FBp.FPLL_BR_FB1		DIFFIO_RX_B156p	DIFFOUT_B156p	AC6	DQ52B	DQ16B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B157n	DIFFOUT_B157n	AL8	DQ53B	DQ17B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B157p	DIFFOUT_B157p	AK8	DQ53B	DQ17B	DQ8B	
4A	VREFB4AN0	IO	CLK9n		DIFFIO_RX_B158n	DIFFOUT_B158n	AM7	DQSn53B	DQ17B	DQSn8B/DQ8B	
4A	VREFB4AN0	IO	CLK9p		DIFFIO_RX_B158p	DIFFOUT_B158p	AL7	DQSn53B	DQ17B/CQn17B	DQSn8B/CO8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B159n	DIFFOUT_B159n	AP7	DQ53B	DQ17B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B159p	DIFFOUT_B159p	AN7	DQ53B	DQ17B	DQ8B	
4A	VREFB4AN0	IO	CLK8n		DIFFIO_RX_B160n	DIFFOUT_B160n	AP4	DQSn54B	DQSn17B/DQ17B	DQ8B	
4A	VREFB4AN0	IO	CLK8p		DIFFIO_RX_B160p	DIFFOUT_B160p	AN4	DQSn54B	DQSn17B/CQ17B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B161n	DIFFOUT_B161n	AP6	DQ54B	DQ17B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_TX_B161p	DIFFOUT_B161p	AN6	DQ54B	DQ17B	DQ8B	
4A	VREFB4AN0	IO			DIFFIO_RX_B162n	DIFFOUT_B162n	AM5	DQ54B	DQ17B	DQ8B	
4A	VREFB4AN0	IO	RZQ 1		DIFFIO_RX_B162p	DIFFOUT_B162p	AM6	DQ54B	DQ17B	DQ8B	
4A		GND					AC5				
4A		nCE		nCE			AN3				
4A		nSTATUS		nSTATUS			AM4				
4A		CONF_DONE		CONF_DONE			AE5				
4A		nIO_PULLUP		nIO_PULLUP			AP3				
4A		MSEL0		MSEL0			AA6				
4A		MSEL1		MSEL1			AA5				
4A		MSEL2		MSEL2			AA5				
4A		MSEL3		MSEL3			AJ5				
4A		MSEL4		MSEL4			AG5				
GXB R0		REFCLK0Rn					W5				
GXB R0		REFCLK0Rp					W6				
GXB R0		GXB_RX_R0p.GXB_REFCLK_R0p					AL2				
GXB R0		GXB_RX_R0n.GXB_REFCLK_R0n					AL1				
GXB R0		GXB_TX_R0p					AK4				
GXB R0		GXB_TX_R0n					AK3				
GXB R0		GXB_RX_R1p.GXB_REFCLK_R1p					AJ2				
GXB R0		GXB_RX_R1n.GXB_REFCLK_R1n					AJ1				
GXB R0		GXB_TX_R1p					AH4				
GXB R0		GXB_TX_R1n					AH3				
GXB R0		GXB_RX_R2p.GXB_REFCLK_R2p					AG2				
GXB R0		GXB_RX_R2n.GXB_REFCLK_R2n					AG1				
GXB R0		GXB_TX_R2p					AF4				
GXB R0		GXB_TX_R2n					AF3				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
GXB R0		GXB_RX_R3p,GXB_REFCLK_R3p					AE2				
GXB R0		GXB_RX_R3n,GXB_REFCLK_R3n					AE1				
GXB R0		GXB_TX_R3p					AD4				
GXB R0		GXB_TX_R3n					AD3				
GXB R0		GXB_RX_R4p,GXB_REFCLK_R4p					AC2				
GXB R0		GXB_RX_R4n,GXB_REFCLK_R4n					AC1				
GXB R0		GXB_TX_R4p					AB4				
GXB R0		GXB_TX_R4n					AB3				
GXB R0		GXB_RX_R5p,GXB_REFCLK_R5p					AA2				
GXB R0		GXB_RX_R5n,GXB_REFCLK_R5n					AA1				
GXB R0		GXB_TX_R5p					Y4				
GXB R0		GXB_TX_R5n					Y3				
GXB R0		REFCLK1Rn					U6				
GXB R0		REFCLK1Rp					U7				
GXB R1		REFCLK2Rn					R5				
GXB R1		REFCLK2Rp					R6				
GXB R1		GXB_RX_R6p,GXB_REFCLK_R6p					W2				
GXB R1		GXB_RX_R6n,GXB_REFCLK_R6n					W1				
GXB R1		GXB_TX_R6p					V4				
GXB R1		GXB_TX_R6n					V3				
GXB R1		GXB_RX_R7p,GXB_REFCLK_R7p					U2				
GXB R1		GXB_RX_R7n,GXB_REFCLK_R7n					U1				
GXB R1		GXB_TX_R7p					T4				
GXB R1		GXB_TX_R7n					T3				
GXB R1		GXB_RX_R8p,GXB_REFCLK_R8p					R2				
GXB R1		GXB_RX_R8n,GXB_REFCLK_R8n					R1				
GXB R1		GXB_TX_R8p					P4				
GXB R1		GXB_TX_R8n					P3				
GXB R1		GXB_RX_R9p,GXB_REFCLK_R9p					N2				
GXB R1		GXB_RX_R9n,GXB_REFCLK_R9n					N1				
GXB R1		GXB_TX_R9p					M4				
GXB R1		GXB_TX_R9n					M3				
GXB R1		GXB_RX_R10p,GXB_REFCLK_R10p					L2				
GXB R1		GXB_RX_R10n,GXB_REFCLK_R10n					L1				
GXB R1		GXB_TX_R10p					K4				
GXB R1		GXB_TX_R10n					K3				
GXB R1		GXB_RX_R11p,GXB_REFCLK_R11p					J2				
GXB R1		GXB_RX_R11n,GXB_REFCLK_R11n					J1				
GXB R1		GXB_TX_R11p					H4				
GXB R1		GXB_TX_R11n					H3				
GXB R1		REFCLK3Rn					N6				
GXB R1		REFCLK3Rp					N7				
7A		GND					J5				
7A	VREFB7A0	IO	RZQ_4		DIFFIO_RX_T1p	DIFFOUT_T1p	F3	DQ1T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_RX_T1n	DIFFOUT_T1n	F4	DQ1T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T2p	DIFFOUT_T2p	E2	DQ1T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T2n	DIFFOUT_T2n	E3	DQ1T	DQ1T	DQ1T	
7A	VREFB7A0	IO	CLK12p		DIFFIO_RX_T3p	DIFFOUT_T3p	E1	DQS1T	DQS1T/CQ1T	DQ1T	
7A	VREFB7A0	IO	CLK12n		DIFFIO_RX_T3n	DIFFOUT_T3n	D1	DQSn1T	DQSn1T/DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T4p	DIFFOUT_T4p	B1	DQ2T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T4n	DIFFOUT_T4n	C2	DQ2T	DQ1T	DQ1T	
7A	VREFB7A0	IO	CLK13p		DIFFIO_RX_T5p	DIFFOUT_T5p	B2	DQS2T	DQ1T/CQn1T	DQS1T/CQ1T	
7A	VREFB7A0	IO	CLK13n		DIFFIO_RX_T5n	DIFFOUT_T5n	A2	DQSn2T	DQ1T	DQSn1T/DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T6p	DIFFOUT_T6p	D3	DQ2T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T6n	DIFFOUT_T6n	C3	DQ2T	DQ1T	DQ1T	
7A	VREFB7A0	IO	FPLL_TR_CLKOUT2,FPLL_TR_FBp,FPLL_TR_FB1		DIFFIO_RX_T7p	DIFFOUT_T7p	E4	DQ3T	DQ2T	DQ1T	
7A	VREFB7A0	IO	FPLL_TR_CLKOUT3,FPLL_TR_FBn		DIFFIO_RX_T7n	DIFFOUT_T7n	E5	DQ3T	DQ2T	DQ1T	
7A	VREFB7A0	IO	FPLL_TR_CLKOUT0,FPLL_TR_CLKOUTp,FPLL_TR_FB0		DIFFIO_TX_T8p	DIFFOUT_T8p	F5	DQ3T	DQ2T	DQ1T	
7A	VREFB7A0	IO	FPLL_TR_CLKOUT1,FPLL_TR_CLKOUTn		DIFFIO_TX_T8n	DIFFOUT_T8n	E6	DQ3T	DQ2T	DQ1T	
7A	VREFB7A0	IO	CLK14p		DIFFIO_RX_T9p	DIFFOUT_T9p	D6	DQS3T	DQS2T/CQ2T	DQ1T/CQn1T	
7A	VREFB7A0	IO	CLK14n		DIFFIO_RX_T9n	DIFFOUT_T9n	D7	DQSn3T	DQSn2T/DQ2T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T10p	DIFFOUT_T10p	D4	DQ4T	DQ2T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T10n	DIFFOUT_T10n	C4	DQ4T	DQ2T	DQ1T	
7A	VREFB7A0	IO	CLK15p		DIFFIO_RX_T11p	DIFFOUT_T11p	B4	DQS4T	DQ2T/CQn2T	DQ1T	
7A	VREFB7A0	IO	CLK15n		DIFFIO_RX_T11n	DIFFOUT_T11n	A4	DQSn4T	DQ2T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T12p	DIFFOUT_T12p	B5	DQ4T	DQ2T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T12n	DIFFOUT_T12n	A5	DQ4T	DQ2T	DQ1T	
7B	VREFB7B0	IO			DIFFIO_RX_T25p	DIFFOUT_T25p	E7	DQ9T	DQ3T	DQ2T	
7B	VREFB7B0	IO			DIFFIO_RX_T25n	DIFFOUT_T25n	E8	DQ9T	DQ3T	DQ2T	
7B	VREFB7B0	IO			DIFFIO_TX_T26p	DIFFOUT_T26p	G7	DQ9T	DQ3T	DQ2T	
7B	VREFB7B0	IO			DIFFIO_TX_T26n	DIFFOUT_T26n	G8	DQ9T	DQ3T	DQ2T	
7B	VREFB7B0	IO			DIFFIO_RX_T27p	DIFFOUT_T27p	D9	DQS9T	DQS3T/CQ3T	DQ2T	
7B	VREFB7B0	IO			DIFFIO_RX_T27n	DIFFOUT_T27n	C9	DQSn9T	DQSn3T/DQ3T	DQ2T	
7B	VREFB7B0	IO			DIFFIO_TX_T28p	DIFFOUT_T28p	F8	DQ10T	DQ3T	DQ2T	





Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
7B	VREFB7B0	IO			DIFFIO TX T28n	DIFFOUT T28n	F9	DQ10T	DQ3T	DQ2T	
7B	VREFB7B0	IO			DIFFIO RX T29p	DIFFOUT T29p	E10	DQS10T	DQ3T/CQn3T	DQS2T/CQ2T	
7B	VREFB7B0	IO			DIFFIO RX T29n	DIFFOUT T29n	E9	DQSn10T	DQ3T	DQSn2T/DQ2T	
7B	VREFB7B0	IO			DIFFIO TX T30p	DIFFOUT T30p	D10	DQ10T	DQ3T	DQ2T	
7B	VREFB7B0	IO			DIFFIO TX T30n	DIFFOUT T30n	E11	DQ10T	DQ3T	DQ2T	
7B	VREFB7B0	IO			DIFFIO RX T31p	DIFFOUT T31p	T9	DQ11T	DQ4T	DQ2T	
7B	VREFB7B0	IO			DIFFIO RX T31n	DIFFOUT T31n	R9	DQ11T	DQ4T	DQ2T	
7B	VREFB7B0	IO			DIFFIO TX T32p	DIFFOUT T32p	N10	DQ11T	DQ4T	DQ2T	
7B	VREFB7B0	IO			DIFFIO TX T32n	DIFFOUT T32n	P10	DQ11T	DQ4T	DQ2T	
7B	VREFB7B0	IO			DIFFIO RX T33p	DIFFOUT T33p	L10	DQS11T	DQS4T/CQ4T	DQ2T/CQn2T	
7B	VREFB7B0	IO			DIFFIO RX T33n	DIFFOUT T33n	L9	DQSn11T	DQSn4T/DQ4T	DQ2T	
7B	VREFB7B0	IO			DIFFIO TX T34p	DIFFOUT T34p	K9	DQ12T	DQ4T	DQ2T	
7B	VREFB7B0	IO			DIFFIO TX T34n	DIFFOUT T34n	J9	DQ12T	DQ4T	DQ2T	
7B	VREFB7B0	IO			DIFFIO RX T35p	DIFFOUT T35p	J10	DQS12T	DQ4T/CQn4T	DQ2T	
7B	VREFB7B0	IO			DIFFIO RX T35n	DIFFOUT T35n	H10	DQSn12T	DQ4T	DQ2T	
7B	VREFB7B0	IO			DIFFIO TX T36p	DIFFOUT T36p	G10	DQ12T	DQ4T	DQ2T	
7B	VREFB7B0	IO			DIFFIO TX T36n	DIFFOUT T36n	G9	DQ12T	DQ4T	DQ2T	
7C	VREFB7C0	IO			DIFFIO RX T37p	DIFFOUT T37p	C15	DQ13T	DQ5T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T37n	DIFFOUT T37n	B14	DQ13T	DQ5T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T38p	DIFFOUT T38p	A13	DQ13T	DQ5T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T38n	DIFFOUT T38n	A14	DQ13T	DQ5T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T39p	DIFFOUT T39p	C16	DQS13T	DQS5T/CQ5T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T39n	DIFFOUT T39n	B16	DQSn13T	DQSn5T/DQ5T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T40p	DIFFOUT T40p	C13	DQ14T	DQ5T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T40n	DIFFOUT T40n	B13	DQ14T	DQ5T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T41p	DIFFOUT T41p	E16	DQS14T	DQ5T/CQn5T	DQS3T/CQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T41n	DIFFOUT T41n	D16	DQSn14T	DQ5T	DQSn3T/DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T42p	DIFFOUT T42p	E15	DQ14T	DQ5T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T42n	DIFFOUT T42n	D15	DQ14T	DQ5T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T43p	DIFFOUT T43p	E12	DQ15T	DQ6T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T43n	DIFFOUT T43n	F12	DQ15T	DQ6T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T44p	DIFFOUT T44p	D12	DQ15T	DQ6T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T44n	DIFFOUT T44n	C12	DQ15T	DQ6T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T45p	DIFFOUT T45p	G11	DQS15T	DQS6T/CQ6T	DQ3T/CQn3T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T45n	DIFFOUT T45n	F11	DQSn15T	DQSn6T/DQ6T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T46p	DIFFOUT T46p	D13	DQ16T	DQ6T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T46n	DIFFOUT T46n	E13	DQ16T	DQ6T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T47p	DIFFOUT T47p	G15	DQS16T	DQ6T/CQn6T	DQ3T	DQS1T/CQ1T
7C	VREFB7C0	IO			DIFFIO RX T47n	DIFFOUT T47n	F15	DQSn16T	DQ6T	DQ3T	DQSn1T/DQ1T
7C	VREFB7C0	IO			DIFFIO TX T48p	DIFFOUT T48p	F14	DQ16T	DQ6T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T48n	DIFFOUT T48n	E14	DQ16T	DQ6T	DQ3T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T49p	DIFFOUT T49p	M12	DQ17T	DQ7T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T49n	DIFFOUT T49n	L11	DQ17T	DQ7T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T50p	DIFFOUT T50p	N11	DQ17T	DQ7T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T50n	DIFFOUT T50n	P11	DQ17T	DQ7T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T51p	DIFFOUT T51p	N12	DQS17T	DQS7T/CQ7T	DQ4T	DQ1T/CQn1T
7C	VREFB7C0	IO			DIFFIO RX T51n	DIFFOUT T51n	N13	DQSn17T	DQSn7T/DQ7T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T52p	DIFFOUT T52p	H11	DQ18T	DQ7T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T52n	DIFFOUT T52n	G12	DQ18T	DQ7T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T53p	DIFFOUT T53p	K12	DQS18T	DQ7T/CQn7T	DQS4T/CQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T53n	DIFFOUT T53n	J12	DQSn18T	DQ7T	DQSn4T/DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T54p	DIFFOUT T54p	L12	DQ18T	DQ7T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T54n	DIFFOUT T54n	L13	DQ18T	DQ7T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T55p	DIFFOUT T55p	H13	DQ19T	DQ8T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T55n	DIFFOUT T55n	G13	DQ19T	DQ8T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T56p	DIFFOUT T56p	H14	DQ19T	DQ8T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T56n	DIFFOUT T56n	G14	DQ19T	DQ8T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T57p	DIFFOUT T57p	J14	DQS19T	DQS8T/CQ8T	DQ4T/CQn4T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T57n	DIFFOUT T57n	J13	DQSn19T	DQSn8T/DQ8T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T58p	DIFFOUT T58p	H16	DQ20T	DQ8T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T58n	DIFFOUT T58n	G16	DQ20T	DQ8T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T59p	DIFFOUT T59p	J15	DQS20T	DQ8T/CQn8T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO RX T59n	DIFFOUT T59n	K15	DQSn20T	DQ8T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T60p	DIFFOUT T60p	K14	DQ20T	DQ8T	DQ4T	DQ1T
7C	VREFB7C0	IO			DIFFIO TX T60n	DIFFOUT T60n	K13	DQ20T	DQ8T	DQ4T	DQ1T
7D	VREFB7D0	IO			DIFFIO RX T61p	DIFFOUT T61p	A16	DQ21T	DQ9T	DQ5T	
7D	VREFB7D0	IO			DIFFIO RX T61n	DIFFOUT T61n	A17	DQ21T	DQ9T	DQ5T	
7D	VREFB7D0	IO			DIFFIO TX T62p	DIFFOUT T62p	C17	DQ21T	DQ9T	DQ5T	
7D	VREFB7D0	IO			DIFFIO TX T62n	DIFFOUT T62n	B17	DQ21T	DQ9T	DQ5T	
7D	VREFB7D0	IO			DIFFIO RX T63p	DIFFOUT T63p	D18	DQS21T	DQS9T/CQ9T	DQ5T	
7D	VREFB7D0	IO			DIFFIO RX T63n	DIFFOUT T63n	E19	DQSn21T	DQSn9T/DQ9T	DQ5T	
7D	VREFB7D0	IO			DIFFIO TX T64p	DIFFOUT T64p	B19	DQ22T	DQ9T	DQ5T	
7D	VREFB7D0	IO			DIFFIO TX T64n	DIFFOUT T64n	A19	DQ22T	DQ9T	DQ5T	
7D	VREFB7D0	IO			DIFFIO RX T65p	DIFFOUT T65p	D19	DQS22T	DQ9T/CQn9T	DQS5T/CQ5T	



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
7D	VREFB7DN0	IO			DIFFIO_RX_T65n	DIFFOUT_T65n	C19	DQSn22T	DQ9T	DQSn5T/DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T66p	DIFFOUT_T66p	B20	DQ22T	DQ9T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T66n	DIFFOUT_T66n	A20	DQ22T	DQ9T	DQ5T	
7D	VREFB7DN0	IO	CLK19p		DIFFIO_RX_T67p	DIFFOUT_T67p	J19	DQ23T	DQ10T	DQ5T	
7D	VREFB7DN0	IO	CLK19n		DIFFIO_RX_T67n	DIFFOUT_T67n	J18	DQ23T	DQ10T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T68p	DIFFOUT_T68p	J16	DQ23T	DQ10T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T68n	DIFFOUT_T68n	K16	DQ23T	DQ10T	DQ5T	
7D	VREFB7DN0	IO	CLK18p		DIFFIO_RX_T69p	DIFFOUT_T69p	H19	DQS23T	DQS10T/CQ10T	DQ5T/CQn5T	
7D	VREFB7DN0	IO	CLK18n		DIFFIO_RX_T69n	DIFFOUT_T69n	G19	DQSn23T	DQSn10T/DQ10T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T70p	DIFFOUT_T70p	H17	DQ24T	DQ10T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_TX_T70n	DIFFOUT_T70n	G17	DQ24T	DQ10T	DQ5T	
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT2,FPLL_TC_FBp,FPLL_TC_FB1		DIFFIO_RX_T71p	DIFFOUT_T71p	E17	DQS24T	DQ10T/CQn10T	DQ5T	
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT3,FPLL_TC_FBn		DIFFIO_RX_T71n	DIFFOUT_T71n	F17	DQSn24T	DQ10T	DQ5T	
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT0,FPLL_TC_CLKOUTp,FPLL_TC_FB0		DIFFIO_TX_T72p	DIFFOUT_T72p	F18	DQ24T	DQ10T	DQ5T	
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT1,FPLL_TC_CLKOUTn		DIFFIO_TX_T72n	DIFFOUT_T72n	E18	DQ24T	DQ10T	DQ5T	
7D	VREFB7DN0	IO			DIFFIO_RX_T73p	DIFFOUT_T73p	J21	DQ25T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_RX_T73n	DIFFOUT_T73n	J22	DQ25T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_TX_T74p	DIFFOUT_T74p	K21	DQ25T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_TX_T74n	DIFFOUT_T74n	J20	DQ25T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_RX_T75p	DIFFOUT_T75p	G21	DQS25T	DQS11T/CQ11T		
7D	VREFB7DN0	IO			DIFFIO_RX_T75n	DIFFOUT_T75n	F21	DQSn25T	DQSn11T/DQ11T		
7D	VREFB7DN0	IO			DIFFIO_TX_T76p	DIFFOUT_T76p	H20	DQ26T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_TX_T76n	DIFFOUT_T76n	G20	DQ26T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_RX_T77p	DIFFOUT_T77p	E21	DQS26T	DQ11T/CQn11T		
7D	VREFB7DN0	IO			DIFFIO_RX_T77n	DIFFOUT_T77n	D21	DQSn26T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_TX_T78p	DIFFOUT_T78p	F20	DQ26T	DQ11T		
7D	VREFB7DN0	IO			DIFFIO_TX_T78n	DIFFOUT_T78n	E20	DQ26T	DQ11T		
8D	VREFB8DN0	IO	CLK17p		DIFFIO_RX_T85p	DIFFOUT_T85p	A21	DQ29T	DQ12T	DQ6T	
8D	VREFB8DN0	IO	CLK17n		DIFFIO_RX_T85n	DIFFOUT_T85n	A22	DQ29T	DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T86p	DIFFOUT_T86p	C21	DQ29T	DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T86n	DIFFOUT_T86n	B22	DQ29T	DQ12T	DQ6T	
8D	VREFB8DN0	IO	CLK16p		DIFFIO_RX_T87p	DIFFOUT_T87p	B23	DQS29T	DQS12T/CQ12T	DQ6T	
8D	VREFB8DN0	IO	CLK16n		DIFFIO_RX_T87n	DIFFOUT_T87n	A23	DQSn29T	DQSn12T/DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T88p	DIFFOUT_T88p	E24	DQ30T	DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T88n	DIFFOUT_T88n	E23	DQ30T	DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T89p	DIFFOUT_T89p	D22	DQS30T	DQ12T/CQn12T	DQ6T/CQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T89n	DIFFOUT_T89n	C22	DQSn30T	DQ12T	DQSn6T/DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T90p	DIFFOUT_T90p	C23	DQ30T	DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T90n	DIFFOUT_T90n	D24	DQ30T	DQ12T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T91p	DIFFOUT_T91p	M24	DQ31T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T91n	DIFFOUT_T91n	M23	DQ31T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T92p	DIFFOUT_T92p	M22	DQ31T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T92n	DIFFOUT_T92n	L22	DQ31T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T93p	DIFFOUT_T93p	L23	DQS31T	DQS13T/CQ13T	DQ6T/CQn6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T93n	DIFFOUT_T93n	K22	DQSn31T	DQSn13T/DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T94p	DIFFOUT_T94p	H22	DQ32T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T94n	DIFFOUT_T94n	G22	DQ32T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T95p	DIFFOUT_T95p	F23	DQS32T	DQ13T/CQn13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_RX_T95n	DIFFOUT_T95n	E22	DQSn32T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T96p	DIFFOUT_T96p	H23	DQ32T	DQ13T	DQ6T	
8D	VREFB8DN0	IO			DIFFIO_TX_T96n	DIFFOUT_T96n	G23	DQ32T	DQ13T	DQ6T	
8C	VREFB8CN0	IO			DIFFIO_RX_T97p	DIFFOUT_T97p	A26	DQ33T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T97n	DIFFOUT_T97n	A25	DQ33T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T98p	DIFFOUT_T98p	C25	DQ33T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T98n	DIFFOUT_T98n	B25	DQ33T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T99p	DIFFOUT_T99p	B26	DQS33T	DQS14T/CQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T99n	DIFFOUT_T99n	C27	DQSn33T	DQSn14T/DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T100p	DIFFOUT_T100p	B28	DQ34T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T100n	DIFFOUT_T100n	A28	DQ34T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T101p	DIFFOUT_T101p	E27	DQS34T	DQ14T/CQn14T	DQS7T/CQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T101n	DIFFOUT_T101n	D27	DQSn34T	DQ14T	DQSn7T/DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T102p	DIFFOUT_T102p	C28	DQ34T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T102n	DIFFOUT_T102n	D28	DQ34T	DQ14T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T103p	DIFFOUT_T103p	L24	DQ35T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T103n	DIFFOUT_T103n	K24	DQ35T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T104p	DIFFOUT_T104p	K25	DQ35T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T104n	DIFFOUT_T104n	J24	DQ35T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T105p	DIFFOUT_T105p	J25	DQS35T	DQS15T/CQ15T	DQ7T/CQn7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T105n	DIFFOUT_T105n	J26	DQSn35T	DQSn15T/DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T106p	DIFFOUT_T106p	L25	DQ36T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T106n	DIFFOUT_T106n	L26	DQ36T	DQ15T	DQ7T	DQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T107p	DIFFOUT_T107p	P25	DQS36T	DQ15T/CQn15T	DQ7T	DQS2T/CQ2T
8C	VREFB8CN0	IO			DIFFIO_RX_T107n	DIFFOUT_T107n	P26	DQSn36T	DQ15T	DQ7T	DQSn2T/DQ2T
8C	VREFB8CN0	IO			DIFFIO_TX_T108p	DIFFOUT_T108p	N26	DQ36T	DQ15T	DQ7T	DQ2T



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
8C	VREFB8C0	IO			DIFFIO_TX_T108n	DIFFOUT_T108n	M26	DQ36T	DQ15T	DQ7T	DQ2T
8C	VREFB8C0	IO			DIFFIO_RX_T109p	DIFFOUT_T109p	K27	DQ37T	DQ16T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_RX_T109n	DIFFOUT_T109n	J27	DQ37T	DQ16T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_TX_T110p	DIFFOUT_T110p	H25	DQ37T	DQ16T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_TX_T110n	DIFFOUT_T110n	G25	DQ37T	DQ16T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_RX_T111p	DIFFOUT_T111p	G26	DQS37T	DQS16T/CQ16T	DQ8T	DQ2T/CQn2T
8C	VREFB8C0	IO			DIFFIO_RX_T111n	DIFFOUT_T111n	G27	DQS37T	DQS16T/CQ16T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_TX_T112p	DIFFOUT_T112p	L27	DQ38T	DQ16T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_TX_T112n	DIFFOUT_T112n	M27	DQ38T	DQ16T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_RX_T113p	DIFFOUT_T113p	K28	DQS38T	DQ16T/CQn16T	DQS8T/CQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_RX_T113n	DIFFOUT_T113n	J28	DQS38T	DQ16T	DQS8T/CQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_TX_T114p	DIFFOUT_T114p	L28	DQ38T	DQ16T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_TX_T114n	DIFFOUT_T114n	L29	DQ38T	DQ16T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_RX_T115p	DIFFOUT_T115p	G24	DQ39T	DQ17T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_RX_T115n	DIFFOUT_T115n	F24	DQ39T	DQ17T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_TX_T116p	DIFFOUT_T116p	F26	DQ39T	DQ17T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_TX_T116n	DIFFOUT_T116n	E26	DQ39T	DQ17T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_RX_T117p	DIFFOUT_T117p	E25	DQS39T	DQS17T/CQ17T	DQ8T/CQn8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_RX_T117n	DIFFOUT_T117n	D25	DQS39T	DQS17T/CQ17T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_TX_T118p	DIFFOUT_T118p	H28	DQ40T	DQ17T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_TX_T118n	DIFFOUT_T118n	G28	DQ40T	DQ17T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_RX_T119p	DIFFOUT_T119p	F27	DQS40T	DQ17T/CQn17T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_RX_T119n	DIFFOUT_T119n	E28	DQS40T	DQ17T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_TX_T120p	DIFFOUT_T120p	J29	DQ40T	DQ17T	DQ8T	DQ2T
8C	VREFB8C0	IO			DIFFIO_TX_T120n	DIFFOUT_T120n	H29	DQ40T	DQ17T	DQ8T	DQ2T
8A	VREFB8A0	IO	CLK23p		DIFFIO_RX_T145p	DIFFOUT_T145p	B29	DQ49T	DQ18T	DQ9T	
8A	VREFB8A0	IO	CLK23n		DIFFIO_RX_T145n	DIFFOUT_T145n	A29	DQ49T	DQ18T	DQ9T	
8A	VREFB8A0	IO			DIFFIO_TX_T146p	DIFFOUT_T146p	A31	DQ49T	DQ18T	DQ9T	
8A	VREFB8A0	IO			DIFFIO_TX_T146n	DIFFOUT_T146n	A32	DQ49T	DQ18T	DQ9T	
8A	VREFB8A0	IO	CLK22p		DIFFIO_RX_T147p	DIFFOUT_T147p	B32	DQS49T	DQS18T/CQ18T	DQ9T	
8A	VREFB8A0	IO	CLK22n		DIFFIO_RX_T147n	DIFFOUT_T147n	A33	DQS49T	DQS18T/CQ18T	DQ9T	
8A	VREFB8A0	IO			DIFFIO_TX_T148p	DIFFOUT_T148p	C31	DQ50T	DQ18T	DQ9T	
8A	VREFB8A0	IO			DIFFIO_TX_T148n	DIFFOUT_T148n	B31	DQ50T	DQ18T	DQ9T	
8A	VREFB8A0	IO	FPLL_TL_CLKOUT2,FPLL_TL_FBp,FPLL_TL_FB1		DIFFIO_RX_T149p	DIFFOUT_T149p	C34	DQS50T	DQ18T/CQn18T	DQS9T/CQ9T	
8A	VREFB8A0	IO	FPLL_TL_CLKOUT3,FPLL_TL_FBn		DIFFIO_RX_T149n	DIFFOUT_T149n	B34	DQS50T	DQ18T	DQS9T/CQ9T	
8A	VREFB8A0	IO	FPLL_TL_CLKOUT0,FPLL_TL_CLKOUTp,FPLL_TL_FB0		DIFFIO_TX_T150p	DIFFOUT_T150p	C32	DQ50T	DQ18T	DQ9T	
8A	VREFB8A0	IO	FPLL_TL_CLKOUT1,FPLL_TL_CLKOUTn		DIFFIO_TX_T150n	DIFFOUT_T150n	C33	DQ50T	DQ18T	DQ9T	
8A	VREFB8A0	IO	CLK21p		DIFFIO_RX_T151p	DIFFOUT_T151p	E30	DQ51T	DQ19T	DQ9T	
8A	VREFB8A0	IO	CLK21n		DIFFIO_RX_T151n	DIFFOUT_T151n	D30	DQ51T	DQ19T	DQ9T	
8A	VREFB8A0	IO			DIFFIO_TX_T152p	DIFFOUT_T152p	F30	DQ51T	DQ19T	DQ9T	
8A	VREFB8A0	IO			DIFFIO_TX_T152n	DIFFOUT_T152n	E29	DQ51T	DQ19T	DQ9T	
8A	VREFB8A0	IO	CLK20p		DIFFIO_RX_T153p	DIFFOUT_T153p	E31	DQS51T	DQS19T/CQ19T	DQ9T/CQn9T	
8A	VREFB8A0	IO	CLK20n		DIFFIO_RX_T153n	DIFFOUT_T153n	D31	DQS51T	DQS19T/CQ19T	DQ9T	
8A	VREFB8A0	IO			DIFFIO_TX_T154p	DIFFOUT_T154p	E32	DQ52T	DQ19T	DQ9T	
8A	VREFB8A0	IO			DIFFIO_TX_T154n	DIFFOUT_T154n	D33	DQ52T	DQ19T	DQ9T	
8A	VREFB8A0	IO			DIFFIO_RX_T155p	DIFFOUT_T155p	F32	DQS52T	DQ19T/CQn19T	DQ9T	
8A	VREFB8A0	IO	RZO 5		DIFFIO_RX_T155n	DIFFOUT_T155n	F31	DQS52T	DQ19T	DQ9T	
8A	VREFB8A0	IO			DIFFIO_TX_T156p	DIFFOUT_T156p	D34	DQ52T	DQ19T	DQ9T	
8A	VREFB8A0	IO			DIFFIO_TX_T156n	DIFFOUT_T156n	E34	DQ52T	DQ19T	DQ9T	
		GND					AA31				
		GND					AA32				
		GND					AB33				
		GND					AB34				
		GND					AC31				
		GND					AC32				
		GND					AD33				
		GND					AD34				
		GND					AE31				
		GND					AE32				
		GND					AF33				
		GND					AF34				
		GND					AG31				
		GND					AG32				
		GND					AH33				
		GND					AH34				
		GND					AJ31				
		GND					AJ32				
		GND					AK33				
		GND					AK34				
		GND					AL31				
		GND					AL32				
		GND					AM32				
		GND					AM33				
		GND					AM34				



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					F33				
		GND					F34				
		GND					G31				
		GND					G32				
		GND					G33				
		GND					H33				
		GND					H34				
		GND					J31				
		GND					J32				
		GND					K33				
		GND					K34				
		GND					L31				
		GND					L32				
		GND					M33				
		GND					M34				
		GND					N31				
		GND					N32				
		GND					P27				
		GND					P29				
		GND					P33				
		GND					P34				
		GND					R31				
		GND					R32				
		GND					T28				
		GND					T30				
		GND					T33				
		GND					T34				
		GND					U31				
		GND					U32				
		GND					V29				
		GND					V33				
		GND					V34				
		GND					W31				
		GND					W32				
		GND					Y28				
		GND					Y30				
		GND					Y33				
		GND					Y34				
		GND					AA3				
		GND					AA4				
		GND					AB1				
		GND					AB2				
		GND					AC3				
		GND					AC4				
		GND					AD1				
		GND					AD2				
		GND					AE3				
		GND					AE4				
		GND					AF1				
		GND					AF2				
		GND					AG3				
		GND					AG4				
		GND					AH1				
		GND					AH2				
		GND					AJ3				
		GND					AJ4				
		GND					AK1				
		GND					AK2				
		GND					AL3				
		GND					AL4				
		GND					AM1				
		GND					AM2				
		GND					AM3				
		GND					F1				
		GND					F2				
		GND					G2				
		GND					G3				
		GND					G4				
		GND					H1				
		GND					H2				
		GND					J3				
		GND					J4				
		GND					K1				
		GND					K2				



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					L3				
		GND					L4				
		GND					M1				
		GND					M2				
		GND					N3				
		GND					N4				
		GND					P1				
		GND					P2				
		GND					P6				
		GND					R3				
		GND					R4				
		GND					T1				
		GND					T2				
		GND					T5				
		GND					T7				
		GND					U3				
		GND					U4				
		GND					U8				
		GND					V1				
		GND					V2				
		GND					V6				
		GND					W3				
		GND					W4				
		GND					Y1				
		GND					Y2				
		GND					Y5				
		GND					Y7				
		GND					AA11				
		GND					AA16				
		GND					AA19				
		GND					AA23				
		GND					AA26				
		GND					AA7				
		GND					AB17				
		GND					AB30				
		GND					AB5				
		GND					AC10				
		GND					AC13				
		GND					AC16				
		GND					AC19				
		GND					AC22				
		GND					AC25				
		GND					AC7				
		GND					AD30				
		GND					AD5				
		GND					AD12				
		GND					AE15				
		GND					AE18				
		GND					AE21				
		GND					AE24				
		GND					AE27				
		GND					AE6				
		GND					AE9				
		GND					AF30				
		GND					AF5				
		GND					AG11				
		GND					AG14				
		GND					AG17				
		GND					AG20				
		GND					AG23				
		GND					AG26				
		GND					AG29				
		GND					AG8				
		GND					AH30				
		GND					AH5				
		GND					AJ10				
		GND					AJ13				
		GND					AJ16				
		GND					AJ19				
		GND					AJ22				
		GND					AJ25				
		GND					AJ28				
		GND					AJ7				
		GND					AK30				



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					AK5				
		GND					AL12				
		GND					AL15				
		GND					AL18				
		GND					AL21				
		GND					AL24				
		GND					AL27				
		GND					AL6				
		GND					AL9				
		GND					AN11				
		GND					AN14				
		GND					AN17				
		GND					AN20				
		GND					AN23				
		GND					AN26				
		GND					AN29				
		GND					AN32				
		GND					AN5				
		GND					AN8				
		GND					B12				
		GND					B15				
		GND					B18				
		GND					B21				
		GND					B24				
		GND					B27				
		GND					B3				
		GND					B30				
		GND					B33				
		GND					B6				
		GND					B9				
		GND					C1				
		GND					D11				
		GND					D14				
		GND					D17				
		GND					D2				
		GND					D20				
		GND					D23				
		GND					D26				
		GND					D29				
		GND					D32				
		GND					D5				
		GND					D8				
		GND					E33				
		GND					F10				
		GND					F13				
		GND					F16				
		GND					F19				
		GND					F22				
		GND					F25				
		GND					F28				
		GND					F7				
		GND					G30				
		GND					H12				
		GND					H15				
		GND					H18				
		GND					H21				
		GND					H24				
		GND					H27				
		GND					H30				
		GND					H5				
		GND					H6				
		GND					H9				
		GND					K11				
		GND					K23				
		GND					K26				
		GND					K29				
		GND					K30				
		GND					K5				
		GND					K8				
		GND					L14				
		GND					L16				
		GND					L18				
		GND					L20				
		GND					L30				



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					M10				
		GND					M13				
		GND					M17				
		GND					M21				
		GND					M25				
		GND					M28				
		GND					M29				
		GND					M30				
		GND					M5				
		GND					M7				
		GND					N15				
		GND					N20				
		GND					N22				
		GND					N27				
		GND					N8				
		GND					P14				
		GND					P18				
		GND					P23				
		GND					P8				
		GND					P9				
		GND					R12				
		GND					R17				
		GND					R21				
		GND					R25				
		GND					T11				
		GND					T15				
		GND					T26				
		GND					U23				
		GND					U27				
		GND					V12				
		GND					V14				
		GND					V16				
		GND					V18				
		GND					V20				
		GND					V26				
		GND					V9				
		GND					W23				
		GND					Y13				
		GND					Y15				
		GND					Y20				
		GND					Y8				
		GND					U17				
		VCC					L15				
		VCC					L17				
		VCC					L19				
		VCC					L21				
		VCC					V15				
		VCC					V17				
		VCC					V19				
		VCC					V21				
		VCC					M14				
		VCC					M15				
		VCC					M16				
		VCC					M18				
		VCC					M19				
		VCC					M20				
		VCC					N14				
		VCC					N16				
		VCC					N17				
		VCC					N18				
		VCC					N19				
		VCC					N21				
		VCC					P15				
		VCC					P16				
		VCC					P17				
		VCC					P19				
		VCC					P20				
		VCC					P21				
		VCC					R14				
		VCC					R15				
		VCC					R16				
		VCC					R18				
		VCC					R19				
		VCC					R20				



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		VCC					T14				
		VCC					T16				
		VCC					T19				
		VCC					T20				
		VCC					T21				
		VCC					U14				
		VCC					U15				
		VCC					U16				
		VCC					U18				
		VCC					U19				
		VCC					U20				
		VCC					U21				
		VCC					T18				
		VCCPT					AA10				
		VCCPT					AA17				
		VCCPT					AB25				
		VCCPT					K19				
		VCCPT					M11				
		VCCPT					N25				
		DNU					AN33				
		DNU					AP33				
		DNU					AL30				
		DNU					AE17				
		DNU					AP2				
		DNU					AN2				
		DNU					G5				
		DNU					K20				
		DNU					T17				
		VCCPGM					AH28				
		VCCPGM					AK7				
		TEMPDIODEn					M6				
		TEMPDIODEp					L5				
		VCCBAT					AH7				
		VCCIO3A					AM27				
		VCCIO3A					AP29				
		VCCIO3B					AP23				
		VCCIO3B					AP26				
		VCCIO3D					AP17				
		VCCIO4A					AP5				
		VCCIO4B					AM9				
		VCCIO4B					AP8				
		VCCIO4D					AM15				
		VCCIO7A					A3				
		VCCIO7B					A6				
		VCCIO7B					A9				
		VCCIO7C					A12				
		VCCIO7C					A15				
		VCCIO7D					A18				
		VCCIO7D					C20				
		VCCIO8A					A30				
		VCCIO8C					A27				
		VCCIO8C					C26				
		VCCIO8D					A24				
		VCCPD3AB					AM24				
		VCCPD3AB					AM29				
		VCCPD3CD					AL20				
		VCCPD4					AM12				
		VCCPD4					AM8				
		VCCPD7					C14				
		VCCPD7					C18				
		VCCPD7					C8				
		VCCPD8					C24				
		VCCPD8					C30				
3A	VREFB3AN0	VREFB3AN0	VREFB3AN0				AD27				
3B	VREFB3BN0	VREFB3BN0	VREFB3BN0				AD25				
3D	VREFB3DN0	VREFB3DN0	VREFB3DN0				AD19				
4A	VREFB4AN0	VREFB4AN0	VREFB4AN0				AE7				
4B	VREFB4BN0	VREFB4BN0	VREFB4BN0				AD10				
4D	VREFB4DN0	VREFB4DN0	VREFB4DN0				AB16				
7A	VREFB7AN0	VREFB7AN0	VREFB7AN0				C5				
7B	VREFB7BN0	VREFB7BN0	VREFB7BN0				K10				
7C	VREFB7CN0	VREFB7CN0	VREFB7CN0				J11				
7D	VREFB7DN0	VREFB7DN0	VREFB7DN0				J17				
8A	VREFB8AN0	VREFB8AN0	VREFB8AN0				C29				





Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
8C	VREFB8CN0	VREFB8CN0	VREFB8CN0				H26				
8D	VREFB8DN0	VREFB8DN0	VREFB8DN0				J23				
		NC					AD13				
		NC					AD21				
		NC					AP14				
		NC					AP11				
		NC					AP20				
		NC					AM21				
		NC					AF20				
		NC					AF21				
		NC					AD20				
		NC					AE20				
		NC					AC20				
		NC					AC21				
		NC					AA20				
		NC					C11				
		NC					AB20				
		NC					B11				
		NC					Y21				
		NC					B10				
		NC					AA21				
		NC					C10				
		NC					W21				
		NC					A11				
		NC					W20				
		NC					A10				
		NC					AH20				
		NC					A8				
		NC					AJ21				
		NC					B8				
		NC					AJ20				
		NC					C7				
		NC					AK20				
		NC					C6				
		NC					AG21				
		NC					A7				
		NC					AH21				
		NC					B7				
		NC					AF22				
		NC					J7				
		NC					AG22				
		NC					K7				
		NC					AH22				
		NC					H8				
		NC					AH23				
		NC					J8				
		NC					AE23				
		NC					J6				
		NC					AF23				
		NC					K6				
		NC					AD22				
		NC					L8				
		NC					AE22				
		NC					M8				
		NC					AC23				
		NC					V13				
		NC					L6				
		NC					AD23				
		NC					W13				
		NC					L7				
		NC					AB21				
		NC					W14				
		NC					M9				
		NC					AB22				
		NC					Y14				
		NC					N9				
		NC					Y23				
		NC					AA14				
		NC					AA22				
		NC					AB14				
		NC					W22				
		NC					AC14				
		NC					Y22				
		NC					AD14				



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		NC					U22				
		NC					AC15				
		NC					V22				
		NC					AD15				
		NC					AK21				
		NC					AA15				
		NC					AK22				
		NC					AB15				
		NC					AM19				
		NC					AF12				
		NC					AM20				
		NC					AF13				
		NC					AN19				
		NC					AF15				
		NC					AP19				
		NC					AF14				
		NC					AL22				
		NC					AG12				
		NC					AM22				
		NC					AF11				
		NC					AN22				
		NC					AH14				
		NC					AP22				
		NC					AH15				
		NC					AN21				
		NC					AH12				
		NC					AP21				
		NC					AJ12				
		NC					AH13				
		NC					AG13				
		NC					Y12				
		NC					W12				
		NC					U12				
		NC					U13				
		NC					AA13				
		NC					AB13				
		NC					AA12				
		NC					AB12				
		NC					AE14				
		NC					AE13				
		NC					AC12				
		NC					AD12				
		NC					AN12				
		NC					AP12				
		NC					AN13				
		NC					AP13				
		NC					AL13				
		NC					AM13				
		NC					AK12				
		NC					AK13				
		NC					AJ14				
		NC					AK14				
		NC					AL14				
		NC					AM14				
		VCCH_GXBL0					V30				
		VCCH_GXBL1					P30				
		VCCH_GXBR0					V5				
		VCCH_GXBR1					P5				
		VCCR_GXBL0					Y29				
		VCCR_GXBL1					T29				
		VCCR_GXBR0					Y6				
		VCCR_GXBR1					T6				
		VCCT_GXBL0					V28				
		VCCT_GXBL0					W28				
		VCCT_GXBL1					P28				
		VCCT_GXBL1					R28				
		VCCT_GXBR0					V7				
		VCCT_GXBR0					W7				
		VCCT_GXBR1					P7				
		VCCT_GXBR1					R7				
		VCCHIP_L					P22				
		VCCHIP_L					R22				
		VCCHIP_L					T22				
		VCCHIP_R					P13				



**Pin Information for the Stratix® V 5SGSD4 Device**  
**Version 1.1**  
**Note (1)**

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1152	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		VCCHIP_R					R13				
		VCCHIP_R					T13				
		RREF_BL					AN34				
		RREF_BR					AN1				
		RREF_TL					G34				
		RREF_TR					G1				
		VCCA_FPLL					AH29				
		VCCA_FPLL					AC18				
		VCCA_FPLL					AJ6				
		VCCA_FPLL					G6				
		VCCA_FPLL					K17				
		VCCA_FPLL					G29				
		VCCA_FPLL					T27				
		VCCA_FPLL					W27				
		VCCA_FPLL					T8				
		VCCA_FPLL					W8				
		VCCA_GXBL0					U30				
		VCCA_GXBL1					N30				
		VCCA_GXBR0					U5				
		VCCA_GXBR1					N5				
		VCCHSSI_L					P24				
		VCCHSSI_L					R23				
		VCCHSSI_L					T24				
		VCCHSSI_R					P12				
		VCCHSSI_R					R11				
		VCCHSSI_R					T12				
		VCCD_FPLL					AJ29				
		VCCD_FPLL					AD18				
		VCCD_FPLL					AK6				
		VCCD_FPLL					F6				
		VCCD_FPLL					K18				
		VCCD_FPLL					F29				
		VCCD_FPLL					R27				
		VCCD_FPLL					V27				
		VCCD_FPLL					R8				
		VCCD_FPLL					V8				
		VCC_AUX					AG28				
		VCC_AUX					AH19				
		VCC_AUX					AH6				
		VCC_AUX					G18				
		VCC_AUX					H7				
		VCC_AUX					J30				

Notes:

(1) For more information about pin definition and pin connection guidelines, refer to the [Stratix V Device Family Pin Connection Guidelines](#).

(2) The GXB\_REFCLK pin is not supported in the current Quartus II software version, but will be supported in the future Quartus II software release version.



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
GXB L2		REFCLK5Lp					T33				
GXB L2		REFCLK5Ln					T34				
GXB L2		GXB TX L17n					C37				
GXB L2		GXB TX L17p					C36				
GXB L2		GXB RX L17n,GXB REFCLK L17n					D39				
GXB L2		GXB RX L17p,GXB REFCLK L17p					D38				
GXB L2		GXB TX L16n					E37				
GXB L2		GXB TX L16p					E36				
GXB L2		GXB RX L16n,GXB REFCLK L16n					F39				
GXB L2		GXB RX L16p,GXB REFCLK L16p					F38				
GXB L2		GXB TX L15n					G37				
GXB L2		GXB TX L15p					G36				
GXB L2		GXB RX L15n,GXB REFCLK L15n					H39				
GXB L2		GXB RX L15p,GXB REFCLK L15p					H38				
GXB L2		GXB TX L14n					J37				
GXB L2		GXB TX L14p					J36				
GXB L2		GXB RX L14n,GXB REFCLK L14n					K39				
GXB L2		GXB RX L14p,GXB REFCLK L14p					K38				
GXB L2		GXB TX L13n					L37				
GXB L2		GXB TX L13p					L36				
GXB L2		GXB RX L13n,GXB REFCLK L13n					M39				
GXB L2		GXB RX L13p,GXB REFCLK L13p					M38				
GXB L2		GXB TX L12n					N37				
GXB L2		GXB TX L12p					N36				
GXB L2		GXB RX L12n,GXB REFCLK L12n					P39				
GXB L2		GXB RX L12p,GXB REFCLK L12p					P38				
GXB L2		REFCLK4Lp					V34				
GXB L2		REFCLK4Ln					V35				
GXB L1		REFCLK3Lp					Y33				
GXB L1		REFCLK3Ln					Y34				
GXB L1		GXB TX L11n					R37				
GXB L1		GXB TX L11p					R36				
GXB L1		GXB RX L11n,GXB REFCLK L11n					T39				
GXB L1		GXB RX L11p,GXB REFCLK L11p					T38				
GXB L1		GXB TX L10n					U37				
GXB L1		GXB TX L10p					U36				
GXB L1		GXB RX L10n,GXB REFCLK L10n					V39				
GXB L1		GXB RX L10p,GXB REFCLK L10p					V38				
GXB L1		GXB TX L9n					W37				
GXB L1		GXB TX L9p					W36				
GXB L1		GXB RX L9n,GXB REFCLK L9n					Y39				
GXB L1		GXB RX L9p,GXB REFCLK L9p					Y38				
GXB L1		GXB TX L8n					AA37				
GXB L1		GXB TX L8p					AA36				
GXB L1		GXB RX L8n,GXB REFCLK L8n					AB39				
GXB L1		GXB RX L8p,GXB REFCLK L8p					AB38				
GXB L1		GXB TX L7n					AC37				
GXB L1		GXB TX L7p					AC36				
GXB L1		GXB RX L7n,GXB REFCLK L7n					AD39				
GXB L1		GXB RX L7p,GXB REFCLK L7p					AD38				
GXB L1		GXB TX L6n					AE37				
GXB L1		GXB TX L6p					AE36				
GXB L1		GXB RX L6n,GXB REFCLK L6n					AF39				
GXB L1		GXB RX L6p,GXB REFCLK L6p					AF38				
GXB L1		REFCLK2Lp					AB34				
GXB L1		REFCLK2Ln					AB35				
GXB L0		REFCLK1Lp					AD33				
GXB L0		REFCLK1Ln					AD34				
GXB L0		GXB TX L5n					AG37				
GXB L0		GXB TX L5p					AG36				
GXB L0		GXB RX L5n,GXB REFCLK L5n					AH39				
GXB L0		GXB RX L5p,GXB REFCLK L5p					AH38				
GXB L0		GXB TX L4n					AJ37				
GXB L0		GXB TX L4p					AJ36				
GXB L0		GXB RX L4n,GXB REFCLK L4n					AK39				
GXB L0		GXB RX L4p,GXB REFCLK L4p					AK38				
GXB L0		GXB TX L3n					AL37				
GXB L0		GXB TX L3p					AL36				
GXB L0		GXB RX L3n,GXB REFCLK L3n					AM39				
GXB L0		GXB RX L3p,GXB REFCLK L3p					AM38				
GXB L0		GXB TX L2n					AN37				
GXB L0		GXB TX L2p					AN36				
GXB L0		GXB RX L2n,GXB REFCLK L2n					AP39				
GXB L0		GXB RX L2p,GXB REFCLK L2p					AP38				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
GXB_L0		GXB_TX_L1n					AR37				
GXB_L0		GXB_TX_L1p					AR36				
GXB_L0		GXB_RX_L1n,GXB_REFCLK_L1n					AT39				
GXB_L0		GXB_RX_L1p,GXB_REFCLK_L1p					AT38				
GXB_L0		GXB_TX_L0n					AU37				
GXB_L0		GXB_TX_L0p					AU36				
GXB_L0		GXB_RX_L0n,GXB_REFCLK_L0n					AV39				
GXB_L0		GXB_RX_L0p,GXB_REFCLK_L0p					AV38				
GXB_L0		REFCLK0Lp					AF34				
GXB_L0		REFCLK0Ln					AF35				
3A		nCONFIG		nCONFIG			AK35				
3A		TRST		TRST			AM35				
3A		TMS		TMS			AT35				
3A		TCK		TCK			AA31				
3A		TDI		TDI			AJ34				
3A		TDO		TDO			AH34				
3A		nCS0		nCS0			AD32				
3A		AS_DATA3		AS_DATA3			AG32				
3A		AS_DATA2		AS_DATA2			AC32				
3A		AS_DATA1		AS_DATA1			Y31				
3A		AS_DATA0,ASDO		AS_DATA0,ASDO			AB31				
3A		DCLK		DCLK			AC31				
3A	VREFB3AN0	IO		CLKUSR	DIFFIO_TX_B1n	DIFFOUT_B1n	AN34	DQ1B		DQ1B	
3A	VREFB3AN0	IO		CRC_ERROR	DIFFIO_TX_B1p	DIFFOUT_B1p	AN33	DQ1B		DQ1B	
3A	VREFB3AN0	IO	RZQ_0		DIFFIO_RX_B2n	DIFFOUT_B2n	AR34	DQS1B		DQ1B	
3A	VREFB3AN0	IO		DEV_OE	DIFFIO_RX_B2p	DIFFOUT_B2p	AP34	DQS1B		DQ1B/CQn1B	
3A	VREFB3AN0	IO		DEV_CLRn	DIFFIO_TX_B3n	DIFFOUT_B3n	AM34	DQ1B		DQ1B	
3A	VREFB3AN0	IO		INIT_DONE	DIFFIO_TX_B3p	DIFFOUT_B3p	AL34	DQ1B		DQ1B	
3A	VREFB3AN0	IO		nCEO	DIFFIO_RX_B4n	DIFFOUT_B4n	AN32	DQS2B		DQS1B/DO1B	
3A	VREFB3AN0	IO		DATA0	DIFFIO_RX_B4p	DIFFOUT_B4p	AP33	DQS2B		DQS1B/CQ1B	
3A	VREFB3AN0	IO		DATA1	DIFFIO_TX_B5n	DIFFOUT_B5n	AT33	DQ2B		DQ1B	
3A	VREFB3AN0	IO		DATA2	DIFFIO_TX_B5p	DIFFOUT_B5p	AR33	DQ2B		DQ1B	
3A	VREFB3AN0	IO		DATA3	DIFFIO_RX_B6n	DIFFOUT_B6n	AU34	DQ2B		DQ1B	
3A	VREFB3AN0	IO		DATA4	DIFFIO_RX_B6p	DIFFOUT_B6p	AU33	DQ2B		DQ1B	
3A	VREFB3AN0	IO		DATA5	DIFFIO_TX_B7n	DIFFOUT_B7n	AN31	DQ3B		DQ2B	DQ1B
3A	VREFB3AN0	IO		DATA6	DIFFIO_TX_B7p	DIFFOUT_B7p	AM31	DQ3B		DQ2B	DQ1B
3A	VREFB3AN0	IO		DATA7	DIFFIO_RX_B8n	DIFFOUT_B8n	AU32	DQS3B		DQ2B	DQ1B
3A	VREFB3AN0	IO		DATA8	DIFFIO_RX_B8p	DIFFOUT_B8p	AT32	DQS3B		DQ2B/CQn2B	DQ1B
3A	VREFB3AN0	IO		DATA9	DIFFIO_TX_B9n	DIFFOUT_B9n	AR31	DQ3B		DQ2B	DQ1B
3A	VREFB3AN0	IO		DATA10	DIFFIO_TX_B9p	DIFFOUT_B9p	AP31	DQ3B		DQ2B	DQ1B
3A	VREFB3AN0	IO		DATA11	DIFFIO_RX_B10n	DIFFOUT_B10n	AW34	DQS4B		DQS2B/DO2B	DQ1B
3A	VREFB3AN0	IO		DATA12	DIFFIO_RX_B10p	DIFFOUT_B10p	AV34	DQS4B		DQS2B/CQ2B	DQ1B/CQn1B
3A	VREFB3AN0	IO		DATA13	DIFFIO_TX_B11n	DIFFOUT_B11n	AW31	DQ4B		DQ2B	DQ1B
3A	VREFB3AN0	IO		DATA14	DIFFIO_TX_B11p	DIFFOUT_B11p	AV31	DQ4B		DQ2B	DQ1B
3A	VREFB3AN0	IO		DATA15	DIFFIO_RX_B12n	DIFFOUT_B12n	AW32	DQ4B		DQ2B	DQ1B
3A	VREFB3AN0	IO		DATA16	DIFFIO_RX_B12p	DIFFOUT_B12p	AV32	DQ4B		DQ2B	DQ1B
3A	VREFB3AN0	IO		DATA17	DIFFIO_TX_B13n	DIFFOUT_B13n	AJ33	DQ5B		DQ3B	DQ1B
3A	VREFB3AN0	IO		DATA18	DIFFIO_TX_B13p	DIFFOUT_B13p	AH33	DQ5B		DQ3B	DQ1B
3A	VREFB3AN0	IO		DATA19	DIFFIO_RX_B14n	DIFFOUT_B14n	AL33	DQS5B		DQ3B	DQS1B/DO1B
3A	VREFB3AN0	IO		DATA20	DIFFIO_RX_B14p	DIFFOUT_B14p	AK33	DQS5B		DQ3B/CQn3B	DQS1B/CQ1B
3A	VREFB3AN0	IO		DATA21	DIFFIO_TX_B15n	DIFFOUT_B15n	AK32	DQ5B		DQ3B	DQ1B
3A	VREFB3AN0	IO		DATA22	DIFFIO_TX_B15p	DIFFOUT_B15p	AJ32	DQ5B		DQ3B	DQ1B
3A	VREFB3AN0	IO		DATA23	DIFFIO_RX_B16n	DIFFOUT_B16n	AH31	DQS6B		DQS3B/DO3B	DQ1B
3A	VREFB3AN0	IO		DATA24	DIFFIO_RX_B16p	DIFFOUT_B16p	AG31	DQS6B		DQS3B/CQ3B	DQ1B
3A	VREFB3AN0	IO		DATA25	DIFFIO_TX_B17n	DIFFOUT_B17n	AF31	DQ6B		DQ3B	DQ1B
3A	VREFB3AN0	IO		DATA26	DIFFIO_TX_B17p	DIFFOUT_B17p	AE31	DQ6B		DQ3B	DQ1B
3A	VREFB3AN0	IO		DATA27	DIFFIO_RX_B18n	DIFFOUT_B18n	AJ30	DQ6B		DQ3B	DQ1B
3A	VREFB3AN0	IO		DATA28	DIFFIO_RX_B18p	DIFFOUT_B18p	AH30	DQ6B		DQ3B	DQ1B
3B	VREFB3BN0	IO		DATA29	DIFFIO_TX_B19n	DIFFOUT_B19n	AR30	DQ7B		DQ4B	DQ2B
3B	VREFB3BN0	IO		DATA30	DIFFIO_TX_B19p	DIFFOUT_B19p	AP30	DQ7B		DQ4B	DQ2B
3B	VREFB3BN0	IO		DATA31	DIFFIO_RX_B20n	DIFFOUT_B20n	AU30	DQS7B		DQ4B	DQ2B
3B	VREFB3BN0	IO		PR_DONE	DIFFIO_RX_B20p	DIFFOUT_B20p	AT30	DQS7B		DQ4B/CQn4B	DQ2B
3B	VREFB3BN0	IO		PR_REQUEST	DIFFIO_TX_B21n	DIFFOUT_B21n	AN30	DQ7B		DQ4B	DQ2B
3B	VREFB3BN0	IO		PR_READY	DIFFIO_TX_B21p	DIFFOUT_B21p	AN29	DQ7B		DQ4B	DQ2B
3B	VREFB3BN0	IO	CLK0n		DIFFIO_RX_B22n	DIFFOUT_B22n	AW29	DQS8B		DQS4B/DO4B	DQ2B
3B	VREFB3BN0	IO	CLK0p		DIFFIO_RX_B22p	DIFFOUT_B22p	AV29	DQS8B		DQS4B/CQ4B	DQ2B
3B	VREFB3BN0	IO		PR_ERROR	DIFFIO_TX_B23n	DIFFOUT_B23n	AU29	DQ8B		DQ4B	DQ2B
3B	VREFB3BN0	IO		CvP_CONFDONE	DIFFIO_TX_B23p	DIFFOUT_B23p	AT29	DQ8B		DQ4B	DQ2B
3B	VREFB3BN0	IO	CLK1n		DIFFIO_RX_B24n	DIFFOUT_B24n	AW28	DQ8B		DQ4B	DQ2B
3B	VREFB3BN0	IO	CLK1p		DIFFIO_RX_B24p	DIFFOUT_B24p	AV28	DQ8B		DQ4B	DQ2B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT1,FPLL_BL_CLKOUTn		DIFFIO_TX_B25n	DIFFOUT_B25n	AE30	DQ9B		DQ5B	DQ2B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT0,FPLL_BL_CLKOUTp,FPLL_BL_FB0		DIFFIO_TX_B25p	DIFFOUT_B25p	AD30	DQ9B		DQ5B	DQ2B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT3,FPLL_BL_FBn		DIFFIO_RX_B26n	DIFFOUT_B26n	AC30	DQS9B		DQ5B	DQS2B/DO2B
3B	VREFB3BN0	IO	FPLL_BL_CLKOUT2,FPLL_BL_FBp,FPLL_BL_FB1		DIFFIO_RX_B26p	DIFFOUT_B26p	AB30	DQS9B		DQ5B/CQn5B	DQS2B/CQ2B



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
3B	VREFB3BN0	IO		nPERSTL0	DIFFIO_TX_B27n	DIFFOUT_B27n	AC28	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO		nPERSTRO	DIFFIO_TX_B27p	DIFFOUT_B27p	AB28	DQ9B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK2n		DIFFIO_RX_B28n	DIFFOUT_B28n	AG30	DQS10B	DQS5B/DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK2p		DIFFIO_RX_B28p	DIFFOUT_B28p	AF29	DQS10B	DQS5B/CQ5B	DQ2B	DQ1B/CQn1B
3B	VREFB3BN0	IO			DIFFIO_TX_B29n	DIFFOUT_B29n	AE29	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B29p	DIFFOUT_B29p	AF28	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK3n		DIFFIO_RX_B30n	DIFFOUT_B30n	AH28	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO	CLK3p		DIFFIO_RX_B30p	DIFFOUT_B30p	AG28	DQ10B	DQ5B	DQ2B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B31n	DIFFOUT_B31n	AL30	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B31p	DIFFOUT_B31p	AK30	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B32n	DIFFOUT_B32n	AM29	DQS11B	DQ6B	DQ3B	DQS1B/DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B32p	DIFFOUT_B32p	AL29	DQS11B	DQ6B/CQn6B	DQ3B	DQS1B/CQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B33n	DIFFOUT_B33n	AJ29	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B33p	DIFFOUT_B33p	AK29	DQ11B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B34n	DIFFOUT_B34n	AR28	DQS12B	DQS6B/DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B34p	DIFFOUT_B34p	AP28	DQS12B	DQS6B/CQ6B	DQ3B/CQn3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B35n	DIFFOUT_B35n	AL28	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B35p	DIFFOUT_B35p	AL27	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B36n	DIFFOUT_B36n	AN28	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B36p	DIFFOUT_B36p	AM28	DQ12B	DQ6B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B37n	DIFFOUT_B37n	AA27	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B37p	DIFFOUT_B37p	AA26	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B38n	DIFFOUT_B38n	AA29	DQS13B	DQ7B	DQS3B/DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B38p	DIFFOUT_B38p	AA28	DQS13B	DQ7B/CQn7B	DQS3B/CQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B39n	DIFFOUT_B39n	AC27	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B39p	DIFFOUT_B39p	AB27	DQ13B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B40n	DIFFOUT_B40n	AE27	DQS14B	DQS7B/DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B40p	DIFFOUT_B40p	AD27	DQS14B	DQS7B/CQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B41n	DIFFOUT_B41n	AH27	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_TX_B41p	DIFFOUT_B41p	AG27	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B42n	DIFFOUT_B42n	AK27	DQ14B	DQ7B	DQ3B	DQ1B
3B	VREFB3BN0	IO			DIFFIO_RX_B42p	DIFFOUT_B42p	AJ27	DQ14B	DQ7B	DQ3B	DQ1B
3C	VREFB3CN0	IO			DIFFIO_TX_B43n	DIFFOUT_B43n	AU27	DQ15B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B43p	DIFFOUT_B43p	AT27	DQ15B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B44n	DIFFOUT_B44n	AW26	DQS15B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B44p	DIFFOUT_B44p	AV26	DQS15B	DQ8B/CQn8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B45n	DIFFOUT_B45n	AU26	DQ15B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B45p	DIFFOUT_B45p	AT26	DQ15B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B46n	DIFFOUT_B46n	AR27	DQS16B	DQS8B/DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B46p	DIFFOUT_B46p	AP27	DQS16B	DQS8B/CQ8B	DQ4B/CQn4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B47n	DIFFOUT_B47n	AM26	DQ16B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B47p	DIFFOUT_B47p	AL26	DQ16B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B48n	DIFFOUT_B48n	AN27	DQ16B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B48p	DIFFOUT_B48p	AN26	DQ16B	DQ8B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B49n	DIFFOUT_B49n	AE26	DQ17B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B49p	DIFFOUT_B49p	AD26	DQ17B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B50n	DIFFOUT_B50n	AA25	DQS17B	DQ9B	DQS4B/DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B50p	DIFFOUT_B50p	AB25	DQS17B	DQ9B/CQn9B	DQS4B/CQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B51n	DIFFOUT_B51n	AC26	DQ17B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B51p	DIFFOUT_B51p	AC25	DQ17B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B52n	DIFFOUT_B52n	AK26	DQS18B	DQS9B/DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B52p	DIFFOUT_B52p	AJ26	DQS18B	DQS9B/CQ9B	DQ4B	DQ2B/CQn2B
3C	VREFB3CN0	IO			DIFFIO_TX_B53n	DIFFOUT_B53n	AG26	DQ18B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B53p	DIFFOUT_B53p	AF26	DQ18B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B54n	DIFFOUT_B54n	AH25	DQ18B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B54p	DIFFOUT_B54p	AG25	DQ18B	DQ9B	DQ4B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B55n	DIFFOUT_B55n	AW25	DQ19B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B55p	DIFFOUT_B55p	AV25	DQ19B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B56n	DIFFOUT_B56n	AU25	DQS19B	DQ10B	DQ5B	DQS2B/DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B56p	DIFFOUT_B56p	AU24	DQS19B	DQ10B/CQn10B	DQ5B	DQS2B/CQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B57n	DIFFOUT_B57n	AT24	DQ19B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B57p	DIFFOUT_B57p	AR24	DQ19B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B58n	DIFFOUT_B58n	AR25	DQS20B	DQS10B/DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B58p	DIFFOUT_B58p	AP25	DQS20B	DQS10B/CQ10B	DQ5B/CQn5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B59n	DIFFOUT_B59n	AN25	DQ20B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B59p	DIFFOUT_B59p	AM25	DQ20B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B60n	DIFFOUT_B60n	AP24	DQ20B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B60p	DIFFOUT_B60p	AN24	DQ20B	DQ10B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B61n	DIFFOUT_B61n	AC24	DQ21B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B61p	DIFFOUT_B61p	AB24	DQ21B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B62n	DIFFOUT_B62n	AF25	DQS21B	DQ11B	DQS5B/DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B62p	DIFFOUT_B62p	AE25	DQS21B	DQ11B/CQn11B	DQS5B/CQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B63n	DIFFOUT_B63n	AE24	DQ21B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B63p	DIFFOUT_B63p	AD24	DQ21B	DQ11B	DQ5B	DQ2B



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
3C	VREFB3CN0	IO			DIFFIO_RX_B64n	DIFFOUT_B64n	AG24	DQSn22B	DQSn11B/DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B64p	DIFFOUT_B64p	AH24	DQS22B	DQSn11B/CQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B65n	DIFFOUT_B65n	AK24	DQ22B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_TX_B65p	DIFFOUT_B65p	AJ24	DQ22B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B66n	DIFFOUT_B66n	AL24	DQ22B	DQ11B	DQ5B	DQ2B
3C	VREFB3CN0	IO			DIFFIO_RX_B66p	DIFFOUT_B66p	AL25	DQ22B	DQ11B	DQ5B	DQ2B
3D	VREFB3DN0	IO			DIFFIO_TX_B67n	DIFFOUT_B67n	AW23	DQ23B	DQ12B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B67p	DIFFOUT_B67p	AV23	DQ23B	DQ12B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B68n	DIFFOUT_B68n	AW22	DQSn23B	DQ12B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B68p	DIFFOUT_B68p	AV22	DQS23B	DQ12B/CQn12B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B69n	DIFFOUT_B69n	AU23	DQ23B	DQ12B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B69p	DIFFOUT_B69p	AT23	DQ23B	DQ12B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B70n	DIFFOUT_B70n	AR22	DQSn24B	DQSn12B/DQ12B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B70p	DIFFOUT_B70p	AP22	DQS24B	DQSn12B/CQ12B	DQ6B/CQn6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B71n	DIFFOUT_B71n	AN22	DQ24B	DQ12B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B71p	DIFFOUT_B71p	AM22	DQ24B	DQ12B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B72n	DIFFOUT_B72n	AN23	DQ24B	DQ12B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B72p	DIFFOUT_B72p	AM23	DQ24B	DQ12B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B73n	DIFFOUT_B73n	AE23	DQ25B	DQ13B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B73p	DIFFOUT_B73p	AD23	DQ25B	DQ13B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B74n	DIFFOUT_B74n	AG23	DQSn25B	DQ13B	DQSn6B/DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B74p	DIFFOUT_B74p	AF23	DQS25B	DQ13B/CQn13B	DQSn6B/CQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B75n	DIFFOUT_B75n	AE22	DQ25B	DQ13B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B75p	DIFFOUT_B75p	AD22	DQ25B	DQ13B	DQ6B	DQ3B
3D	VREFB3DN0	IO	CLK4n		DIFFIO_RX_B76n	DIFFOUT_B76n	AJ22	DQSn26B	DQSn13B/DQ13B	DQ6B	DQ3B
3D	VREFB3DN0	IO	CLK4p		DIFFIO_RX_B76p	DIFFOUT_B76p	AH22	DQS26B	DQSn13B/CQ13B	DQ6B	DQ3B/CQn3B
3D	VREFB3DN0	IO			DIFFIO_TX_B77n	DIFFOUT_B77n	AG22	DQ26B	DQ13B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B77p	DIFFOUT_B77p	AF22	DQ26B	DQ13B	DQ6B	DQ3B
3D	VREFB3DN0	IO	CLK5n		DIFFIO_RX_B78n	DIFFOUT_B78n	AL23	DQ26B	DQ13B	DQ6B	DQ3B
3D	VREFB3DN0	IO	CLK5p		DIFFIO_RX_B78p	DIFFOUT_B78p	AK23	DQ26B	DQ13B	DQ6B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B79n	DIFFOUT_B79n	AW20	DQ27B	DQ14B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B79p	DIFFOUT_B79p	AV20	DQ27B	DQ14B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B80n	DIFFOUT_B80n	AU21	DQSn27B	DQ14B	DQ7B	DQSn3B/DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B80p	DIFFOUT_B80p	AT21	DQS27B	DQ14B/CQn14B	DQ7B	DQSn3B/CQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B81n	DIFFOUT_B81n	AU20	DQ27B	DQ14B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B81p	DIFFOUT_B81p	AT20	DQ27B	DQ14B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B82n	DIFFOUT_B82n	AR21	DQSn28B	DQSn14B/DQ14B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B82p	DIFFOUT_B82p	AR20	DQS28B	DQSn14B/CQ14B	DQ7B/CQn7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B83n	DIFFOUT_B83n	AM20	DQ28B	DQ14B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B83p	DIFFOUT_B83p	AN20	DQ28B	DQ14B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B84n	DIFFOUT_B84n	AP21	DQ28B	DQ14B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B84p	DIFFOUT_B84p	AN21	DQ28B	DQ14B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B85n	DIFFOUT_B85n	AD21	DQ29B	DQ15B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B85p	DIFFOUT_B85p	AD20	DQ29B	DQ15B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B86n	DIFFOUT_B86n	AG21	DQSn29B	DQ15B	DQSn7B/DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B86p	DIFFOUT_B86p	AH21	DQS29B	DQ15B/CQn15B	DQSn7B/CQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B87n	DIFFOUT_B87n	AE21	DQ29B	DQ15B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B87p	DIFFOUT_B87p	AE20	DQ29B	DQ15B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B88n	DIFFOUT_B88n	AL22	DQSn30B	DQSn15B/DQ15B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B88p	DIFFOUT_B88p	AK21	DQS30B	DQSn15B/CQ15B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B89n	DIFFOUT_B89n	AJ21	DQ30B	DQ15B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_TX_B89p	DIFFOUT_B89p	AJ20	DQ30B	DQ15B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B90n	DIFFOUT_B90n	AL21	DQ30B	DQ15B	DQ7B	DQ3B
3D	VREFB3DN0	IO			DIFFIO_RX_B90p	DIFFOUT_B90p	AL20	DQ30B	DQ15B	DQ7B	DQ3B
4D	VREFB4DN0	IO			DIFFIO_TX_B127n	DIFFOUT_B127n	AH19	DQ43B	DQ16B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B127p	DIFFOUT_B127p	AG19	DQ43B	DQ16B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B128n	DIFFOUT_B128n	AK18	DQSn43B	DQ16B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B128p	DIFFOUT_B128p	AJ19	DQS43B	DQ16B/CQn16B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B129n	DIFFOUT_B129n	AJ18	DQ43B	DQ16B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B129p	DIFFOUT_B129p	AH18	DQ43B	DQ16B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B130n	DIFFOUT_B130n	AG18	DQSn44B	DQSn16B/DQ16B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B130p	DIFFOUT_B130p	AF19	DQS44B	DQSn16B/CQ16B	DQSn8B/CQn8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B131n	DIFFOUT_B131n	AE19	DQ44B	DQ16B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B131p	DIFFOUT_B131p	AE18	DQ44B	DQ16B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B132n	DIFFOUT_B132n	AD17	DQ44B	DQ16B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B132p	DIFFOUT_B132p	AD18	DQ44B	DQ16B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B133n	DIFFOUT_B133n	AM19	DQ45B	DQ17B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B133p	DIFFOUT_B133p	AL18	DQ45B	DQ17B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B134n	DIFFOUT_B134n	AN18	DQSn45B	DQ17B	DQSn8B/DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B134p	DIFFOUT_B134p	AN19	DQS45B	DQ17B/CQn17B	DQSn8B/CQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B135n	DIFFOUT_B135n	AR18	DQ45B	DQ17B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B135p	DIFFOUT_B135p	AP18	DQ45B	DQ17B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B136n	DIFFOUT_B136n	AR19	DQSn46B	DQSn17B/DQ17B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B136p	DIFFOUT_B136p	AP19	DQS46B	DQSn17B/CQ17B	DQ8B	DQ4B/CQn4B



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
4D	VREFB4DN0	IO			DIFFIO_TX_B137n	DIFFOUT_B137n	AU18	DQ46B	DQ17B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B137p	DIFFOUT_B137p	AT18	DQ46B	DQ17B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B138n	DIFFOUT_B138n	AW19	DQ46B	DQ17B	DQ8B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B138p	DIFFOUT_B138p	AV19	DQ46B	DQ17B	DQ8B	DQ4B
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT1,FPLL_BC_CLKOUTn		DIFFIO_TX_B139n	DIFFOUT_B139n	AJ17	DQ47B	DQ18B	DQ9B	DQ4B
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT0,FPLL_BC_CLKOUTp,FPLL_BC_FB0		DIFFIO_TX_B139p	DIFFOUT_B139p	AH16	DQ47B	DQ18B	DQ9B	DQ4B
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT3,FPLL_BC_FBn		DIFFIO_RX_B140n	DIFFOUT_B140n	AL17	DQSn47B	DQ18B	DQ9B	DQSn4B/DQ4B
4D	VREFB4DN0	IO	FPLL_BC_CLKOUT2,FPLL_BC_FBp,FPLL_BC_FB1		DIFFIO_RX_B140p	DIFFOUT_B140p	AK17	DQSn47B	DQ18B/CQn18B	DQ9B	DQSn4B/CQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B141n	DIFFOUT_B141n	AM16	DQ47B	DQ18B	DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B141p	DIFFOUT_B141p	AL16	DQ47B	DQ18B	DQ9B	DQ4B
4D	VREFB4DN0	IO	CLK6n		DIFFIO_RX_B142n	DIFFOUT_B142n	AG17	DQSn48B	DQSn18B/DQ18B	DQ9B	DQ4B
4D	VREFB4DN0	IO	CLK6p		DIFFIO_RX_B142p	DIFFOUT_B142p	AF17	DQSn48B	DQSn18B/CQ18B	DQ9B/CQn9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B143n	DIFFOUT_B143n	AG16	DQ48B	DQ18B	DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B143p	DIFFOUT_B143p	AF16	DQ48B	DQ18B	DQ9B	DQ4B
4D	VREFB4DN0	IO	CLK7n		DIFFIO_RX_B144n	DIFFOUT_B144n	AE16	DQ48B	DQ18B	DQ9B	DQ4B
4D	VREFB4DN0	IO	CLK7p		DIFFIO_RX_B144p	DIFFOUT_B144p	AE17	DQ48B	DQ18B	DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B145n	DIFFOUT_B145n	AN17	DQ49B	DQ19B	DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B145p	DIFFOUT_B145p	AM17	DQ49B	DQ19B	DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B146n	DIFFOUT_B146n	AP16	DQSn49B	DQ19B	DQSn9B/DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B146p	DIFFOUT_B146p	AN16	DQSn49B	DQ19B/CQn19B	DQSn9B/CQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B147n	DIFFOUT_B147n	AT17	DQ49B	DQ19B	DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B147p	DIFFOUT_B147p	AR17	DQ49B	DQ19B	DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B148n	DIFFOUT_B148n	AU16	DQSn50B	DQSn19B/DQ19B	DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B148p	DIFFOUT_B148p	AU17	DQSn50B	DQSn19B/CQ19B	DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B149n	DIFFOUT_B149n	AW16	DQ50B	DQ19B	DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_TX_B149p	DIFFOUT_B149p	AV16	DQ50B	DQ19B	DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B150n	DIFFOUT_B150n	AW17	DQ50B	DQ19B	DQ9B	DQ4B
4D	VREFB4DN0	IO			DIFFIO_RX_B150p	DIFFOUT_B150p	AV17	DQ50B	DQ19B	DQ9B	DQ4B
4C	VREFB4CN0	IO			DIFFIO_TX_B151n	DIFFOUT_B151n	AB15	DQ51B	DQ20B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B151p	DIFFOUT_B151p	AB16	DQ51B	DQ20B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B152n	DIFFOUT_B152n	AD16	DQSn51B	DQ20B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B152p	DIFFOUT_B152p	AC15	DQSn51B	DQ20B/CQn20B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B153n	DIFFOUT_B153n	AA15	DQ51B	DQ20B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B153p	DIFFOUT_B153p	AA14	DQ51B	DQ20B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B154n	DIFFOUT_B154n	AE15	DQSn52B	DQSn20B/DQ20B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B154p	DIFFOUT_B154p	AD15	DQSn52B	DQSn20B/CQn20B	DQ10B/CQn10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B155n	DIFFOUT_B155n	AJ15	DQ52B	DQ20B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B155p	DIFFOUT_B155p	AH15	DQ52B	DQ20B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B156n	DIFFOUT_B156n	AG14	DQ52B	DQ20B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B156p	DIFFOUT_B156p	AG15	DQ52B	DQ20B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B157n	DIFFOUT_B157n	AL15	DQ53B	DQ21B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B157p	DIFFOUT_B157p	AK15	DQ53B	DQ21B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B158n	DIFFOUT_B158n	AL14	DQSn53B	DQ21B	DQSn10B/DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B158p	DIFFOUT_B158p	AK14	DQSn53B	DQ21B/CQn21B	DQSn10B/CQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B159n	DIFFOUT_B159n	AN14	DQ53B	DQ21B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B159p	DIFFOUT_B159p	AM14	DQ53B	DQ21B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B160n	DIFFOUT_B160n	AP15	DQSn54B	DQSn21B/DQ21B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B160p	DIFFOUT_B160p	AN15	DQSn54B	DQSn21B/CQ21B	DQ10B	DQSn5B/CQn5B
4C	VREFB4CN0	IO			DIFFIO_TX_B161n	DIFFOUT_B161n	AR15	DQ54B	DQ21B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B161p	DIFFOUT_B161p	AR14	DQ54B	DQ21B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B162n	DIFFOUT_B162n	AU15	DQ54B	DQ21B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B162p	DIFFOUT_B162p	AT15	DQ54B	DQ21B	DQ10B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B163n	DIFFOUT_B163n	AC13	DQ55B	DQ22B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B163p	DIFFOUT_B163p	AB13	DQ55B	DQ22B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B164n	DIFFOUT_B164n	AD14	DQSn55B	DQ22B	DQ11B	DQSn5B/DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B164p	DIFFOUT_B164p	AC14	DQSn55B	DQ22B/CQn22B	DQ11B	DQSn5B/CQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B165n	DIFFOUT_B165n	AA13	DQ55B	DQ22B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B165p	DIFFOUT_B165p	AA12	DQ55B	DQ22B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B166n	DIFFOUT_B166n	AF14	DQSn56B	DQSn22B/DQ22B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B166p	DIFFOUT_B166p	AE14	DQSn56B	DQSn22B/CQ22B	DQ11B/CQn11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B167n	DIFFOUT_B167n	AJ13	DQ56B	DQ22B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B167p	DIFFOUT_B167p	AH13	DQ56B	DQ22B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B168n	DIFFOUT_B168n	AG13	DQ56B	DQ22B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B168p	DIFFOUT_B168p	AF13	DQ56B	DQ22B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B169n	DIFFOUT_B169n	AM13	DQ57B	DQ23B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B169p	DIFFOUT_B169p	AL13	DQ57B	DQ23B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B170n	DIFFOUT_B170n	AP12	DQSn57B	DQ23B	DQSn11B/DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B170p	DIFFOUT_B170p	AN12	DQSn57B	DQ23B/CQn23B	DQSn11B/CQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B171n	DIFFOUT_B171n	AP13	DQ57B	DQ23B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B171p	DIFFOUT_B171p	AN13	DQ57B	DQ23B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B172n	DIFFOUT_B172n	AU14	DQSn58B	DQSn23B/DQ23B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B172p	DIFFOUT_B172p	AT14	DQSn58B	DQSn23B/CQ23B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B173n	DIFFOUT_B173n	AW14	DQ58B	DQ23B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_TX_B173p	DIFFOUT_B173p	AV14	DQ58B	DQ23B	DQ11B	DQ5B





Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
4C	VREFB4CN0	IO			DIFFIO_RX_B174n	DIFFOUT_B174n	AW13	DQ58B	DQ23B	DQ11B	DQ5B
4C	VREFB4CN0	IO			DIFFIO_RX_B174p	DIFFOUT_B174p	AV13	DQ58B	DQ23B	DQ11B	DQ5B
4B	VREFB4BN0	IO			DIFFIO_TX_B175n	DIFFOUT_B175n	AC12	DQ59B	DQ24B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B175p	DIFFOUT_B175p	AB12	DQ59B	DQ24B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B176n	DIFFOUT_B176n	AE12	DQSn59B	DQ24B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B176p	DIFFOUT_B176p	AD12	DQSn59B	DQ24B/CQn24B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B177n	DIFFOUT_B177n	AE11	DQ59B	DQ24B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B177p	DIFFOUT_B177p	AE10	DQ59B	DQ24B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B178n	DIFFOUT_B178n	AJ12	DQSn60B	DQSn24B/DQ24B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B178p	DIFFOUT_B178p	AH12	DQSn60B	DQSn24B/CQ24B	DQ12B/CQn12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B179n	DIFFOUT_B179n	AF11	DQ60B	DQ24B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B179p	DIFFOUT_B179p	AG12	DQ60B	DQ24B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B180n	DIFFOUT_B180n	AK12	DQ60B	DQ24B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B180p	DIFFOUT_B180p	AL12	DQ60B	DQ24B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B181n	DIFFOUT_B181n	AL11	DQ61B	DQ25B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B181p	DIFFOUT_B181p	AK11	DQ61B	DQ25B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B182n	DIFFOUT_B182n	AR12	DQSn61B	DQ25B	DQSn12B/DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B182p	DIFFOUT_B182p	AR11	DQSn61B	DQ25B/CQn25B	DQSn12B/CQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B183n	DIFFOUT_B183n	AN11	DQ61B	DQ25B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B183p	DIFFOUT_B183p	AM11	DQ61B	DQ25B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B184n	DIFFOUT_B184n	AU12	DQSn62B	DQSn25B/DQ25B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B184p	DIFFOUT_B184p	AT12	DQSn62B	DQSn25B/CQ25B	DQ12B	DQ6B/CQn6B
4B	VREFB4BN0	IO			DIFFIO_TX_B185n	DIFFOUT_B185n	AU11	DQ62B	DQ25B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B185p	DIFFOUT_B185p	AT11	DQ62B	DQ25B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B186n	DIFFOUT_B186n	AW11	DQ62B	DQ25B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B186p	DIFFOUT_B186p	AV11	DQ62B	DQ25B	DQ12B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B187n	DIFFOUT_B187n	AC9	DQ63B	DQ26B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B187p	DIFFOUT_B187p	AB9	DQ63B	DQ26B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B188n	DIFFOUT_B188n	AC10	DQSn63B	DQ26B	DQ13B	DQSn6B/DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B188p	DIFFOUT_B188p	AB10	DQSn63B	DQ26B/CQn26B	DQ13B	DQSn6B/CQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B189n	DIFFOUT_B189n	AE9	DQ63B	DQ26B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B189p	DIFFOUT_B189p	AD9	DQ63B	DQ26B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B190n	DIFFOUT_B190n	AG10	DQSn64B	DQSn26B/DQ26B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B190p	DIFFOUT_B190p	AF10	DQSn64B	DQSn26B/CQ26B	DQ13B/CQn13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B191n	DIFFOUT_B191n	AH9	DQ64B	DQ26B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B191p	DIFFOUT_B191p	AG9	DQ64B	DQ26B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B192n	DIFFOUT_B192n	AJ10	DQ64B	DQ26B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B192p	DIFFOUT_B192p	AH10	DQ64B	DQ26B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B193n	DIFFOUT_B193n	AM10	DQ65B	DQ27B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B193p	DIFFOUT_B193p	AL10	DQ65B	DQ27B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B194n	DIFFOUT_B194n	AP10	DQSn65B	DQ27B	DQSn13B/DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B194p	DIFFOUT_B194p	AN10	DQSn65B	DQ27B/CQn27B	DQSn13B/CQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B195n	DIFFOUT_B195n	AP9	DQ65B	DQ27B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B195p	DIFFOUT_B195p	AN9	DQ65B	DQ27B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B196n	DIFFOUT_B196n	AW10	DQSn66B	DQSn27B/DQ27B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B196p	DIFFOUT_B196p	AV10	DQSn66B	DQSn27B/CQ27B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B197n	DIFFOUT_B197n	AT9	DQ66B	DQ27B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_TX_B197p	DIFFOUT_B197p	AR9	DQ66B	DQ27B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B198n	DIFFOUT_B198n	AU10	DQ66B	DQ27B	DQ13B	DQ6B
4B	VREFB4BN0	IO			DIFFIO_RX_B198p	DIFFOUT_B198p	AU9	DQ66B	DQ27B	DQ13B	DQ6B
4A	VREFB4AN0	IO			DIFFIO_TX_B199n	DIFFOUT_B199n	AW8	DQ67B	DQ28B	DQ14B	DQ6B
4A	VREFB4AN0	IO			DIFFIO_TX_B199p	DIFFOUT_B199p	AV8	DQ67B	DQ28B	DQ14B	DQ6B
4A	VREFB4AN0	IO	CLK11n		DIFFIO_RX_B200n	DIFFOUT_B200n	AW7	DQSn67B	DQ28B	DQ14B	DQ6B
4A	VREFB4AN0	IO	CLK11p		DIFFIO_RX_B200p	DIFFOUT_B200p	AV7	DQSn67B	DQ28B/CQn28B	DQ14B	DQ6B
4A	VREFB4AN0	IO			DIFFIO_TX_B201n	DIFFOUT_B201n	AU8	DQ67B	DQ28B	DQ14B	DQ6B
4A	VREFB4AN0	IO			DIFFIO_TX_B201p	DIFFOUT_B201p	AU7	DQ67B	DQ28B	DQ14B	DQ6B
4A	VREFB4AN0	IO	CLK10n		DIFFIO_RX_B202n	DIFFOUT_B202n	AT8	DQSn68B	DQSn28B/DQ28B	DQ14B	DQ6B
4A	VREFB4AN0	IO	CLK10p		DIFFIO_RX_B202p	DIFFOUT_B202p	AR8	DQSn68B	DQSn28B/CQ28B	DQ14B/CQn14B	DQ6B
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT1,FPLL_BR_CLKOUTn		DIFFIO_TX_B203n	DIFFOUT_B203n	AU6	DQ68B	DQ28B	DQ14B	DQ6B
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT0,FPLL_BR_CLKOUTp,FPLL_BR_FB0		DIFFIO_TX_B203p	DIFFOUT_B203p	AT6	DQ68B	DQ28B	DQ14B	DQ6B
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT3,FPLL_BR_FBn		DIFFIO_RX_B204n	DIFFOUT_B204n	AR7	DQ68B	DQ28B	DQ14B	DQ6B
4A	VREFB4AN0	IO	FPLL_BR_CLKOUT2,FPLL_BR_FBp,FPLL_BR_FB1		DIFFIO_RX_B204p	DIFFOUT_B204p	AP7	DQ68B	DQ28B	DQ14B	DQ6B
4A	VREFB4AN0	IO			DIFFIO_TX_B205n	DIFFOUT_B205n	AR6	DQ69B	DQ29B	DQ14B	DQ6B
4A	VREFB4AN0	IO			DIFFIO_TX_B205p	DIFFOUT_B205p	AP6	DQ69B	DQ29B	DQ14B	DQ6B
4A	VREFB4AN0	IO	CLK9n		DIFFIO_RX_B206n	DIFFOUT_B206n	AN7	DQSn69B	DQ29B	DQSn14B/DQ14B	DQ6B
4A	VREFB4AN0	IO	CLK9p		DIFFIO_RX_B206p	DIFFOUT_B206p	AN6	DQSn69B	DQ29B/CQn29B	DQSn14B/CQ14B	DQ6B
4A	VREFB4AN0	IO			DIFFIO_TX_B207n	DIFFOUT_B207n	AM8	DQ69B	DQ29B	DQ14B	DQ6B
4A	VREFB4AN0	IO			DIFFIO_TX_B207p	DIFFOUT_B207p	AN8	DQ69B	DQ29B	DQ14B	DQ6B
4A	VREFB4AN0	IO	CLK8n		DIFFIO_RX_B208n	DIFFOUT_B208n	AM7	DQSn70B	DQSn29B/DQ29B	DQ14B	DQ6B
4A	VREFB4AN0	IO	CLK8p		DIFFIO_RX_B208p	DIFFOUT_B208p	AL7	DQSn70B	DQSn29B/CQ29B	DQ14B	DQ6B
4A	VREFB4AN0	IO			DIFFIO_TX_B209n	DIFFOUT_B209n	AJ7	DQ70B	DQ29B	DQ14B	DQ6B
4A	VREFB4AN0	IO			DIFFIO_TX_B209p	DIFFOUT_B209p	AJ6	DQ70B	DQ29B	DQ14B	DQ6B
4A	VREFB4AN0	IO			DIFFIO_RX_B210n	DIFFOUT_B210n	AL6	DQ70B	DQ29B	DQ14B	DQ6B
4A	VREFB4AN0	IO	RZQ_1		DIFFIO_RX_B210p	DIFFOUT_B210p	AK6	DQ70B	DQ29B	DQ14B	DQ6B



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
4A		GND					AT5				
4A		nCE		nCE			AC8				
4A		nSTATUS		nSTATUS			AM5				
4A		CONF_DONE		CONF_DONE			AH6				
4A		nIO_PULLUP		nIO_PULLUP			AK5				
4A		MSEL0		MSEL0			AA9				
4A		MSEL1		MSEL1			AA10				
4A		MSEL2		MSEL2			AD8				
4A		MSEL3		MSEL3			AG8				
4A		MSEL4		MSEL4			AH7				
GXB_R0		REFCLK0Rn					AF5				
GXB_R0		REFCLK0Rp					AF6				
GXB_R0		GXB_RX_R0p,GXB_REFCLK_R0p					AV2				
GXB_R0		GXB_RX_R0n,GXB_REFCLK_R0n					AV1				
GXB_R0		GXB_TX_R0p					AU4				
GXB_R0		GXB_TX_R0n					AU3				
GXB_R0		GXB_RX_R1p,GXB_REFCLK_R1p					AT2				
GXB_R0		GXB_RX_R1n,GXB_REFCLK_R1n					AT1				
GXB_R0		GXB_TX_R1p					AR4				
GXB_R0		GXB_TX_R1n					AR3				
GXB_R0		GXB_RX_R2p,GXB_REFCLK_R2p					AP2				
GXB_R0		GXB_RX_R2n,GXB_REFCLK_R2n					AP1				
GXB_R0		GXB_TX_R2p					AN4				
GXB_R0		GXB_TX_R2n					AN3				
GXB_R0		GXB_RX_R3p,GXB_REFCLK_R3p					AM2				
GXB_R0		GXB_RX_R3n,GXB_REFCLK_R3n					AM1				
GXB_R0		GXB_TX_R3p					AL4				
GXB_R0		GXB_TX_R3n					AL3				
GXB_R0		GXB_RX_R4p,GXB_REFCLK_R4p					AK2				
GXB_R0		GXB_RX_R4n,GXB_REFCLK_R4n					AK1				
GXB_R0		GXB_TX_R4p					AJ4				
GXB_R0		GXB_TX_R4n					AJ3				
GXB_R0		GXB_RX_R5p,GXB_REFCLK_R5p					AH2				
GXB_R0		GXB_RX_R5n,GXB_REFCLK_R5n					AH1				
GXB_R0		GXB_TX_R5p					AG4				
GXB_R0		GXB_TX_R5n					AG3				
GXB_R0		REFCLK1Rn					AD6				
GXB_R0		REFCLK1Rp					AD7				
GXB_R1		REFCLK2Rn					AB5				
GXB_R1		REFCLK2Rp					AB6				
GXB_R1		GXB_RX_R6p,GXB_REFCLK_R6p					AF2				
GXB_R1		GXB_RX_R6n,GXB_REFCLK_R6n					AF1				
GXB_R1		GXB_TX_R6p					AE4				
GXB_R1		GXB_TX_R6n					AE3				
GXB_R1		GXB_RX_R7p,GXB_REFCLK_R7p					AD2				
GXB_R1		GXB_RX_R7n,GXB_REFCLK_R7n					AD1				
GXB_R1		GXB_TX_R7p					AC4				
GXB_R1		GXB_TX_R7n					AC3				
GXB_R1		GXB_RX_R8p,GXB_REFCLK_R8p					AB2				
GXB_R1		GXB_RX_R8n,GXB_REFCLK_R8n					AB1				
GXB_R1		GXB_TX_R8p					AA4				
GXB_R1		GXB_TX_R8n					AA3				
GXB_R1		GXB_RX_R9p,GXB_REFCLK_R9p					Y2				
GXB_R1		GXB_RX_R9n,GXB_REFCLK_R9n					Y1				
GXB_R1		GXB_TX_R9p					W4				
GXB_R1		GXB_TX_R9n					W3				
GXB_R1		GXB_RX_R10p,GXB_REFCLK_R10p					V2				
GXB_R1		GXB_RX_R10n,GXB_REFCLK_R10n					V1				
GXB_R1		GXB_TX_R10p					U4				
GXB_R1		GXB_TX_R10n					U3				
GXB_R1		GXB_RX_R11p,GXB_REFCLK_R11p					T2				
GXB_R1		GXB_RX_R11n,GXB_REFCLK_R11n					T1				
GXB_R1		GXB_TX_R11p					R4				
GXB_R1		GXB_TX_R11n					R3				
GXB_R1		REFCLK3Rn					Y6				
GXB_R1		REFCLK3Rp					Y7				
GXB_R2		REFCLK4Rn					V5				
GXB_R2		REFCLK4Rp					V6				
GXB_R2		GXB_RX_R12p,GXB_REFCLK_R12p					P2				
GXB_R2		GXB_RX_R12n,GXB_REFCLK_R12n					P1				
GXB_R2		GXB_TX_R12p					N4				
GXB_R2		GXB_TX_R12n					N3				
GXB_R2		GXB_RX_R13p,GXB_REFCLK_R13p					M2				
GXB_R2		GXB_RX_R13n,GXB_REFCLK_R13n					M1				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
GXB R2		GXB TX R13p					L4				
GXB R2		GXB TX R13n					L3				
GXB R2		GXB RX R14p,GXB REFCLK R14p					K2				
GXB R2		GXB RX R14n,GXB REFCLK R14n					K1				
GXB R2		GXB TX R14p					J4				
GXB R2		GXB TX R14n					J3				
GXB R2		GXB RX R15p,GXB REFCLK R15p					H2				
GXB R2		GXB RX R15n,GXB REFCLK R15n					H1				
GXB R2		GXB TX R15p					G4				
GXB R2		GXB TX R15n					G3				
GXB R2		GXB RX R16p,GXB REFCLK R16p					F2				
GXB R2		GXB RX R16n,GXB REFCLK R16n					F1				
GXB R2		GXB TX R16p					E4				
GXB R2		GXB TX R16n					E3				
GXB R2		GXB RX R17p,GXB REFCLK R17p					D2				
GXB R2		GXB RX R17n,GXB REFCLK R17n					D1				
GXB R2		GXB TX R17p					C4				
GXB R2		GXB TX R17n					C3				
GXB R2		REFCLK5Rn					T6				
GXB R2		REFCLK5Rp					T7				
7A		GND					M5				
7A	VREFB7A0	IO	RZQ_4		DIFFIO_RX_T1p	DIFFOUT_T1p	J6	DQ1T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_RX_T1n	DIFFOUT_T1n	H7	DQ1T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T2p	DIFFOUT_T2p	J7	DQ1T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T2n	DIFFOUT_T2n	K7	DQ1T	DQ1T	DQ1T	
7A	VREFB7A0	IO	CLK12p		DIFFIO_RX_T3p	DIFFOUT_T3p	G7	DQS1T	DQS1T/CQ1T	DQ1T	
7A	VREFB7A0	IO	CLK12n		DIFFIO_RX_T3n	DIFFOUT_T3n	G6	DQSn1T	DQSn1T/DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T4p	DIFFOUT_T4p	M8	DQ2T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T4n	DIFFOUT_T4n	N6	DQ2T	DQ1T	DQ1T	
7A	VREFB7A0	IO	CLK13p		DIFFIO_RX_T5p	DIFFOUT_T5p	L6	DQS2T	DQ1T/CQn1T	DQS1T/CQ1T	
7A	VREFB7A0	IO	CLK13n		DIFFIO_RX_T5n	DIFFOUT_T5n	K6	DQSn2T	DQ1T	DQSn1T/DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T6p	DIFFOUT_T6p	P7	DQ2T	DQ1T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T6n	DIFFOUT_T6n	N7	DQ2T	DQ1T	DQ1T	
7A	VREFB7A0	IO		FPLL_TR_CLKOUT2,FPLL_TR_FBp,FPLL_TR_FB1	DIFFIO_RX_T7p	DIFFOUT_T7p	A3	DQ3T	DQ2T	DQ1T	
7A	VREFB7A0	IO		FPLL_TR_CLKOUT3,FPLL_TR_FBn	DIFFIO_RX_T7n	DIFFOUT_T7n	A4	DQ3T	DQ2T	DQ1T	
7A	VREFB7A0	IO		FPLL_TR_CLKOUT0,FPLL_TR_CLKOUTp,FPLL_TR_FB0	DIFFIO_TX_T8p	DIFFOUT_T8p	A6	DQ3T	DQ2T	DQ1T	
7A	VREFB7A0	IO		FPLL_TR_CLKOUT1,FPLL_TR_CLKOUTn	DIFFIO_TX_T8n	DIFFOUT_T8n	A5	DQ3T	DQ2T	DQ1T	
7A	VREFB7A0	IO	CLK14p		DIFFIO_RX_T9p	DIFFOUT_T9p	B7	DQS3T	DQS2T/CQ2T	DQ1T/CQn1T	
7A	VREFB7A0	IO	CLK14n		DIFFIO_RX_T9n	DIFFOUT_T9n	A7	DQSn3T	DQSn2T/DQ2T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T10p	DIFFOUT_T10p	E6	DQ4T	DQ2T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T10n	DIFFOUT_T10n	D6	DQ4T	DQ2T	DQ1T	
7A	VREFB7A0	IO	CLK15p		DIFFIO_RX_T11p	DIFFOUT_T11p	D7	DQS4T	DQ2T/CQn2T	DQ1T	
7A	VREFB7A0	IO	CLK15n		DIFFIO_RX_T11n	DIFFOUT_T11n	C7	DQSn4T	DQ2T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T12p	DIFFOUT_T12p	F6	DQ4T	DQ2T	DQ1T	
7A	VREFB7A0	IO			DIFFIO_TX_T12n	DIFFOUT_T12n	E7	DQ4T	DQ2T	DQ1T	
7B	VREFB7B0	IO			DIFFIO_RX_T13p	DIFFOUT_T13p	F8	DQ5T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T13n	DIFFOUT_T13n	E8	DQ5T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T14p	DIFFOUT_T14p	G9	DQ5T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T14n	DIFFOUT_T14n	G8	DQ5T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T15p	DIFFOUT_T15p	G10	DQS5T	DQS3T/CQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T15n	DIFFOUT_T15n	F9	DQSn5T	DQSn3T/DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T16p	DIFFOUT_T16p	A8	DQ6T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T16n	DIFFOUT_T16n	B8	DQ6T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T17p	DIFFOUT_T17p	C8	DQS6T	DQ3T/CQn3T	DQS2T/CQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T17n	DIFFOUT_T17n	C9	DQSn6T	DQ3T	DQSn2T/DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T18p	DIFFOUT_T18p	E9	DQ6T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T18n	DIFFOUT_T18n	D9	DQ6T	DQ3T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T19p	DIFFOUT_T19p	M8	DQ7T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T19n	DIFFOUT_T19n	L8	DQ7T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T20p	DIFFOUT_T20p	K9	DQ7T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T20n	DIFFOUT_T20n	J9	DQ7T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T21p	DIFFOUT_T21p	M9	DQS7T	DQS4T/CQ4T	DQ2T/CQn2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T21n	DIFFOUT_T21n	L9	DQSn7T	DQSn4T/DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T22p	DIFFOUT_T22p	N8	DQ8T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T22n	DIFFOUT_T22n	N9	DQ8T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T23p	DIFFOUT_T23p	T9	DQS8T	DQ4T/CQn4T	DQ2T	DQS1T/CQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T23n	DIFFOUT_T23n	R9	DQSn8T	DQ4T	DQ2T	DQSn1T/DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T24p	DIFFOUT_T24p	R8	DQ8T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T24n	DIFFOUT_T24n	P8	DQ8T	DQ4T	DQ2T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T25p	DIFFOUT_T25p	H11	DQ9T	DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T25n	DIFFOUT_T25n	G11	DQ9T	DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T26p	DIFFOUT_T26p	J10	DQ9T	DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_TX_T26n	DIFFOUT_T26n	H10	DQ9T	DQ5T	DQ3T	DQ1T
7B	VREFB7B0	IO			DIFFIO_RX_T27p	DIFFOUT_T27p	F11	DQS9T	DQS5T/CQ5T	DQ3T	DQ1T/CQn1T



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
7B	VREFB7BN0	IO			DIFFIO_RX_T27n	DIFFOUT_T27n	E11	DQSn9T	DQSn5T/DQ5T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_TX_T28p	DIFFOUT_T28p	D10	DQ10T	DQ5T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_TX_T28n	DIFFOUT_T28n	C10	DQ10T	DQ5T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_RX_T29p	DIFFOUT_T29p	B10	DQSn10T	DQ5T/CQn5T	DQSn3T/CQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_RX_T29n	DIFFOUT_T29n	A10	DQSn10T	DQ5T	DQSn3T/DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_TX_T30p	DIFFOUT_T30p	B11	DQ10T	DQ5T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_TX_T30n	DIFFOUT_T30n	A11	DQ10T	DQ5T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_RX_T31p	DIFFOUT_T31p	K10	DQ11T	DQ6T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_RX_T31n	DIFFOUT_T31n	J11	DQ11T	DQ6T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_TX_T32p	DIFFOUT_T32p	P10	DQ11T	DQ6T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_TX_T32n	DIFFOUT_T32n	N10	DQ11T	DQ6T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_RX_T33p	DIFFOUT_T33p	M11	DQSn11T	DQSn6T/CQ6T	DQ3T/CQn3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_RX_T33n	DIFFOUT_T33n	L11	DQSn11T	DQSn6T/DQ6T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_TX_T34p	DIFFOUT_T34p	T10	DQ12T	DQ6T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_TX_T34n	DIFFOUT_T34n	R10	DQ12T	DQ6T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_RX_T35p	DIFFOUT_T35p	R11	DQSn12T	DQ6T/CQn6T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_RX_T35n	DIFFOUT_T35n	P11	DQSn12T	DQ6T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_TX_T36p	DIFFOUT_T36p	U10	DQ12T	DQ6T	DQ3T	DQ1T
7B	VREFB7BN0	IO			DIFFIO_TX_T36n	DIFFOUT_T36n	U9	DQ12T	DQ6T	DQ3T	DQ1T
7C	VREFB7CN0	IO			DIFFIO_RX_T37p	DIFFOUT_T37p	B13	DQ13T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T37n	DIFFOUT_T37n	A13	DQ13T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T38p	DIFFOUT_T38p	D12	DQ13T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T38n	DIFFOUT_T38n	C12	DQ13T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T39p	DIFFOUT_T39p	D13	DQSn13T	DQSn7T/CQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T39n	DIFFOUT_T39n	C13	DQSn13T	DQSn7T/DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T40p	DIFFOUT_T40p	G12	DQ14T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T40n	DIFFOUT_T40n	G13	DQ14T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T41p	DIFFOUT_T41p	F12	DQSn14T	DQ7T/CQn7T	DQSn4T/CQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T41n	DIFFOUT_T41n	E12	DQSn14T	DQ7T	DQSn4T/DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T42p	DIFFOUT_T42p	J13	DQ14T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T42n	DIFFOUT_T42n	H13	DQ14T	DQ7T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T43p	DIFFOUT_T43p	M12	DQ15T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T43n	DIFFOUT_T43n	L12	DQ15T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T44p	DIFFOUT_T44p	K12	DQ15T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T44n	DIFFOUT_T44n	J12	DQ15T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T45p	DIFFOUT_T45p	L13	DQSn15T	DQSn8T/CQ8T	DQ4T/CQn4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T45n	DIFFOUT_T45n	K13	DQSn15T	DQSn8T/DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T46p	DIFFOUT_T46p	N13	DQ16T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T46n	DIFFOUT_T46n	N12	DQ16T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T47p	DIFFOUT_T47p	U11	DQSn16T	DQ8T/CQn8T	DQ4T	DQSn2T/CQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T47n	DIFFOUT_T47n	T12	DQSn16T	DQ8T	DQ4T	DQSn2T/DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T48p	DIFFOUT_T48p	R12	DQ16T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T48n	DIFFOUT_T48n	P13	DQ16T	DQ8T	DQ4T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T49p	DIFFOUT_T49p	C14	DQ17T	DQ8T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T49n	DIFFOUT_T49n	C15	DQ17T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T50p	DIFFOUT_T50p	B14	DQ17T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T50n	DIFFOUT_T50n	A14	DQ17T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T51p	DIFFOUT_T51p	E15	DQSn17T	DQSn9T/CQ9T	DQ5T	DQSn2T/CQn2T
7C	VREFB7CN0	IO			DIFFIO_RX_T51n	DIFFOUT_T51n	D15	DQSn17T	DQSn9T/DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T52p	DIFFOUT_T52p	F14	DQ18T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T52n	DIFFOUT_T52n	E14	DQ18T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T53p	DIFFOUT_T53p	G15	DQSn18T	DQ9T/CQn9T	DQSn5T/CQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T53n	DIFFOUT_T53n	F15	DQSn18T	DQ9T	DQSn5T/DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T54p	DIFFOUT_T54p	H14	DQ18T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T54n	DIFFOUT_T54n	G14	DQ18T	DQ9T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T55p	DIFFOUT_T55p	U13	DQ19T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T55n	DIFFOUT_T55n	U12	DQ19T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T56p	DIFFOUT_T56p	T13	DQ19T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T56n	DIFFOUT_T56n	U14	DQ19T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T57p	DIFFOUT_T57p	R14	DQSn19T	DQSn10T/CQ10T	DQ5T/CQn5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T57n	DIFFOUT_T57n	P14	DQSn19T	DQSn10T/DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T58p	DIFFOUT_T58p	N14	DQ20T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T58n	DIFFOUT_T58n	M14	DQ20T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T59p	DIFFOUT_T59p	J14	DQSn20T	DQ10T/CQn10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_RX_T59n	DIFFOUT_T59n	J15	DQSn20T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T60p	DIFFOUT_T60p	L15	DQ20T	DQ10T	DQ5T	DQ2T
7C	VREFB7CN0	IO			DIFFIO_TX_T60n	DIFFOUT_T60n	K15	DQ20T	DQ10T	DQ5T	DQ2T
7D	VREFB7DN0	IO			DIFFIO_RX_T61p	DIFFOUT_T61p	B17	DQ21T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T61n	DIFFOUT_T61n	A17	DQ21T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T62p	DIFFOUT_T62p	B16	DQ21T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T62n	DIFFOUT_T62n	A16	DQ21T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T63p	DIFFOUT_T63p	D16	DQSn21T	DQSn11T/CQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T63n	DIFFOUT_T63n	C16	DQSn21T	DQSn11T/DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T64p	DIFFOUT_T64p	F17	DQ22T	DQ11T	DQ6T	DQ3T



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
7D	VREFB7DN0	IO			DIFFIO_TX_T64n	DIFFOUT_T64n	E17	DQ22T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T65p	DIFFOUT_T65p	H16	DQS22T	DQ11T/CQn11T	DQS6T/CQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T65n	DIFFOUT_T65n	G16	DQSn22T	DQ11T	DQSn6T/DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T66p	DIFFOUT_T66p	H17	DQ22T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T66n	DIFFOUT_T66n	G17	DQ22T	DQ11T	DQ6T	DQ3T
7D	VREFB7DN0	IO	CLK19p		DIFFIO_RX_T67p	DIFFOUT_T67p	U15	DQ23T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO	CLK19n		DIFFIO_RX_T67n	DIFFOUT_T67n	T16	DQ23T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T68p	DIFFOUT_T68p	T15	DQ23T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T68n	DIFFOUT_T68n	R15	DQ23T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO	CLK18p		DIFFIO_RX_T69p	DIFFOUT_T69p	P16	DQS23T	DQS12T/CQ12T	DQ6T/CQn6T	DQ3T
7D	VREFB7DN0	IO	CLK18n		DIFFIO_RX_T69n	DIFFOUT_T69n	N16	DQSn23T	DQSn12T/DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T70p	DIFFOUT_T70p	N15	DQ24T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T70n	DIFFOUT_T70n	M15	DQ24T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT2,FPLL_TC_FBp,FPLL_TC_FB1		DIFFIO_RX_T71p	DIFFOUT_T71p	J16	DQS24T	DQ12T/CQn12T	DQ6T	DQS3T/CQ3T
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT3,FPLL_TC_FBn		DIFFIO_RX_T71n	DIFFOUT_T71n	J17	DQSn24T	DQ12T	DQ6T	DQSn3T/DQ3T
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT0,FPLL_TC_CLKOUTp,FPLL_TC_FB0		DIFFIO_TX_T72p	DIFFOUT_T72p	L16	DQ24T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO	FPLL_TC_CLKOUT1,FPLL_TC_CLKOUTn		DIFFIO_TX_T72n	DIFFOUT_T72n	K16	DQ24T	DQ12T	DQ6T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T73p	DIFFOUT_T73p	B19	DQ25T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T73n	DIFFOUT_T73n	A19	DQ25T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T74p	DIFFOUT_T74p	D18	DQ25T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T74n	DIFFOUT_T74n	C18	DQ25T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T75p	DIFFOUT_T75p	D19	DQS25T	DQS13T/CQ13T	DQ7T	DQ3T/CQn3T
7D	VREFB7DN0	IO			DIFFIO_RX_T75n	DIFFOUT_T75n	C19	DQSn25T	DQSn13T/DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T76p	DIFFOUT_T76p	E18	DQ26T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T76n	DIFFOUT_T76n	E19	DQ26T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T77p	DIFFOUT_T77p	G18	DQS26T	DQ13T/CQn13T	DQS7T/CQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T77n	DIFFOUT_T77n	F18	DQSn26T	DQ13T	DQSn7T/DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T78p	DIFFOUT_T78p	H19	DQ26T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T78n	DIFFOUT_T78n	G19	DQ26T	DQ13T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T79p	DIFFOUT_T79p	N17	DQ27T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T79n	DIFFOUT_T79n	M17	DQ27T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T80p	DIFFOUT_T80p	R16	DQ27T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T80n	DIFFOUT_T80n	P17	DQ27T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T81p	DIFFOUT_T81p	N18	DQS27T	DQS14T/CQ14T	DQ7T/CQn7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T81n	DIFFOUT_T81n	N19	DQSn27T	DQSn14T/DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T82p	DIFFOUT_T82p	M18	DQ28T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T82n	DIFFOUT_T82n	L18	DQ28T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T83p	DIFFOUT_T83p	K18	DQS28T	DQ14T/CQn14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_RX_T83n	DIFFOUT_T83n	J18	DQSn28T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T84p	DIFFOUT_T84p	K19	DQ28T	DQ14T	DQ7T	DQ3T
7D	VREFB7DN0	IO			DIFFIO_TX_T84n	DIFFOUT_T84n	L19	DQ28T	DQ14T	DQ7T	DQ3T
8D	VREFB8DN0	IO			DIFFIO_RX_T121p	DIFFOUT_T121p	K21	DQ41T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T121n	DIFFOUT_T121n	J21	DQ41T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T122p	DIFFOUT_T122p	M20	DQ41T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T122n	DIFFOUT_T122n	L20	DQ41T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T123p	DIFFOUT_T123p	K22	DQS41T	DQS15T/CQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T123n	DIFFOUT_T123n	J22	DQSn41T	DQSn15T/DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T124p	DIFFOUT_T124p	M21	DQ42T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T124n	DIFFOUT_T124n	L21	DQ42T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T125p	DIFFOUT_T125p	P22	DQS42T	DQ15T/CQn15T	DQS8T/CQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T125n	DIFFOUT_T125n	N22	DQSn42T	DQ15T	DQSn8T/DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T126p	DIFFOUT_T126p	N20	DQ42T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T126n	DIFFOUT_T126n	N21	DQ42T	DQ15T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T127p	DIFFOUT_T127p	F20	DQ43T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T127n	DIFFOUT_T127n	E20	DQ43T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T128p	DIFFOUT_T128p	H20	DQ43T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T128n	DIFFOUT_T128n	G20	DQ43T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T129p	DIFFOUT_T129p	G21	DQS43T	DQS16T/CQ16T	DQ8T/CQn8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T129n	DIFFOUT_T129n	F21	DQSn43T	DQSn16T/DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T130p	DIFFOUT_T130p	C20	DQ44T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T130n	DIFFOUT_T130n	C21	DQ44T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T131p	DIFFOUT_T131p	E21	DQS44T	DQ16T/CQn16T	DQ8T	DQS4T/CQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T131n	DIFFOUT_T131n	D21	DQSn44T	DQ16T	DQ8T	DQSn4T/DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T132p	DIFFOUT_T132p	B20	DQ44T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T132n	DIFFOUT_T132n	A20	DQ44T	DQ16T	DQ8T	DQ4T
8D	VREFB8DN0	IO	CLK17p		DIFFIO_RX_T133p	DIFFOUT_T133p	M23	DQ45T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO	CLK17n		DIFFIO_RX_T133n	DIFFOUT_T133n	L23	DQ45T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T134p	DIFFOUT_T134p	L24	DQ45T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T134n	DIFFOUT_T134n	K24	DQ45T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO	CLK16p		DIFFIO_RX_T135p	DIFFOUT_T135p	J23	DQS45T	DQS17T/CQ17T	DQ9T	DQ4T/CQn4T
8D	VREFB8DN0	IO	CLK16n		DIFFIO_RX_T135n	DIFFOUT_T135n	J24	DQSn45T	DQSn17T/DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T136p	DIFFOUT_T136p	P23	DQ46T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T136n	DIFFOUT_T136n	N23	DQ46T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T137p	DIFFOUT_T137p	N24	DQS46T	DQ17T/CQn17T	DQS9T/CQ9T	DQ4T



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
8D	VREFB8DN0	IO			DIFFIO_RX_T137n	DIFFOUT_T137n	M24	DQSn46T	DQ17T	DQSn9T/DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T138p	DIFFOUT_T138p	T24	DQ46T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T138n	DIFFOUT_T138n	R24	DQ46T	DQ17T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T139p	DIFFOUT_T139p	H23	DQ47T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T139n	DIFFOUT_T139n	G23	DQ47T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T140p	DIFFOUT_T140p	H22	DQ47T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T140n	DIFFOUT_T140n	G22	DQ47T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T141p	DIFFOUT_T141p	F23	DQS47T	DQS18T/CQ18T	DQ9T/CQn9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T141n	DIFFOUT_T141n	E23	DQS47T	DQS18T/DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T142p	DIFFOUT_T142p	C22	DQ48T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T142n	DIFFOUT_T142n	D22	DQ48T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T143p	DIFFOUT_T143p	B22	DQS48T	DQ18T/CQn18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_RX_T143n	DIFFOUT_T143n	A22	DQS48T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T144p	DIFFOUT_T144p	B23	DQ48T	DQ18T	DQ9T	DQ4T
8D	VREFB8DN0	IO			DIFFIO_TX_T144n	DIFFOUT_T144n	A23	DQ48T	DQ18T	DQ9T	DQ4T
8C	VREFB8CN0	IO			DIFFIO_RX_T145p	DIFFOUT_T145p	P25	DQ49T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T145n	DIFFOUT_T145n	N25	DQ49T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T146p	DIFFOUT_T146p	U25	DQ49T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T146n	DIFFOUT_T146n	T25	DQ49T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T147p	DIFFOUT_T147p	R25	DQS49T	DQS19T/CQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T147n	DIFFOUT_T147n	R26	DQS49T	DQS19T/DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T148p	DIFFOUT_T148p	P26	DQ50T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T148n	DIFFOUT_T148n	N26	DQ50T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T149p	DIFFOUT_T149p	M26	DQS50T	DQ19T/CQn19T	DQS10T/CQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T149n	DIFFOUT_T149n	L26	DQS50T	DQ19T	DQS10T/DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T150p	DIFFOUT_T150p	K25	DQ50T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T150n	DIFFOUT_T150n	J25	DQ50T	DQ19T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T151p	DIFFOUT_T151p	G24	DQ51T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T151n	DIFFOUT_T151n	F24	DQ51T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T152p	DIFFOUT_T152p	H25	DQ51T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T152n	DIFFOUT_T152n	G25	DQ51T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T153p	DIFFOUT_T153p	E24	DQS51T	DQS20T/CQ20T	DQ10T/CQn10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T153n	DIFFOUT_T153n	E25	DQS51T	DQS20T/DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T154p	DIFFOUT_T154p	D24	DQ52T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T154n	DIFFOUT_T154n	C24	DQ52T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T155p	DIFFOUT_T155p	D25	DQS52T	DQ20T/CQn20T	DQ10T	DQ5T/CQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T155n	DIFFOUT_T155n	C25	DQS52T	DQ20T	DQ10T	DQ5T/CQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T156p	DIFFOUT_T156p	B25	DQ52T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T156n	DIFFOUT_T156n	A25	DQ52T	DQ20T	DQ10T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T157p	DIFFOUT_T157p	U26	DQ53T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T157n	DIFFOUT_T157n	U27	DQ53T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T158p	DIFFOUT_T158p	T27	DQ53T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T158n	DIFFOUT_T158n	R27	DQ53T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T159p	DIFFOUT_T159p	U28	DQS53T	DQS21T/CQ21T	DQ11T	DQ5T/CQn5T
8C	VREFB8CN0	IO			DIFFIO_RX_T159n	DIFFOUT_T159n	T28	DQS53T	DQS21T/DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T160p	DIFFOUT_T160p	N27	DQ54T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T160n	DIFFOUT_T160n	P28	DQ54T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T161p	DIFFOUT_T161p	K27	DQS54T	DQ21T/CQn21T	DQS11T/CQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T161n	DIFFOUT_T161n	J27	DQS54T	DQ21T	DQS11T/DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T162p	DIFFOUT_T162p	M27	DQ54T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T162n	DIFFOUT_T162n	L27	DQ54T	DQ21T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T163p	DIFFOUT_T163p	G26	DQ55T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T163n	DIFFOUT_T163n	F26	DQ55T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T164p	DIFFOUT_T164p	J26	DQ55T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T164n	DIFFOUT_T164n	H26	DQ55T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T165p	DIFFOUT_T165p	G27	DQS55T	DQS22T/CQ22T	DQ11T/CQn11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T165n	DIFFOUT_T165n	F27	DQS55T	DQS22T/DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T166p	DIFFOUT_T166p	E27	DQ56T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T166n	DIFFOUT_T166n	D27	DQ56T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T167p	DIFFOUT_T167p	B26	DQS56T	DQ22T/CQn22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_RX_T167n	DIFFOUT_T167n	A26	DQS56T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T168p	DIFFOUT_T168p	C26	DQ56T	DQ22T	DQ11T	DQ5T
8C	VREFB8CN0	IO			DIFFIO_TX_T168n	DIFFOUT_T168n	C27	DQ56T	DQ22T	DQ11T	DQ5T
8B	VREFB8BN0	IO			DIFFIO_RX_T169p	DIFFOUT_T169p	V29	DQ57T	DQ23T	DQ12T	DQ6T
8B	VREFB8BN0	IO			DIFFIO_RX_T169n	DIFFOUT_T169n	U29	DQ57T	DQ23T	DQ12T	DQ6T
8B	VREFB8BN0	IO			DIFFIO_TX_T170p	DIFFOUT_T170p	R29	DQ57T	DQ23T	DQ12T	DQ6T
8B	VREFB8BN0	IO			DIFFIO_TX_T170n	DIFFOUT_T170n	P29	DQ57T	DQ23T	DQ12T	DQ6T
8B	VREFB8BN0	IO			DIFFIO_RX_T171p	DIFFOUT_T171p	U30	DQS57T	DQS23T/CQ23T	DQ12T	DQ6T
8B	VREFB8BN0	IO			DIFFIO_RX_T171n	DIFFOUT_T171n	T30	DQS57T	DQS23T/DQ23T	DQ12T	DQ6T
8B	VREFB8BN0	IO			DIFFIO_TX_T172p	DIFFOUT_T172p	N28	DQ58T	DQ23T	DQ12T	DQ6T
8B	VREFB8BN0	IO			DIFFIO_TX_T172n	DIFFOUT_T172n	M29	DQ58T	DQ23T	DQ12T	DQ6T
8B	VREFB8BN0	IO			DIFFIO_RX_T173p	DIFFOUT_T173p	J29	DQS58T	DQ23T/CQn23T	DQS12T/CQ12T	DQ6T
8B	VREFB8BN0	IO			DIFFIO_RX_T173n	DIFFOUT_T173n	J28	DQS58T	DQ23T	DQS12T/DQ12T	DQ6T
8B	VREFB8BN0	IO			DIFFIO_TX_T174p	DIFFOUT_T174p	L28	DQ58T	DQ23T	DQ12T	DQ6T



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
8B	VREFB8B0	IO			DIFFIO_TX_T174n	DIFFOUT_T174n	K28	DQ58T	DQ23T	DQ12T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T175p	DIFFOUT_T175p	F29	DQ59T	DQ24T	DQ12T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T175n	DIFFOUT_T175n	E28	DQ59T	DQ24T	DQ12T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T176p	DIFFOUT_T176p	H28	DQ59T	DQ24T	DQ12T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T176n	DIFFOUT_T176n	G28	DQ59T	DQ24T	DQ12T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T177p	DIFFOUT_T177p	H29	DQS59T	DQS24T/CQ24T	DQ12T/CQn12T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T177n	DIFFOUT_T177n	G29	DQSn59T	DQSn24T/DQ24T	DQ12T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T178p	DIFFOUT_T178p	D28	DQ60T	DQ24T	DQ12T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T178n	DIFFOUT_T178n	C28	DQ60T	DQ24T	DQ12T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T179p	DIFFOUT_T179p	B28	DQS60T	DQ24T/CQn24T	DQ12T	DQS6T/CQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T179n	DIFFOUT_T179n	A28	DQSn60T	DQ24T	DQ12T	DQSn6T/DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T180p	DIFFOUT_T180p	B29	DQ60T	DQ24T	DQ12T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T180n	DIFFOUT_T180n	A29	DQ60T	DQ24T	DQ12T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T181p	DIFFOUT_T181p	N30	DQ61T	DQ25T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T181n	DIFFOUT_T181n	M30	DQ61T	DQ25T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T182p	DIFFOUT_T182p	R30	DQ61T	DQ25T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T182n	DIFFOUT_T182n	R31	DQ61T	DQ25T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T183p	DIFFOUT_T183p	P31	DQS61T	DQS25T/CQ25T	DQ13T	DQ6T/CQn6T
8B	VREFB8B0	IO			DIFFIO_RX_T183n	DIFFOUT_T183n	N31	DQSn61T	DQSn25T/DQ25T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T184p	DIFFOUT_T184p	L31	DQ62T	DQ25T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T184n	DIFFOUT_T184n	L30	DQ62T	DQ25T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T185p	DIFFOUT_T185p	K30	DQS62T	DQ25T/CQn25T	DQS13T/CQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T185n	DIFFOUT_T185n	J30	DQSn62T	DQ25T	DQSn13T/DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T186p	DIFFOUT_T186p	K31	DQ62T	DQ25T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T186n	DIFFOUT_T186n	J31	DQ62T	DQ25T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T187p	DIFFOUT_T187p	B31	DQ63T	DQ26T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T187n	DIFFOUT_T187n	A31	DQ63T	DQ26T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T188p	DIFFOUT_T188p	D30	DQ63T	DQ26T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T188n	DIFFOUT_T188n	C30	DQ63T	DQ26T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T189p	DIFFOUT_T189p	D31	DQS63T	DQS26T/CQ26T	DQ13T/CQn13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T189n	DIFFOUT_T189n	C31	DQSn63T	DQSn26T/DQ26T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T190p	DIFFOUT_T190p	G30	DQ64T	DQ26T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T190n	DIFFOUT_T190n	F30	DQ64T	DQ26T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T191p	DIFFOUT_T191p	E30	DQS64T	DQ26T/CQn26T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_RX_T191n	DIFFOUT_T191n	E31	DQSn64T	DQ26T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T192p	DIFFOUT_T192p	H31	DQ64T	DQ26T	DQ13T	DQ6T
8B	VREFB8B0	IO			DIFFIO_TX_T192n	DIFFOUT_T192n	G31	DQ64T	DQ26T	DQ13T	DQ6T
8A	VREFB8A0	IO	CLK23p		DIFFIO_RX_T193p	DIFFOUT_T193p	R32	DQ65T	DQ27T	DQ14T	
8A	VREFB8A0	IO	CLK23n		DIFFIO_RX_T193n	DIFFOUT_T193n	P32	DQ65T	DQ27T	DQ14T	
8A	VREFB8A0	IO			DIFFIO_TX_T194p	DIFFOUT_T194p	U31	DQ65T	DQ27T	DQ14T	
8A	VREFB8A0	IO			DIFFIO_TX_T194n	DIFFOUT_T194n	T31	DQ65T	DQ27T	DQ14T	
8A	VREFB8A0	IO	CLK22p		DIFFIO_RX_T195p	DIFFOUT_T195p	N32	DQS65T	DQS27T/CQ27T	DQ14T	
8A	VREFB8A0	IO	CLK22n		DIFFIO_RX_T195n	DIFFOUT_T195n	M32	DQSn65T	DQSn27T/DQ27T	DQ14T	
8A	VREFB8A0	IO			DIFFIO_TX_T196p	DIFFOUT_T196p	N33	DQ66T	DQ27T	DQ14T	
8A	VREFB8A0	IO			DIFFIO_TX_T196n	DIFFOUT_T196n	M33	DQ66T	DQ27T	DQ14T	
8A	VREFB8A0	IO	FPLL_TL_CLKOUT2,FPLL_TL_FBp,FPLL_TL_FB1		DIFFIO_RX_T197p	DIFFOUT_T197p	L33	DQS66T	DQ27T/CQn27T	DQS14T/CQ14T	
8A	VREFB8A0	IO	FPLL_TL_CLKOUT3,FPLL_TL_FBn		DIFFIO_RX_T197n	DIFFOUT_T197n	L34	DQSn66T	DQ27T	DQSn14T/DQ14T	
8A	VREFB8A0	IO	FPLL_TL_CLKOUT0,FPLL_TL_CLKOUTp,FPLL_TL_FB0		DIFFIO_TX_T198p	DIFFOUT_T198p	P34	DQ66T	DQ27T	DQ14T	
8A	VREFB8A0	IO	FPLL_TL_CLKOUT1,FPLL_TL_CLKOUTn		DIFFIO_TX_T198n	DIFFOUT_T198n	N34	DQ66T	DQ27T	DQ14T	
8A	VREFB8A0	IO	CLK21p		DIFFIO_RX_T199p	DIFFOUT_T199p	D33	DQ67T	DQ28T	DQ14T	
8A	VREFB8A0	IO	CLK21n		DIFFIO_RX_T199n	DIFFOUT_T199n	C33	DQ67T	DQ28T	DQ14T	
8A	VREFB8A0	IO			DIFFIO_TX_T200p	DIFFOUT_T200p	B32	DQ67T	DQ28T	DQ14T	
8A	VREFB8A0	IO			DIFFIO_TX_T200n	DIFFOUT_T200n	A32	DQ67T	DQ28T	DQ14T	
8A	VREFB8A0	IO	CLK20p		DIFFIO_RX_T201p	DIFFOUT_T201p	E34	DQS67T	DQS28T/CQ28T	DQ14T/CQn14T	
8A	VREFB8A0	IO	CLK20n		DIFFIO_RX_T201n	DIFFOUT_T201n	D34	DQSn67T	DQSn28T/DQ28T	DQ14T	
8A	VREFB8A0	IO			DIFFIO_TX_T202p	DIFFOUT_T202p	A34	DQ68T	DQ28T	DQ14T	
8A	VREFB8A0	IO			DIFFIO_TX_T202n	DIFFOUT_T202n	A35	DQ68T	DQ28T	DQ14T	
8A	VREFB8A0	IO			DIFFIO_RX_T203p	DIFFOUT_T203p	C34	DQS68T	DQ28T/CQn28T	DQ14T	
8A	VREFB8A0	IO	RZQ_5		DIFFIO_RX_T203n	DIFFOUT_T203n	B34	DQSn68T	DQ28T	DQ14T	
8A	VREFB8A0	IO			DIFFIO_TX_T204p	DIFFOUT_T204p	A36	DQ68T	DQ28T	DQ14T	
8A	VREFB8A0	IO			DIFFIO_TX_T204n	DIFFOUT_T204n	A37	DQ68T	DQ28T	DQ14T	
8A	VREFB8A0	IO			DIFFIO_RX_T205p	DIFFOUT_T205p	E32	DQ69T	DQ29T		
8A	VREFB8A0	IO			DIFFIO_RX_T205n	DIFFOUT_T205n	F32	DQ69T	DQ29T		
8A	VREFB8A0	IO			DIFFIO_TX_T206p	DIFFOUT_T206p	G33	DQ69T	DQ29T		
8A	VREFB8A0	IO			DIFFIO_TX_T206n	DIFFOUT_T206n	G32	DQ69T	DQ29T		
8A	VREFB8A0	IO			DIFFIO_RX_T207p	DIFFOUT_T207p	F33	DQS69T	DQS29T/CQ29T		
8A	VREFB8A0	IO			DIFFIO_RX_T207n	DIFFOUT_T207n	E33	DQSn69T	DQSn29T/DQ29T		
8A	VREFB8A0	IO			DIFFIO_TX_T208p	DIFFOUT_T208p	K33	DQ70T	DQ29T		
8A	VREFB8A0	IO			DIFFIO_TX_T208n	DIFFOUT_T208n	J33	DQ70T	DQ29T		
8A	VREFB8A0	IO			DIFFIO_RX_T209p	DIFFOUT_T209p	H34	DQS70T	DQ29T/CQn29T		
8A	VREFB8A0	IO			DIFFIO_RX_T209n	DIFFOUT_T209n	G34	DQSn70T	DQ29T		
8A	VREFB8A0	IO			DIFFIO_TX_T210p	DIFFOUT_T210p	K34	DQ70T	DQ29T		
8A	VREFB8A0	IO			DIFFIO_TX_T210n	DIFFOUT_T210n	J34	DQ70T	DQ29T		
		GND					A38				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					AA34				
		GND					AA38				
		GND					AA39				
		GND					AB36				
		GND					AB37				
		GND					AC33				
		GND					AC35				
		GND					AC38				
		GND					AC39				
		GND					AD36				
		GND					AD37				
		GND					AE34				
		GND					AE38				
		GND					AE39				
		GND					AF36				
		GND					AF37				
		GND					AG33				
		GND					AG35				
		GND					AG38				
		GND					AG39				
		GND					AH36				
		GND					AH37				
		GND					AJ38				
		GND					AJ39				
		GND					AK36				
		GND					AK37				
		GND					AL38				
		GND					AL39				
		GND					AM36				
		GND					AM37				
		GND					AN38				
		GND					AN39				
		GND					AP36				
		GND					AP37				
		GND					AR38				
		GND					AR39				
		GND					AT36				
		GND					AT37				
		GND					AU38				
		GND					AU39				
		GND					AV36				
		GND					AV37				
		GND					AW37				
		GND					AW38				
		GND					B36				
		GND					B37				
		GND					B38				
		GND					C38				
		GND					C39				
		GND					D36				
		GND					D37				
		GND					E38				
		GND					E39				
		GND					F36				
		GND					F37				
		GND					G38				
		GND					G39				
		GND					H36				
		GND					H37				
		GND					J38				
		GND					J39				
		GND					K36				
		GND					K37				
		GND					L38				
		GND					L39				
		GND					M36				
		GND					M37				
		GND					N38				
		GND					N39				
		GND					P36				
		GND					P37				
		GND					R38				
		GND					R39				
		GND					T36				





Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					T37				
		GND					U34				
		GND					U38				
		GND					U39				
		GND					V36				
		GND					V37				
		GND					W33				
		GND					W35				
		GND					W38				
		GND					W39				
		GND					Y36				
		GND					Y37				
		GND					A2				
		GND					AA1				
		GND					AA2				
		GND					AA6				
		GND					AB3				
		GND					AB4				
		GND					AC1				
		GND					AC2				
		GND					AC5				
		GND					AC7				
		GND					AD3				
		GND					AD4				
		GND					AE1				
		GND					AE2				
		GND					AE6				
		GND					AF3				
		GND					AF4				
		GND					AG1				
		GND					AG2				
		GND					AG5				
		GND					AG7				
		GND					AH3				
		GND					AH4				
		GND					AJ1				
		GND					AJ2				
		GND					AK3				
		GND					AK4				
		GND					AL1				
		GND					AL2				
		GND					AM3				
		GND					AM4				
		GND					AN1				
		GND					AN2				
		GND					AP3				
		GND					AP4				
		GND					AR1				
		GND					AR2				
		GND					AT3				
		GND					AT4				
		GND					AU1				
		GND					AU2				
		GND					AV3				
		GND					AV4				
		GND					AW2				
		GND					AW3				
		GND					B2				
		GND					B3				
		GND					B4				
		GND					C1				
		GND					C2				
		GND					D3				
		GND					D4				
		GND					E1				
		GND					E2				
		GND					F3				
		GND					F4				
		GND					G1				
		GND					G2				
		GND					H3				
		GND					H4				
		GND					J1				
		GND					J2				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					K3				
		GND					K4				
		GND					L1				
		GND					L2				
		GND					M3				
		GND					M4				
		GND					N1				
		GND					N2				
		GND					P3				
		GND					P4				
		GND					R1				
		GND					R2				
		GND					T3				
		GND					T4				
		GND					U1				
		GND					U2				
		GND					U6				
		GND					V3				
		GND					V4				
		GND					W1				
		GND					W2				
		GND					W5				
		GND					W7				
		GND					Y3				
		GND					Y4				
		GND					AA11				
		GND					AA17				
		GND					AA21				
		GND					AA32				
		GND					AA8				
		GND					AB11				
		GND					AB14				
		GND					AB23				
		GND					AB26				
		GND					AB29				
		GND					AB32				
		GND					AB8				
		GND					AC16				
		GND					AC18				
		GND					AC20				
		GND					AC22				
		GND					AD10				
		GND					AD13				
		GND					AD25				
		GND					AD28				
		GND					AD31				
		GND					AE32				
		GND					AE8				
		GND					AF12				
		GND					AF15				
		GND					AF18				
		GND					AF21				
		GND					AF24				
		GND					AF27				
		GND					AF30				
		GND					AF32				
		GND					AF8				
		GND					AF9				
		GND					AH11				
		GND					AH14				
		GND					AH17				
		GND					AH20				
		GND					AH23				
		GND					AH26				
		GND					AH29				
		GND					AH32				
		GND					AH35				
		GND					AH5				
		GND					AH8				
		GND					AJ35				
		GND					AJ5				
		GND					AK10				
		GND					AK13				
		GND					AK16				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					AK19				
		GND					AK22				
		GND					AK25				
		GND					AK28				
		GND					AK31				
		GND					AK34				
		GND					AK7				
		GND					AL35				
		GND					AL5				
		GND					AL9				
		GND					AM12				
		GND					AM15				
		GND					AM18				
		GND					AM21				
		GND					AM24				
		GND					AM27				
		GND					AM30				
		GND					AM33				
		GND					AM6				
		GND					AM9				
		GND					AN35				
		GND					AN5				
		GND					AP11				
		GND					AP14				
		GND					AP17				
		GND					AP20				
		GND					AP23				
		GND					AP26				
		GND					AP29				
		GND					AP32				
		GND					AP35				
		GND					AP5				
		GND					AP8				
		GND					AR35				
		GND					AR5				
		GND					AT10				
		GND					AT13				
		GND					AT16				
		GND					AT19				
		GND					AT22				
		GND					AT25				
		GND					AT28				
		GND					AT31				
		GND					AT34				
		GND					AT7				
		GND					AU35				
		GND					AU5				
		GND					AV12				
		GND					AV15				
		GND					AV18				
		GND					AV21				
		GND					AV24				
		GND					AV27				
		GND					AV30				
		GND					AV33				
		GND					AV6				
		GND					AV9				
		GND					B12				
		GND					B15				
		GND					B18				
		GND					B21				
		GND					B24				
		GND					B27				
		GND					B30				
		GND					B33				
		GND					B35				
		GND					B5				
		GND					B6				
		GND					B9				
		GND					C35				
		GND					C5				
		GND					D11				
		GND					D14				
		GND					D17				



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					D20				
		GND					D23				
		GND					D26				
		GND					D29				
		GND					D32				
		GND					D35				
		GND					D5				
		GND					D8				
		GND					E35				
		GND					E5				
		GND					F10				
		GND					F13				
		GND					F16				
		GND					F19				
		GND					F22				
		GND					F25				
		GND					F28				
		GND					F31				
		GND					F34				
		GND					F35				
		GND					F5				
		GND					F7				
		GND					G35				
		GND					G5				
		GND					H12				
		GND					H15				
		GND					H18				
		GND					H21				
		GND					H24				
		GND					H27				
		GND					H30				
		GND					H33				
		GND					H35				
		GND					H5				
		GND					H6				
		GND					H9				
		GND					J35				
		GND					J5				
		GND					K11				
		GND					K14				
		GND					K17				
		GND					K20				
		GND					K23				
		GND					K26				
		GND					K29				
		GND					K32				
		GND					K35				
		GND					K5				
		GND					K8				
		GND					L35				
		GND					L5				
		GND					M10				
		GND					M13				
		GND					M16				
		GND					M19				
		GND					M22				
		GND					M25				
		GND					M28				
		GND					M31				
		GND					M34				
		GND					M35				
		GND					M7				
		GND					N35				
		GND					N5				
		GND					P12				
		GND					P15				
		GND					P18				
		GND					P24				
		GND					P27				
		GND					P30				
		GND					P33				
		GND					P35				
		GND					P6				
		GND					P9				



Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1  
Note (1)

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		GND					R18				
		GND					R20				
		GND					R22				
		GND					R33				
		GND					R34				
		GND					R35				
		GND					R5				
		GND					T11				
		GND					T14				
		GND					T17				
		GND					T21				
		GND					T26				
		GND					T29				
		GND					T32				
		GND					T8				
		GND					U19				
		GND					U23				
		GND					U32				
		GND					U8				
		GND					V10				
		GND					V11				
		GND					V12				
		GND					V13				
		GND					V15				
		GND					V20				
		GND					V25				
		GND					V28				
		GND					V30				
		GND					V31				
		GND					V32				
		GND					V8				
		GND					V9				
		GND					W10				
		GND					W12				
		GND					W17				
		GND					W23				
		GND					W28				
		GND					W30				
		GND					W31				
		GND					W32				
		GND					W8				
		GND					W9				
		GND					Y10				
		GND					Y12				
		GND					Y15				
		GND					Y25				
		GND					Y27				
		GND					Y28				
		GND					Y30				
		GND					Y32				
		GND					Y8				
		GND					Y9				
		GND					AA20				
		VCC					AC17				
		VCC					AC19				
		VCC					AC21				
		VCC					AC23				
		VCC					R17				
		VCC					R19				
		VCC					R21				
		VCC					R23				
		VCC					AA18				
		VCC					AA19				
		VCC					AA22				
		VCC					AA23				
		VCC					AB17				
		VCC					AB18				
		VCC					AB19				
		VCC					AB20				
		VCC					AB21				
		VCC					AB22				
		VCC					T18				
		VCC					T19				
		VCC					T20				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		VCC					T22				
		VCC					T23				
		VCC					U17				
		VCC					U18				
		VCC					U20				
		VCC					U21				
		VCC					U22				
		VCC					V17				
		VCC					V18				
		VCC					V19				
		VCC					V21				
		VCC					V22				
		VCC					V23				
		VCC					W18				
		VCC					W19				
		VCC					W20				
		VCC					W21				
		VCC					W22				
		VCC					Y17				
		VCC					Y18				
		VCC					Y19				
		VCC					Y22				
		VCC					Y23				
		VCC					Y21				
		VCCPT					AD19				
		VCCPT					AE13				
		VCCPT					AE28				
		VCCPT					P19				
		VCCPT					R13				
		VCCPT					R28				
		DNU					AW35				
		DNU					AV35				
		DNU					AA30				
		DNU					AL19				
		DNU					AV5				
		DNU					AW5				
		DNU					R7				
		DNU					J19				
		DNU					Y20				
		VCCPGM					AL31				
		VCCPGM					AJ9				
		TEMPDIODEn					P5				
		TEMPDIODEp					R6				
		VCCBAT					AK9				
		VCCIO3A					AU31				
		VCCIO3A					AW33				
		VCCIO3B					AU28				
		VCCIO3B					AW30				
		VCCIO3C					AW24				
		VCCIO3C					AW27				
		VCCIO3D					AU22				
		VCCIO3D					AW21				
		VCCIO4A					AW6				
		VCCIO4B					AW12				
		VCCIO4B					AW9				
		VCCIO4C					AU13				
		VCCIO4C					AW15				
		VCCIO4D					AU19				
		VCCIO4D					AW18				
		VCCIO7A					C6				
		VCCIO7B					A9				
		VCCIO7B					C11				
		VCCIO7C					A12				
		VCCIO7C					A15				
		VCCIO7D					A18				
		VCCIO7D					C17				
		VCCIO8A					A33				
		VCCIO8A					C32				
		VCCIO8B					A30				
		VCCIO8B					C29				
		VCCIO8C					A24				
		VCCIO8C					A27				
		VCCIO8D					A21				
		VCCIO8D					C23				



Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		VCCPD3AB					AR29				
		VCCPD3AB					AR32				
		VCCPD3CD					AR23				
		VCCPD3CD					AR26				
		VCCPD4					AR10				
		VCCPD4					AR13				
		VCCPD4					AR16				
		VCCPD7					E10				
		VCCPD7					E13				
		VCCPD7					E16				
		VCCPD8					E22				
		VCCPD8					E26				
		VCCPD8					E29				
3A	VREFB3AN0	VREFB3AN0	VREFB3AN0				AJ31				
3B	VREFB3BN0	VREFB3BN0	VREFB3BN0				AJ28				
3C	VREFB3CN0	VREFB3CN0	VREFB3CN0				AJ25				
3D	VREFB3DN0	VREFB3DN0	VREFB3DN0				AJ23				
4A	VREFB4AN0	VREFB4AN0	VREFB4AN0				AJ8				
4B	VREFB4BN0	VREFB4BN0	VREFB4BN0				AJ11				
4C	VREFB4CN0	VREFB4CN0	VREFB4CN0				AJ14				
4D	VREFB4DN0	VREFB4DN0	VREFB4DN0				AJ16				
7A	VREFB7AN0	VREFB7AN0	VREFB7AN0				L7				
7B	VREFB7BN0	VREFB7BN0	VREFB7BN0				L10				
7C	VREFB7CN0	VREFB7CN0	VREFB7CN0				L14				
7D	VREFB7DN0	VREFB7DN0	VREFB7DN0				L17				
8A	VREFB8AN0	VREFB8AN0	VREFB8AN0				L32				
8B	VREFB8BN0	VREFB8BN0	VREFB8BN0				L29				
8C	VREFB8CN0	VREFB8CN0	VREFB8CN0				L25				
8D	VREFB8DN0	VREFB8DN0	VREFB8DN0				L22				
		VCCH GXBL0					AE35				
		VCCH GXBL1					AA35				
		VCCH GXBL2					U35				
		VCCH GXBR0					AE5				
		VCCH GXBR1					AA5				
		VCCH GXBR2					U5				
		VCCR GXBL0					AG34				
		VCCR GXBL1					AC34				
		VCCR GXBL2					W34				
		VCCR GXBR0					AG6				
		VCCR GXBR1					AC6				
		VCCR GXBR2					W6				
		VCCT GXBL0					AE33				
		VCCT GXBL0					AF33				
		VCCT GXBL1					AA33				
		VCCT GXBL1					AB33				
		VCCT GXBL2					U33				
		VCCT GXBL2					V33				
		VCCT GXBR0					AE7				
		VCCT GXBR0					AF7				
		VCCT GXBR1					AA7				
		VCCT GXBR1					AB7				
		VCCT GXBR2					U7				
		VCCT GXBR2					V7				
		VCCHIP L					AA24				
		VCCHIP L					U24				
		VCCHIP L					V24				
		VCCHIP L					W24				
		VCCHIP L					W25				
		VCCHIP L					Y24				
		VCCHIP R					AA16				
		VCCHIP R					U16				
		VCCHIP R					V16				
		VCCHIP R					W15				
		VCCHIP R					W16				
		VCCHIP R					Y16				
		RREF BL					AW36				
		RREF BR					AW4				
		RREF TL					B39				
		RREF TR					B1				
		VCCA FPLL					AL32				
		VCCA FPLL					AG20				
		VCCA FPLL					AK9				
		VCCA FPLL					J8				
		VCCA FPLL					P20				



**Pin Information for the Stratix® V 5SGSD4 Device**  
**Version 1.1**  
**Note (1)**

Bank Number	VREF	Pin Name/Function (2)	Optional Function(s)	Configuration Function	Dedicated Tx/Rx Channel	Emulated LVDS Output Channel	F1517	DQS for X4	DQS for X8/X9	DQS for X16/ X18	DQS for X32/ X36
		VCCA_FPLL					J32				
		VCCA_FPLL					AD29				
		VCCA_FPLL					W29				
		VCCA_FPLL					AD11				
		VCCA_FPLL					W11				
		VCCA_GXBL0					AD35				
		VCCA_GXBL1					Y35				
		VCCA_GXBL2					T35				
		VCCA_GXBR0					AD5				
		VCCA_GXBR1					Y5				
		VCCA_GXBR2					T5				
		VCCHSSI_L					V26				
		VCCHSSI_L					V27				
		VCCHSSI_L					W26				
		VCCHSSI_L					W27				
		VCCHSSI_L					Y26				
		VCCHSSI_R					V14				
		VCCHSSI_R					W13				
		VCCHSSI_R					W14				
		VCCHSSI_R					Y13				
		VCCHSSI_R					Y14				
		VCCD_FPLL					AM32				
		VCCD_FPLL					AF20				
		VCCD_FPLL					AL8				
		VCCD_FPLL					H8				
		VCCD_FPLL					P21				
		VCCD_FPLL					H32				
		VCCD_FPLL					AC29				
		VCCD_FPLL					Y29				
		VCCD_FPLL					AC11				
		VCCD_FPLL					Y11				
		VCC_AUX					AG11				
		VCC_AUX					AG29				
		VCC_AUX					AK20				
		VCC_AUX					J20				
		VCC_AUX					N11				
		VCC_AUX					N29				

Notes:

- (1) For more information about pin definition and pin connection guidelines, refer to the [Stratix V Device Family Pin Connection Guidelines](#).
- (2) The GXB\_REFCLK pin is not supported in the current Quartus II software version, but will be supported in the future Quartus II software release version.





**Pin Information for the Stratix® V 5SGSD4 Device  
Version 1.1**

<b>Version Number</b>	<b>Date</b>	<b>Changes Made</b>
1.0	1/13/2012	Initial release.
1.1	5/10/2012	Updated the nPERSTL1 pin to the nPERSTR0 pin.