



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T144
1	IO				1
1	IO			DIFFIO_L1p	2
1	IO			DIFFIO_L1n	3
1	IO			DIFFIO_L2p	4
1	IO			DIFFIO_L2n	5
1	IO				6
1	IO			DIFFIO_L3p	7
1	IO			DIFFIO_L3n	8
1	IO				12
1	IO			DIFFIO_L4p	13
1	IO			DIFFIO_L4n	14
1	IO			DIFFIO_L5p	15
1	IO			DIFFIO_L5n	16
1	IO	CLK0			18
1	IO	CLK1			20
1	IO			DIFFIO_L6p	21
1	IO			DIFFIO_L6n	22
1	IO			DIFFIO_L7p	23
1	IO			DIFFIO_L7n	24
1	IO				27
1	IO				28
1	IO			DIFFIO_L8p	29
1	IO			DIFFIO_L8n	30
1	IO			DIFFIO_L9p	31
1	IO			DIFFIO_L9n	32
1	TMS		TMS		33
1	TDI		TDI		34
1	TCK		TCK		35
1	TDO		TDO		36
4	IO				37
4	IO			DIFFIO_B1p	38
4	IO			DIFFIO_B1n	39
4	IO			DIFFIO_B2p	40
4	IO			DIFFIO_B2n	41
4	IO				42
4	IO			DIFFIO_B3p	43
4	IO			DIFFIO_B3n	44
4	IO				45
4	IO			DIFFIO_B4p	48
4	IO			DIFFIO_B4n	49
4	IO			DIFFIO_B5p	50
4	IO			DIFFIO_B5n	51
4	IO			DIFFIO_B6p	52
4	IO			DIFFIO_B6n	53
4	IO			DIFFIO_B7p	55
4	IO			DIFFIO_B7n	57
4	IO			DIFFIO_B8p	58
4	IO			DIFFIO_B8n	59
4	IO		DEV_OE	DIFFIO_B9p	60
4	IO		DEV_CLRn	DIFFIO_B9n	61
4	IO			DIFFIO_B10p	62
4	IO			DIFFIO_B10n	63



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T144
4	IO			DIFFIO_B11p	66
4	IO			DIFFIO_B11n	67
4	IO				68
4	IO				69
4	IO				70
4	IO			DIFFIO_B12p	71
4	IO			DIFFIO_B12n	72
3	IO			DIFFIO_R12n	73
3	IO			DIFFIO_R12p	74
3	IO				75
3	IO			DIFFIO_R11n	76
3	IO			DIFFIO_R11p	77
3	IO			DIFFIO_R10n	79
3	IO			DIFFIO_R10p	80
3	IO			DIFFIO_R9n	81
3	IO			DIFFIO_R9p	84
3	IO			DIFFIO_R8n	85
3	IO			DIFFIO_R8p	86
3	IO			DIFFIO_R7n	87
3	IO			DIFFIO_R7p	88
3	IO	CLK2			89
3	IO	CLK3			91
3	IO			DIFFIO_R6n	93
3	IO			DIFFIO_R6p	94
3	IO			DIFFIO_R5n	95
3	IO			DIFFIO_R5p	96
3	IO			DIFFIO_R4n	97
3	IO			DIFFIO_R4p	98
3	IO			DIFFIO_R3n	101
3	IO			DIFFIO_R3p	102
3	IO				103
3	IO			DIFFIO_R2n	104
3	IO			DIFFIO_R2p	105
3	IO			DIFFIO_R1n	106
3	IO			DIFFIO_R1p	107
3	IO				108
2	IO			DIFFIO_T9n	109
2	IO			DIFFIO_T9p	110
2	IO				111
2	IO				112
2	IO				113
2	IO				114
2	IO			DIFFIO_T8n	117
2	IO			DIFFIO_T8p	118
2	IO				119
2	IO				120
2	IO			DIFFIO_T7n	121
2	IO			DIFFIO_T7p	122
2	IO			DIFFIO_T6n	123
2	IO			DIFFIO_T6p	124
2	IO			DIFFIO_T5n	125
2	IO			DIFFIO_T5p	127



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	T144
2	IO			DIFFIO_T4n	129
2	IO			DIFFIO_T4p	130
2	IO				131
2	IO			DIFFIO_T3n	132
2	IO			DIFFIO_T3p	133
2	IO				134
2	IO				137
2	IO			DIFFIO_T2n	138
2	IO			DIFFIO_T2p	139
2	IO			DIFFIO_T1n	140
2	IO			DIFFIO_T1p	141
2	IO				142
2	IO				143
2	IO				144
	GNDIO				11
	GNDIO				78
	GNDINT				17
	GNDINT				54
	GNDINT				92
	GNDINT				128
	GNDIO				10
	GNDIO				26
	GNDIO				47
	GNDIO				65
	GNDIO				83
	GNDIO				99
	GNDIO				115
	GNDIO				135
	VCCIO1				9
	VCCIO1				25
	VCCIO2				116
	VCCIO2				136
	VCCIO3				82
	VCCIO3				100
	VCCIO4				46
	VCCIO4				64
	VCCINT				19
	VCCINT				56
	VCCINT				90
	VCCINT				126

Note:
 (1) For more information about pin definitions and pin connection guidelines, refer to the [MAX V Device Family Pin Connection Guidelines](#).



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F256
1	IO			DIFFIO_L1p	D3
1	IO			DIFFIO_L1n	C2
1	IO			DIFFIO_L2n	E3
1	IO			DIFFIO_L2p	C3
1	IO			DIFFIO_L3n	E4
1	IO			DIFFIO_L3p	D2
1	IO				E5
1	IO			DIFFIO_L4p	D1
1	IO			DIFFIO_L4n	F3
1	IO			DIFFIO_L5p	E2
1	IO			DIFFIO_L5n	F4
1	IO			DIFFIO_L6p	E1
1	IO			DIFFIO_L6n	F5
1	IO				F2
1	IO			DIFFIO_L7n	F6
1	IO			DIFFIO_L7p	F1
1	IO			DIFFIO_L8n	G3
1	IO			DIFFIO_L8p	G2
1	IO			DIFFIO_L9n	G4
1	IO			DIFFIO_L9p	G1
1	IO			DIFFIO_L10p	H2
1	IO				G6
1	IO			DIFFIO_L10n	H1
1	IO			DIFFIO_L11p	H3
1	IO			DIFFIO_L11n	J1
1	IO	CLK0			H5
1	IO	CLK1			J5
1	IO			DIFFIO_L12p	H4
1	IO			DIFFIO_L12n	J2
1	IO			DIFFIO_L13p	J4
1	IO			DIFFIO_L13n	K1
1	IO			DIFFIO_L14p	J3
1	IO			DIFFIO_L14n	K2
1	IO				K6
1	IO			DIFFIO_L15n	L1
1	IO			DIFFIO_L15p	K5
1	IO			DIFFIO_L16p	L2
1	IO			DIFFIO_L16n	K4
1	IO			DIFFIO_L17p	M1
1	IO				K3
1	IO			DIFFIO_L17n	M2
1	IO				L5
1	IO			DIFFIO_L18p	M3
1	IO			DIFFIO_L18n	L4
1	IO			DIFFIO_L19p	N1
1	IO			DIFFIO_L19n	L3
1	IO			DIFFIO_L20p	N2
1	IO			DIFFIO_L20n	M4
1	IO			DIFFIO_L21p	N3
1	TMS		TMS		N4
1	TDI		TDI		L6
1	TCK		TCK		P3
1	TDO		TDO		M5



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F256
1	IO			DIFFIO_L21n	P2
4	IO			DIFFIO_B1n	P4
4	IO			DIFFIO_B1p	R1
4	IO			DIFFIO_B2n	P5
4	IO			DIFFIO_B2p	T2
4	IO			DIFFIO_B3n	N5
4	IO			DIFFIO_B3p	R3
4	IO			DIFFIO_B4p	P6
4	IO				R4
4	IO			DIFFIO_B4n	N6
4	IO			DIFFIO_B5p	T4
4	IO			DIFFIO_B5n	M6
4	IO			DIFFIO_B6p	R5
4	IO			DIFFIO_B6n	P7
4	IO			DIFFIO_B7p	T5
4	IO			DIFFIO_B7n	N7
4	IO			DIFFIO_B8p	R6
4	IO			DIFFIO_B8n	M7
4	IO			DIFFIO_B9p	T6
4	IO			DIFFIO_B9n	L7
4	IO				R7
4	IO			DIFFIO_B10p	P8
4	IO			DIFFIO_B10n	T7
4	IO			DIFFIO_B11p	N8
4	IO			DIFFIO_B11n	R8
4	IO			DIFFIO_B12p	N9
4	IO			DIFFIO_B12n	T8
4	IO			DIFFIO_B13p	T9
4	IO			DIFFIO_B13n	R9
4	IO			DIFFIO_B14p	P9
4	IO			DIFFIO_B14n	T10
4	IO		DEV_OE	DIFFIO_B15p	M8
4	IO		DEV_CLRn	DIFFIO_B15n	M9
4	IO				L10
4	IO			DIFFIO_B16p	R10
4	IO			DIFFIO_B16n	M10
4	IO			DIFFIO_B17n	T11
4	IO				N10
4	IO			DIFFIO_B17p	R11
4	IO			DIFFIO_B18n	P10
4	IO			DIFFIO_B18p	T12
4	IO			DIFFIO_B19n	M11
4	IO			DIFFIO_B19p	R12
4	IO			DIFFIO_B20p	N11
4	IO			DIFFIO_B20n	T13
4	IO			DIFFIO_B21p	P11
4	IO			DIFFIO_B21n	R13
4	IO				M12
4	IO			DIFFIO_B22n	R14
4	IO			DIFFIO_B22p	N12
4	IO			DIFFIO_B23n	T15
4	IO			DIFFIO_B23p	P12
4	IO			DIFFIO_B24p	R16



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F256
4	IO			DIFFIO_B24n	P13
3	IO			DIFFIO_R24n	P14
3	IO			DIFFIO_R24p	N13
3	IO			DIFFIO_R23n	P15
3	IO			DIFFIO_R23p	M14
3	IO			DIFFIO_R22n	N14
3	IO			DIFFIO_R22p	M13
3	IO			DIFFIO_R21n	N15
3	IO			DIFFIO_R21p	L14
3	IO			DIFFIO_R20n	N16
3	IO			DIFFIO_R20p	L13
3	IO				M15
3	IO			DIFFIO_R19n	L12
3	IO			DIFFIO_R19p	M16
3	IO			DIFFIO_R18n	L11
3	IO			DIFFIO_R18p	L15
3	IO			DIFFIO_R17n	K14
3	IO			DIFFIO_R17p	L16
3	IO			DIFFIO_R16n	K13
3	IO			DIFFIO_R16p	K15
3	IO			DIFFIO_R15n	K12
3	IO			DIFFIO_R15p	K16
3	IO				K11
3	IO			DIFFIO_R14n	J15
3	IO			DIFFIO_R14p	J14
3	IO			DIFFIO_R13n	J16
3	IO			DIFFIO_R13p	J13
3	IO	CLK2			J12
3	IO	CLK3			H12
3	IO			DIFFIO_R12n	H16
3	IO			DIFFIO_R12p	H13
3	IO			DIFFIO_R11n	H15
3	IO			DIFFIO_R11p	H14
3	IO			DIFFIO_R10n	G16
3	IO			DIFFIO_R10p	G12
3	IO			DIFFIO_R9n	G15
3	IO				G11
3	IO			DIFFIO_R9p	F16
3	IO			DIFFIO_R8n	G13
3	IO			DIFFIO_R8p	F15
3	IO			DIFFIO_R7n	G14
3	IO			DIFFIO_R7p	E16
3	IO			DIFFIO_R6n	F11
3	IO			DIFFIO_R6p	E15
3	IO			DIFFIO_R5n	F12
3	IO			DIFFIO_R5p	D16
3	IO			DIFFIO_R4n	F13
3	IO			DIFFIO_R4p	D15
3	IO			DIFFIO_R3n	F14
3	IO			DIFFIO_R3p	D14
3	IO				E12
3	IO			DIFFIO_R2p	C15
3	IO			DIFFIO_R2n	E13



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F256
3	IO			DIFFIO_R1n	C14
3	IO			DIFFIO_R1p	E14
3	IO				D13
2	IO			DIFFIO_T21p	C13
2	IO			DIFFIO_T21n	B16
2	IO			DIFFIO_T20n	C12
2	IO			DIFFIO_T20p	A15
2	IO			DIFFIO_T19p	D12
2	IO			DIFFIO_T19n	B14
2	IO				C11
2	IO			DIFFIO_T18n	B13
2	IO			DIFFIO_T18p	D11
2	IO				A13
2	IO			DIFFIO_T17p	E11
2	IO			DIFFIO_T17n	B12
2	IO				C10
2	IO			DIFFIO_T16n	A12
2	IO				D10
2	IO			DIFFIO_T16p	B11
2	IO			DIFFIO_T15p	E10
2	IO			DIFFIO_T15n	A11
2	IO			DIFFIO_T14n	F10
2	IO			DIFFIO_T14p	B10
2	IO			DIFFIO_T13n	C9
2	IO			DIFFIO_T13p	A10
2	IO				D9
2	IO			DIFFIO_T12n	B9
2	IO			DIFFIO_T12p	E9
2	IO			DIFFIO_T11n	A9
2	IO			DIFFIO_T11p	A8
2	IO			DIFFIO_T10n	B8
2	IO				E8
2	IO			DIFFIO_T10p	A7
2	IO			DIFFIO_T9n	D8
2	IO				B7
2	IO			DIFFIO_T9p	C8
2	IO			DIFFIO_T8n	A6
2	IO			DIFFIO_T8p	F7
2	IO			DIFFIO_T7p	B6
2	IO			DIFFIO_T7n	E7
2	IO			DIFFIO_T6p	A5
2	IO			DIFFIO_T6n	D7
2	IO				B5
2	IO			DIFFIO_T5n	C7
2	IO			DIFFIO_T5p	A4
2	IO				E6
2	IO			DIFFIO_T4p	B4
2	IO			DIFFIO_T4n	D6
2	IO				C4
2	IO			DIFFIO_T3n	C6
2	IO			DIFFIO_T3p	B3
2	IO			DIFFIO_T2n	C5
2	IO			DIFFIO_T2p	A2



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F256
2	IO				D5
2	IO			DIFFIO_T1n	B1
2	IO			DIFFIO_T1p	D4
	GNDIO				G5
	GNDINT				H7
	GNDINT				H9
	GNDINT				J8
	GNDINT				J10
	GNDIO				A1
	GNDIO				A16
	GNDIO				B2
	GNDIO				B15
	GNDIO				G7
	GNDIO				G8
	GNDIO				G9
	GNDIO				G10
	GNDIO				K7
	GNDIO				K8
	GNDIO				K9
	GNDIO				K10
	GNDIO				R2
	GNDIO				R15
	GNDIO				T1
	GNDIO				T16
	VCCIO1				C1
	VCCIO1				H6
	VCCIO1				J6
	VCCIO1				P1
	VCCIO2				A14
	VCCIO2				F9
	VCCIO2				F8
	VCCIO2				A3
	VCCIO3				P16
	VCCIO3				J11
	VCCIO3				H11
	VCCIO3				C16
	VCCIO4				T3
	VCCIO4				L8
	VCCIO4				L9
	VCCIO4				T14
	VCCINT				H8
	VCCINT				H10
	VCCINT				J7
	VCCINT				J9

Note:
(1) For more information about pin definitions and pin connection guidelines, refer to the [MAX V Device Family Pin Connection Guidelines](#).



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F324
1	IO			DIFFIO_L1p	C2
1	IO			DIFFIO_L1n	C3
1	IO			DIFFIO_L2p	D2
1	IO			DIFFIO_L2n	D1
1	IO			DIFFIO_L3p	D3
1	IO			DIFFIO_L3n	E2
1	IO				D4
1	IO			DIFFIO_L4p	E1
1	IO			DIFFIO_L4n	E3
1	IO			DIFFIO_L5p	F3
1	IO			DIFFIO_L5n	E4
1	IO			DIFFIO_L6p	F2
1	IO			DIFFIO_L6n	E5
1	IO				F1
1	IO			DIFFIO_L7p	F4
1	IO			DIFFIO_L7n	G3
1	IO			DIFFIO_L8p	F5
1	IO			DIFFIO_L8n	G2
1	IO			DIFFIO_L9p	F6
1	IO			DIFFIO_L9n	G1
1	IO			DIFFIO_L10p	G4
1	IO			DIFFIO_L10n	H3
1	IO			DIFFIO_L11p	G5
1	IO			DIFFIO_L11n	H2
1	IO			DIFFIO_L12p	G6
1	IO			DIFFIO_L12n	H1
1	IO				G7
1	IO			DIFFIO_L13p	J3
1	IO			DIFFIO_L13n	H4
1	IO			DIFFIO_L14p	J2
1	IO			DIFFIO_L14n	H5
1	IO			DIFFIO_L15p	J1
1	IO			DIFFIO_L15n	H6
1	IO				K1
1	IO	CLK0			J6
1	IO	CLK1			K6
1	IO			DIFFIO_L16p	J4
1	IO			DIFFIO_L16n	K2
1	IO			DIFFIO_L17p	J5
1	IO			DIFFIO_L17n	K3
1	IO				K5
1	IO				L1
1	IO			DIFFIO_L18p	K4
1	IO			DIFFIO_L18n	L2
1	IO			DIFFIO_L19p	L6
1	IO			DIFFIO_L19n	L3
1	IO			DIFFIO_L20p	L5
1	IO			DIFFIO_L20n	M1
1	IO			DIFFIO_L21p	L4
1	IO			DIFFIO_L21n	M2
1	IO			DIFFIO_L22p	M6
1	IO			DIFFIO_L22n	M3
1	IO			DIFFIO_L23p	M5
1	IO			DIFFIO_L23n	N1
1	IO			DIFFIO_L24p	M4
1	IO			DIFFIO_L24n	N2



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F324
1	IO			DIFFIO_L25p	N5
1	IO			DIFFIO_L25n	N3
1	IO			DIFFIO_L26p	N4
1	IO			DIFFIO_L26n	P1
1	IO				P4
1	IO			DIFFIO_L27p	P2
1	IO			DIFFIO_L27n	P3
1	IO			DIFFIO_L28p	R1
1	IO			DIFFIO_L28n	R2
1	IO			DIFFIO_L29p	R3
1	TMS		TMS		P5
1	TDI		TDI		M7
1	TCK		TCK		R4
1	TDO		TDO		N6
1	IO			DIFFIO_L29n	T2
1	IO				T3
4	IO			DIFFIO_B1p	U1
4	IO			DIFFIO_B1n	V2
4	IO				R5
4	IO			DIFFIO_B2p	U3
4	IO			DIFFIO_B2n	P6
4	IO			DIFFIO_B3p	T4
4	IO			DIFFIO_B3n	R6
4	IO			DIFFIO_B4p	U4
4	IO			DIFFIO_B4n	T6
4	IO				V4
4	IO			DIFFIO_B5p	N7
4	IO			DIFFIO_B5n	T5
4	IO			DIFFIO_B6p	P7
4	IO			DIFFIO_B6n	U5
4	IO			DIFFIO_B7p	R7
4	IO			DIFFIO_B7n	V5
4	IO				T7
4	IO			DIFFIO_B8p	U6
4	IO			DIFFIO_B8n	N8
4	IO			DIFFIO_B9p	V6
4	IO			DIFFIO_B9n	P8
4	IO			DIFFIO_B10p	U7
4	IO			DIFFIO_B10n	R8
4	IO			DIFFIO_B11p	T8
4	IO			DIFFIO_B11n	U8
4	IO			DIFFIO_B12p	P9
4	IO			DIFFIO_B12n	V8
4	IO			DIFFIO_B13p	R9
4	IO			DIFFIO_B13n	U9
4	IO				T9
4	IO			DIFFIO_B14p	V9
4	IO			DIFFIO_B14n	U10
4	IO			DIFFIO_B15p	V10
4	IO			DIFFIO_B15n	P10
4	IO				U11
4	IO		DEV_OE	DIFFIO_B16p	N9
4	IO		DEV_CLRn	DIFFIO_B16n	N10
4	IO			DIFFIO_B17p	R10
4	IO			DIFFIO_B17n	V11
4	IO			DIFFIO_B18p	T10



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F324
4	IO			DIFFIO_B18n	U12
4	IO			DIFFIO_B19p	N11
4	IO			DIFFIO_B19n	V12
4	IO				P11
4	IO			DIFFIO_B20p	U13
4	IO			DIFFIO_B20n	R11
4	IO			DIFFIO_B21p	V13
4	IO			DIFFIO_B21n	T11
4	IO			DIFFIO_B22p	T14
4	IO			DIFFIO_B22n	N12
4	IO				U14
4	IO			DIFFIO_B23p	P12
4	IO			DIFFIO_B23n	V14
4	IO			DIFFIO_B24p	R12
4	IO			DIFFIO_B24n	T15
4	IO			DIFFIO_B25p	T12
4	IO			DIFFIO_B25n	U15
4	IO				P13
4	IO			DIFFIO_B26p	V15
4	IO			DIFFIO_B26n	R13
4	IO			DIFFIO_B27p	U16
4	IO			DIFFIO_B27n	T13
4	IO			DIFFIO_B28p	V17
4	IO			DIFFIO_B28n	U18
4	IO				R14
3	IO			DIFFIO_R32n	T17
3	IO			DIFFIO_R32p	R15
3	IO			DIFFIO_R31n	T16
3	IO			DIFFIO_R31p	R16
3	IO			DIFFIO_R30n	P15
3	IO			DIFFIO_R30p	R17
3	IO			DIFFIO_R29n	P14
3	IO			DIFFIO_R29p	R18
3	IO			DIFFIO_R28n	N15
3	IO			DIFFIO_R28p	P16
3	IO				N14
3	IO			DIFFIO_R27n	P17
3	IO			DIFFIO_R27p	N13
3	IO			DIFFIO_R26n	P18
3	IO			DIFFIO_R26p	M15
3	IO			DIFFIO_R25n	N16
3	IO			DIFFIO_R25p	M14
3	IO			DIFFIO_R24n	N17
3	IO			DIFFIO_R24p	M13
3	IO			DIFFIO_R23n	N18
3	IO			DIFFIO_R23p	M12
3	IO				M16
3	IO			DIFFIO_R22n	L16
3	IO			DIFFIO_R22p	M17
3	IO			DIFFIO_R21n	L15
3	IO			DIFFIO_R21p	M18
3	IO			DIFFIO_R20n	L14
3	IO			DIFFIO_R20p	L17
3	IO			DIFFIO_R19n	L13
3	IO			DIFFIO_R19p	L18
3	IO			DIFFIO_R18n	K16



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F324
3	IO			DIFFIO_R18p	K17
3	IO				K15
3	IO			DIFFIO_R17n	K18
3	IO			DIFFIO_R17p	K14
3	IO	CLK2			K13
3	IO	CLK3			J13
3	IO			DIFFIO_R16n	J18
3	IO			DIFFIO_R16p	J14
3	IO			DIFFIO_R15n	J17
3	IO			DIFFIO_R15p	J15
3	IO			DIFFIO_R14n	H18
3	IO			DIFFIO_R14p	J16
3	IO			DIFFIO_R13n	H17
3	IO			DIFFIO_R13p	H13
3	IO			DIFFIO_R12n	G18
3	IO			DIFFIO_R12p	H14
3	IO			DIFFIO_R11n	G17
3	IO			DIFFIO_R11p	H15
3	IO				G16
3	IO			DIFFIO_R10n	H16
3	IO			DIFFIO_R10p	F18
3	IO			DIFFIO_R9n	G12
3	IO			DIFFIO_R9p	F17
3	IO				G13
3	IO			DIFFIO_R8n	F16
3	IO			DIFFIO_R8p	G14
3	IO			DIFFIO_R7n	E18
3	IO			DIFFIO_R7p	G15
3	IO			DIFFIO_R6n	E17
3	IO			DIFFIO_R6p	F13
3	IO			DIFFIO_R5n	D18
3	IO			DIFFIO_R5p	F14
3	IO			DIFFIO_R4n	E16
3	IO			DIFFIO_R4p	F15
3	IO				D17
3	IO			DIFFIO_R3n	E14
3	IO			DIFFIO_R3p	D16
3	IO			DIFFIO_R2n	C16
3	IO			DIFFIO_R2p	E15
3	IO			DIFFIO_R1n	C17
3	IO			DIFFIO_R1p	D15
2	IO			DIFFIO_T26n	B18
2	IO			DIFFIO_T26p	D14
2	IO				A17
2	IO			DIFFIO_T25n	E13
2	IO			DIFFIO_T25p	B16
2	IO			DIFFIO_T24n	D13
2	IO			DIFFIO_T24p	C15
2	IO			DIFFIO_T23n	F12
2	IO			DIFFIO_T23p	B15
2	IO				E12
2	IO			DIFFIO_T22n	A15
2	IO			DIFFIO_T22p	D12
2	IO			DIFFIO_T21n	C14
2	IO			DIFFIO_T21p	C12
2	IO			DIFFIO_T20n	B14



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F324
2	IO			DIFFIO_T20p	F11
2	IO				A14
2	IO			DIFFIO_T19n	E11
2	IO			DIFFIO_T19p	C13
2	IO				D11
2	IO			DIFFIO_T18n	B13
2	IO			DIFFIO_T18p	C11
2	IO				A13
2	IO			DIFFIO_T17n	F10
2	IO			DIFFIO_T17p	B12
2	IO				E10
2	IO			DIFFIO_T16n	A12
2	IO			DIFFIO_T16p	D10
2	IO				B11
2	IO			DIFFIO_T15n	C10
2	IO			DIFFIO_T15p	A11
2	IO			DIFFIO_T14n	C9
2	IO			DIFFIO_T14p	B10
2	IO			DIFFIO_T13n	A10
2	IO			DIFFIO_T13p	A9
2	IO				D9
2	IO			DIFFIO_T12n	B9
2	IO			DIFFIO_T12p	E9
2	IO			DIFFIO_T11n	A8
2	IO			DIFFIO_T11p	F9
2	IO			DIFFIO_T10n	B8
2	IO			DIFFIO_T10p	C8
2	IO				A7
2	IO			DIFFIO_T9n	D8
2	IO			DIFFIO_T9p	B7
2	IO				E8
2	IO			DIFFIO_T8n	A6
2	IO			DIFFIO_T8p	F8
2	IO				B6
2	IO			DIFFIO_T7n	C7
2	IO			DIFFIO_T7p	A5
2	IO				D7
2	IO			DIFFIO_T6n	B5
2	IO			DIFFIO_T6p	E7
2	IO				C5
2	IO			DIFFIO_T5n	F7
2	IO			DIFFIO_T5p	A4
2	IO			DIFFIO_T4n	C6
2	IO			DIFFIO_T4p	B4
2	IO			DIFFIO_T3n	D6
2	IO			DIFFIO_T3p	C4
2	IO				E6
2	IO			DIFFIO_T2n	B3
2	IO			DIFFIO_T2p	A2
2	IO			DIFFIO_T1n	D5
2	IO			DIFFIO_T1p	B1
	GNDIO				V7
	GNDINT				G8
	GNDINT				H7
	GNDINT				J8
	GNDINT				J10



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0
Note (1)

Bank Number	Pin Name/Function	Optional Function(s)	Configuration Function	Emulated LVDS Output Channel	F324
	GNDINT				K9
	GNDINT				K11
	GNDINT				L12
	GNDINT				M11
	GNDIO				A1
	GNDIO				A18
	GNDIO				B2
	GNDIO				B17
	GNDIO				H8
	GNDIO				H9
	GNDIO				H10
	GNDIO				H11
	GNDIO				L8
	GNDIO				L9
	GNDIO				L10
	GNDIO				L11
	GNDIO				U2
	GNDIO				U17
	GNDIO				V1
	GNDIO				V18
	VCCIO1				C1
	VCCIO1				J7
	VCCIO1				K7
	VCCIO1				T1
	VCCIO2				A16
	VCCIO2				G10
	VCCIO2				G9
	VCCIO2				A3
	VCCIO3				T18
	VCCIO3				J12
	VCCIO3				K12
	VCCIO3				C18
	VCCIO4				V3
	VCCIO4				M9
	VCCIO4				M10
	VCCIO4				V16
	VCCINT				G11
	VCCINT				H12
	VCCINT				J9
	VCCINT				J11
	VCCINT				K8
	VCCINT				K10
	VCCINT				L7
	VCCINT				M8

Note:
 (1) For more information about pin definitions and pin connection guidelines, refer to the [MAX V Device Family Pin Connection Guidelines](#).



Pin Information for the MAX[®] V 5M1270Z Device
Version 1.0

Version Number	Date	Changes Made
1.0	12/3/2010	Initial release.