Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	U484	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1C			REFCLK_GXBL1C_CHTp						K20				
1C			REFCLK_GXBL1C_CHTn						K19				
1C			GXBL1C_TX_CH5n						C21				
1C			GXBL1C_TX_CH5p						C22				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						A19				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						A20				
1C			GXBL1C_TX_CH4n						G21				
1C			GXBL1C_TX_CH4p						G22				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n						E21				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p						E22				
1C			GXBL1C_TX_CH3n						L21				
1C			GXBL1C_TX_CH3p						L22				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n						J21				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p						J22				
1C			GXBL1C_TX_CH2n						R21				
1C			GXBL1C_TX_CH2p						R22				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						N21				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						N22				
1C			GXBL1C_TX_CH1n						W21				
1C			GXBL1C_TX_CH1p						W22				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n						U21				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p						U22				
1C			GXBL1C_TX_CH0n						AA21				
1C			GXBL1C_TX_CH0p						AA22				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n						Y19				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p						Y20				
1C			REFCLK_GXBL1C_CHBp						M20				
1C			REFCLK_GXBL1C_CHBn						M19				
2L	47	VREFB2LN0	IO			DIFFIO2L_1n		No	D9	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			DIFFIO2L_1p		No	D8	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			DIFFIO2L_2n		No	D10	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			DIFFIO2L_2p		No	E10	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			DIFFIO2L_3n		No	F11	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			DIFFIO2L_3p		No	E11	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			DIFFIO2L_4n		No	F9	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			DIFFIO2L_4p		No	E9	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			DIFFIO2L_5n		No	E12	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			DIFFIO2L_5p		No	D12	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			DIFFIO2L_6n		No	H11	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			DIFFIO2L_6p		No	G11	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			DIFFIO2L_7n		No	C8	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			DIFFIO2L_7p		No	B9	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			DIFFIO2L_8n		No	A10	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			DIFFIO2L_8p		No	A11	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			DIFFIO2L_9n		No	C10	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			DIFFIO2L_9p		No	C11	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		DIFFIO2L_10n		No	B8	DQSn3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		DIFFIO2L_10p		No	A8	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			DIFFIO2L_11n		No	A7	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		DIFFIO2L_11p		No	A6	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		DIFFIO2L_12n		No	B11	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		DIFFIO2L_12p		No	B10	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		DIFFIO2L_13n		No	C3	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		DIFFIO2L_13p		No	D3	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			DIFFIO2L_14n		No	E1	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			DIFFIO2L_14p		No	F1	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		DIFFIO2L_15n		No	D2	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		DIFFIO2L_15p		No	C2	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			DIFFIO2L_16n		No	C1	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			DIFFIO2L_16p		No	B1	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			DIFFIO2L_17n		No	F2	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			DIFFIO2L_17p		No	E2	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			DIFFIO2L_18n		No	A2	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			DIFFIO2L_18p		No	A1	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			DIFFIO2L_19n		No	B3	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			DIFFIO2L_19p		No	A3	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			DIFFIO2L_20n		No	B4	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			DIFFIO2L_20p		No	A5	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			DIFFIO2L_21n		No	C7	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			DIFFIO2L_21p		No	D7	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			DIFFIO2L_22n		No	B6	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			DIFFIO2L_22p		No	C6	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			DIFFIO2L_23n		No	E7	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			DIFFIO2L_23p		No	F8	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			DIFFIO2L_24n		No	B5	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			DIFFIO2L_24p		No	C5	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO				LVDS2K_1n	No	G15	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO				LVDS2K_1p	No	G16	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO				LVDS2K_2n	Yes	E15	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO				LVDS2K_2p	Yes	D15	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO				LVDS2K_3n	No	E16	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO				LVDS2K_3p	No	F16	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO				LVDS2K_4n	Yes	H16	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO				LVDS2K_4p	Yes	H15	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO				LVDS2K_5n	No	F14	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO				LVDS2K_5p	No	G14	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO				LVDS2K_6n	Yes	H13	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO				LVDS2K_6p	Yes	H12	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO				LVDS2K_7n	No	A16	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO				LVDS2K_7p	No	A17	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO				LVDS2K_8n	Yes	C17	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO				LVDS2K_8p	Yes	D17	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO				LVDS2K_9n	No	B16	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO				LVDS2K_9p	No	C16	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n			LVDS2K_10n	Yes	C18	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1			LVDS2K_10p	Yes	C19	DQS11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO				LVDS2K_11n	No	D19	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K			LVDS2K_11p	No	E19	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n			LVDS2K_12n	Yes	C15	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p			LVDS2K_12p	Yes	B15	DQ11	DQ5	DQ2	DQ1
2K	23	VREFB2KN0	IO	CLK_2K_0n			LVDS2K_13n	No	K17	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p			LVDS2K_13p	No	J17	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO				LVDS2K_14n	Yes	E17	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO				LVDS2K_14p	Yes	E18	DQS12	DQ6	DQ3	DQS1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n			LVDS2K_15n	No	H17	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0			LVDS2K_15p	No	G18	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO				LVDS2K_16n	Yes	F19	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO				LVDS2K_16p	Yes	G19	DQS13	DQS6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO				LVDS2K_17n	No	F18	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO				LVDS2K_17p	No	F17	DQ13	DQ6	DQ3	DQ1

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	U484	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	13	VREFB2KN0	IO				LVDS2K_18n	Yes	M17	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO				LVDS2K_18p	Yes	L17	DQ13	DQ6	DQS3/CQ3	DQ1
2K	11	VREFB2KN0	IO				LVDS2K_19n	No	D14	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO				LVDS2K_19p	No	E14	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO				LVDS2K_20n	Yes	B13	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO				LVDS2K_20p	Yes	C13	DQS14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO				LVDS2K_21n	No	A13	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO				LVDS2K_21p	No	A12	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO				LVDS2K_22n	Yes	A15	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO				LVDS2K_22p	Yes	B14	DQS15	DQS7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO				LVDS2K_23n	No	D13	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO				LVDS2K_23p	No	C12	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO				LVDS2K_24n	Yes	F13	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO				LVDS2K_24p	Yes	G13	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO				LVDS2J_1n	No	Y11	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO				LVDS2J_1p	No	Y12	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO				LVDS2J_2n	Yes	T16	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO				LVDS2J_2p	Yes	U16	DQS16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO				LVDS2J_3n	No	W12	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO				LVDS2J_3p	No	W13	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO				LVDS2J_4n	Yes	V12	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO				LVDS2J_4p	Yes	V13	DQS17	DQS8/CQ8	DQ4	DQ2
2J	39	VREFB2JN0	IO				LVDS2J_5n	No	T14	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO				LVDS2J_5p	No	U15	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO				LVDS2J_6n	Yes	U13	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO				LVDS2J_6p	Yes	U14	DQ17	DQ8	DQS4/CQ4	DQ2
2J	35	VREFB2JN0	IO				LVDS2J_7n	No	Y17	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO				LVDS2J_7p	No	AA17	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO				LVDS2J_8n	Yes	W17	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO				LVDS2J_8p	Yes	W17	DQS18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO				LVDS2J_9n	No	V16	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO				LVDS2J_9p	No	V15	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n			LVDS2J_10n	Yes	Y16	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1			LVDS2J_10p	Yes	AA16	DQS19	DQS9/CQ9	DQ4	DQ2
2J	27	VREFB2JN0	IO				LVDS2J_11n	No	AB16	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J			LVDS2J_11p	No	AB15	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n			LVDS2J_12n	Yes	W15	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p			LVDS2J_12p	Yes	Y15	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n			LVDS2J_13n	No	AB11	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p			LVDS2J_13p	No	AB10	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO				LVDS2J_14n	Yes	AB13	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO				LVDS2J_14p	Yes	AA13	DQS20	DQ10	DQ5	DQS2/CQ2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n			LVDS2J_15n	No	W14	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0			LVDS2J_15p	No	Y14	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO				LVDS2J_16n	Yes	AA11	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO				LVDS2J_16p	Yes	AA12	DQS21	DQS10/CQ10	DQ5	DQ2
2J	15	VREFB2JN0	IO				LVDS2J_17n	No	W10	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO				LVDS2J_17p	No	Y10	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO				LVDS2J_18n	Yes	AA14	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO				LVDS2J_18p	Yes	AB14	DQ21	DQ10	DQS5/CQ5	DQ2
2J	11	VREFB2JN0	IO				LVDS2J_19n	No	T18	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO				LVDS2J_19p	No	U18	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO				LVDS2J_20n	Yes	R19	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO				LVDS2J_20p	Yes	R18	DQS22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO				LVDS2J_21n	No	U19	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO				LVDS2J_21p	No	T19	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO				LVDS2J_22n	Yes	N17	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO				LVDS2J_22p	Yes	P17	DQS23	DQS11/CQ11	DQ5	DQ2
2J	3	VREFB2JN0	IO				LVDS2J_23n	No	V19	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO				LVDS2J_23p	No	V18	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO				LVDS2J_24n	Yes	T17	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO				LVDS2J_24p	Yes	R17	DQ23	DQ11	DQ5	DQ2
2A	47	VREFB2AN0	IO		DATA0		LVDS2A_1n	No	V7	DQ24	DQ12	DQ6	DQ3
2A	46	VREFB2AN0	IO		DATA1		LVDS2A_1p	No	V6	DQ24	DQ12	DQ6	DQ3
2A	45	VREFB2AN0	IO		DATA2		LVDS2A_2n	Yes	Y6	DQSn24	DQ12	DQ6	DQ3
2A	44	VREFB2AN0	IO		DATA3		LVDS2A_2p	Yes	Y7	DQS24	DQ12	DQ6	DQ3
2A	43	VREFB2AN0	IO		DATA4		LVDS2A_3n	No	AA7	DQ24	DQ12	DQ6	DQ3
2A	42	VREFB2AN0	IO		DATA5		LVDS2A_3p	No	AA8	DQ24	DQ12	DQ6	DQ3
2A	41	VREFB2AN0	IO		DATA6		LVDS2A_4n	Yes	W8	DQSn25	DQSn12/CQn12	DQ6	DQ3
2A	40	VREFB2AN0	IO		DATA7		LVDS2A_4p	Yes	W7	DQS25	DQS12/CQ12	DQ6	DQ3
2A	39	VREFB2AN0	IO		DATA8		LVDS2A_5n	No	V8	DQ25	DQ12	DQ6	DQ3
2A	38	VREFB2AN0	IO		DATA9		LVDS2A_5p	No	U8	DQ25	DQ12	DQ6	DQ3
2A	37	VREFB2AN0	IO		DATA10		LVDS2A_6n	Yes	T6	DQ25	DQ12	DQSn6/CQn6	DQ3
2A	36	VREFB2AN0	IO		DATA11		LVDS2A_6p	Yes	U6	DQ25	DQ12	DQS6/CQ6	DQ3
2A	35	VREFB2AN0	IO		DATA12		LVDS2A_7n	No	AB1	DQ26	DQ13	DQ6	DQ3
2A	34	VREFB2AN0	IO		DATA13		LVDS2A_7p	No	AA1	DQ26	DQ13	DQ6	DQ3
2A	33	VREFB2AN0	IO		DATA14		LVDS2A_8n	Yes	V2	DQSn26	DQ13	DQ6	DQ3
2A	32	VREFB2AN0	IO		DATA15		LVDS2A_8p	Yes	W2	DQS26	DQ13	DQ6	DQ3
2A	31	VREFB2AN0	IO		DATA16		LVDS2A_9n	No	T1	DQ26	DQ13	DQ6	DQ3
2A	30	VREFB2AN0	IO		DATA17		LVDS2A_9p	No	R1	DQ26	DQ13	DQ6	DQ3
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18		LVDS2A_10n	Yes	Y1	DQSn27	DQSn13/CQn13	DQ6	DQ3
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CLKOUT1,PLL_2A_FB1	DATA19		LVDS2A_10p	Yes	Y2	DQS27	DQS13/CQ13	DQ6	DQ3
2A	27	VREFB2AN0	IO		nCEO		LVDS2A_11n	No	AA2	DQ27	DQ13	DQ6	DQ3
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20		LVDS2A_12n	Yes	V1	DQ27	DQ13	DQ6	DQ3
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21		LVDS2A_12p	Yes	U1	DQ27	DQ13	DQ6	DQ3
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22		LVDS2A_13n	No	V3	DQ28	DQ14	DQ7	DQ3
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23		LVDS2A_13p	No	U3	DQ28	DQ14	DQ7	DQ3
2A	21	VREFB2AN0	IO		DATA24		LVDS2A_14n	Yes	AA4	DQSn28	DQ14	DQ7	DQSn3/CQn3
2A	20	VREFB2AN0	IO		DATA25		LVDS2A_14p	Yes	AB3	DQS28	DQ14	DQ7	DQS3/CQ3
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26		LVDS2A_15n	No	W3	DQ28	DQ14	DQ7	DQ3
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CLKOUT0,PLL_2A_FB0	DATA27		LVDS2A_15p	No	W4	DQ28	DQ14	DQ7	DQ3
2A	17	VREFB2AN0	IO		DATA28		LVDS2A_16n	Yes	Y5	DQSn29	DQSn14/CQn14	DQ7	DQ3
2A	16	VREFB2AN0	IO		DATA29		LVDS2A_16p	Yes	Y4	DQS29	DQS14/CQ14	DQ7	DQ3
2A	15	VREFB2AN0	IO		DATA30		LVDS2A_17n	No	AB4	DQ29	DQ14	DQ7	DQ3
2A	14	VREFB2AN0	IO		DATA31		LVDS2A_17p	No	AB5	DQ29	DQ14	DQ7	DQ3
2A	13	VREFB2AN0	IO		CLKUSR		LVDS2A_18n	Yes	AA6	DQ29	DQ14	DQSn7/CQn7	DQ3
2A	12	VREFB2AN0	IO		PR_REQUEST		LVDS2A_18p	Yes	AB6	DQ29	DQ14	DQS7/CQ7	DQ3
2A	11	VREFB2AN0	IO		PR_READY		LVDS2A_19n	No	AB9	DQ30	DQ15	DQ7	DQ3
2A	10	VREFB2AN0	IO		nPERSTL0		LVDS2A_19p	No	AB8	DQ30	DQ15	DQ7	DQ3
2A	9	VREFB2AN0	IO		PR_DONE		LVDS2A_20n	Yes	Y9	DQSn30	DQ15	DQ7	DQ3
2A	7	VREFB2AN0	IO		PR_ERROR		LVDS2A_21n	No	V11	DQ30	DQ15	DQ7	DQ3
2A	5	VREFB2AN0	IO		CvP_CONFDONE		LVDS2A_22n	Yes	T12	DQSn31	DQSn15/CQn15	DQ7	DQ3
2A	3	VREFB2AN0	IO		INIT_DONE		LVDS2A_23n	No	R10	DQ31	DQ15	DQ7	DQ3
2A	2	VREFB2AN0	IO		DEV_OE		LVDS2A_23p	No	T11	DQ31	DQ15	DQ7	DQ3
2A	1	VREFB2AN0	IO		CRC_ERROR		LVDS2A_24n	Yes	V10	DQ31	DQ15	DQ7	DQ3
2A	0	VREFB2AN0	IO		DEV_CLRn		LVDS2A_24p	Yes	W9	DQ31	DQ15	DQ7	DQ3
			GND						U4				
CSS			TDO		TDO				M5				
CSS			TMS		TMS				L3				
CSS			TRST		TRST				L4				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	U484	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
CSS			TCK		TCK				P5				
CSS			TDI		TDI				M4				
CSS			MSEL0		MSEL0				P3				
CSS			MSEL1		MSEL1				N3				
CSS			MSEL2		MSEL2				N5				
CSS			nIO_PULLUP		nIO_PULLUP				T3				
CSS			nSTATUS		nSTATUS				L1				
CSS			CONF_DONE		CONF_DONE				M1				
			GND						M3				
CSS			nCONFIG		nCONFIG				U5				
CSS			nCE		nCE				R5				
CSS			nCSO0		nCSO0				W5				
CSS			nCSO1		nCSO1				N1				
CSS			nCSO2		nCSO2				L2				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO				R2				
CSS			AS_DATA1		AS_DATA1				N2				
CSS			AS_DATA2		AS_DATA2				P2				
CSS			AS_DATA3		AS_DATA3				V5				
CSS			DCLK		DCLK				T2				
			ADCGND						F4				
			GND						G10				
			GND						G9				
			GND						J10				
			GND						J9				
			GND						K10				
			GND						K11				
			GND						K9				
			GND						H10				
			GND						A14				
			GND						A18				
			GND						A21				
			GND						A4				
			GND						A9				
			GND						AA10				
			GND						AA15				
			GND						AA18				
			GND						AA19				
			GND						AA20				
			GND						AA5				
			GND						AB12				
			GND						AB2				
			GND						AB20				
			GND						AB21				
			GND						AB22				
			GND						AB7				
			GND						B12				
			GND						B17				
			GND						B18				
			GND						B19				
			GND						B2				
			GND						B20				
			GND						B21				
			GND						B22				
			GND						B7				
			GND						C14				
			GND						C20				
			GND						C4				
			GND						D1				
			GND						D18				
			GND						D20				
			GND						D21				
			GND						D22				
			GND						D6				
			GND						E13				
			GND						E20				
			GND						E3				
			GND						E8				
			GND						F20				
			GND						F21				
			GND						F22				
			GND						F5				
			GND						G12				
			GND						G17				
			GND						G2				
			GND						G20				
			GND						G7				
			GND						H18				
			GND						H19				
			GND						H20				
			GND						H21				
			GND						H22				
			GND						H4				
			GND						H9				
			GND						J11				
			GND						J16				
			GND						J18				
			GND						J6				
			GND						K13				
			GND						K18				
			GND						K21				
			GND						K22				
			GND						K8				
			GND						L10				
			GND						L15				
			GND						L18				
			GND						L20				
			GND						L5				
			GND						M12				
			GND						M18				
			GND						M2				
			GND						M21				
			GND						M22				
			GND						M7				
			GND						N14				
			GND						N18				
			GND						N4				
			GND						N9				
			GND						P1				
			GND						P11				
			GND						P16				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	U484	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						P18				
			GND						P19				
			GND						P20				
			GND						P21				
			GND						P22				
			GND						P6				
			GND						R13				
			GND						R20				
			GND						R3				
			GND						R8				
			GND						T10				
			GND						T20				
			GND						T21				
			GND						T22				
			GND						T5				
			GND						U17				
			GND						U2				
			GND						U20				
			GND						U7				
			GND						V20				
			GND						V21				
			GND						V22				
			GND						V4				
			GND						W1				
			GND						W11				
			GND						W16				
			GND						W18				
			GND						W19				
			GND						W20				
			GND						Y13				
			GND						Y18				
			GND						Y21				
			GND						Y22				
			GND						Y3				
			GND						J1				
			GND						K2				
			GND						K3				
			GND						H2				
			GNDSENSE						M9				
			VCC						J12				
			VCC						J13				
			VCC						K15				
			VCC						K16				
			VCC						K6				
			VCC						L11				
			VCC						L12				
			VCC						L13				
			VCC						L14				
			VCC						L16				
			VCC						L6				
			VCC						L7				
			VCC						L8				
			VCC						L9				
			VCC						M10				
			VCC						M14				
			VCC						M15				
			VCC						M16				
			VCC						M6				
			VCC						N10				
			VCC						N11				
			VCC						N12				
			VCC						N13				
			VCC						N16				
			VCC						N6				
			VCC						N7				
			VCC						P10				
			VCC						P13				
			VCC						P15				
			VCC						P7				
			VCC						P8				
			VCC						P9				
			VCC						R11				
			VCC						R12				
			VCC						R15				
			VCC						R16				
			VCC						R6				
			VCC						R7				
			VCCPT						J14				
			VCCPT						J8				
			VCCPT						R14				
			VCCPT						R9				
			DNU						AB17				
			DNU						AB18				
			DNU						R4				
			DNU						T4				
			DNU						P4				
			VCCPGM						T9				
			VCCPGM						U9				
			TEMPDIODEn						E4				
			TEMPDIODEp						E5				
			VCCBAT						T8				
			VCCA_PLL						M11				
			VCCA_PLL						M13				
			VCCIO2A						V9				
			VCCIO2A						W6				
			VCCIO2A						Y8				
			VCCIO2J						T15				
			VCCIO2J						U12				
			VCCIO2J						V14				
			VCCIO2K						D16				
			VCCIO2K						F15				
			VCCIO2K						H14				
			VCCIO2L						C9				
			VCCIO2L						D11				
			VCCIO2L						F10				
2A		VREFB2AN0	VREFB2AN0						T7				
2J		VREFB2JN0	VREFB2JN0						T13				
2K		VREFB2KN0	VREFB2KN0						J15				
2L		VREFB2LN0	VREFB2LN0						F12				
			VREFN_ADC						F3				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	U484	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VREFP_ADC						G3				
			NC						K5				
			NC						J7				
			NC						K7				
			NC						G4				
			NC						J5				
			NC						F6				
			NC						J4				
			NC						K4				
			NC						J3				
			NC						H5				
			NC						G8				
			NC						H7				
			NC						H3				
			NC						G5				
			NC						H6				
			NC						H8				
			NC						G6				
			NC						AA3				
			NC						AA9				
			NC						U10				
			NC						U11				
			NC						J2				
			NC						K1				
			NC						G1				
			NC						H1				
			VCCH_GXBL						L19				
			VCCR_GXBL1C						J19				
			VCCR_GXBL1C						J20				
			VCCT_GXBL1C						N19				
			VCCT_GXBL1C						N20				
			RREF_BL						AB19				
			RREF_TL						A22				
			VCCERAM						N15				
			VCCERAM						N8				
			VCCLSENSE						M8				
			VCCP						K12				
			VCCP						K14				
			VCCP						P12				
			VCCP						P14				
			VSIGN_0						D5				
			VSIGN_1						F7				
			VSIGP_0						D4				
			VSIGP_1						E6				

Note:
(1) For more information about pin definition and pin connection guidelines, refer to the Intel Cyclone 10 GX Device Family Pin Connection Guidelines.

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F672	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
1C			REFCLK_GXBL1C_CHTp						R22				
1C			REFCLK_GXBL1C_CHTn						R21				
1C			GXBL1C_TX_CH5n						R25				
1C			GXBL1C_TX_CH5p						R26				
1C			GXBL1C_RX_CH5n,GXBL1C_REFCLK5n						P23				
1C			GXBL1C_RX_CH5p,GXBL1C_REFCLK5p						P24				
1C			GXBL1C_TX_CH4n						U25				
1C			GXBL1C_TX_CH4p						U26				
1C			GXBL1C_RX_CH4n,GXBL1C_REFCLK4n						T23				
1C			GXBL1C_RX_CH4p,GXBL1C_REFCLK4p						T24				
1C			GXBL1C_TX_CH3n						W25				
1C			GXBL1C_TX_CH3p						W26				
1C			GXBL1C_RX_CH3n,GXBL1C_REFCLK3n						V23				
1C			GXBL1C_RX_CH3p,GXBL1C_REFCLK3p						V24				
1C			GXBL1C_TX_CH2n						AA25				
1C			GXBL1C_TX_CH2p						AA26				
1C			GXBL1C_RX_CH2n,GXBL1C_REFCLK2n						Y23				
1C			GXBL1C_RX_CH2p,GXBL1C_REFCLK2p						Y24				
1C			GXBL1C_TX_CH1n						AC25				
1C			GXBL1C_TX_CH1p						AC26				
1C			GXBL1C_RX_CH1n,GXBL1C_REFCLK1n						AB23				
1C			GXBL1C_RX_CH1p,GXBL1C_REFCLK1p						AB24				
1C			GXBL1C_TX_CH0n						AE25				
1C			GXBL1C_TX_CH0p						AE26				
1C			GXBL1C_RX_CH0n,GXBL1C_REFCLK0n						AD23				
1C			GXBL1C_RX_CH0p,GXBL1C_REFCLK0p						AD24				
1C			REFCLK_GXBL1C_CHBp						U22				
1C			REFCLK_GXBL1C_CHBn						U21				
2L	47	VREFB2LN0	IO			DIFFIO2L_1n		No	E5	DQ0	DQ0	DQ0	DQ0
2L	46	VREFB2LN0	IO			DIFFIO2L_1p		No	E4	DQ0	DQ0	DQ0	DQ0
2L	45	VREFB2LN0	IO			DIFFIO2L_2n		No	D5	DQSn0	DQ0	DQ0	DQ0
2L	44	VREFB2LN0	IO			DIFFIO2L_2p		No	D4	DQS0	DQ0	DQ0	DQ0
2L	43	VREFB2LN0	IO			DIFFIO2L_3n		No	E7	DQ0	DQ0	DQ0	DQ0
2L	42	VREFB2LN0	IO			DIFFIO2L_3p		No	E6	DQ0	DQ0	DQ0	DQ0
2L	41	VREFB2LN0	IO			DIFFIO2L_4n		No	F4	DQSn1	DQSn0/CQn0	DQ0	DQ0
2L	40	VREFB2LN0	IO			DIFFIO2L_4p		No	F3	DQS1	DQS0/CQ0	DQ0	DQ0
2L	39	VREFB2LN0	IO			DIFFIO2L_5n		No	G5	DQ1	DQ0	DQ0	DQ0
2L	38	VREFB2LN0	IO			DIFFIO2L_5p		No	G4	DQ1	DQ0	DQ0	DQ0
2L	37	VREFB2LN0	IO			DIFFIO2L_6n		No	F8	DQ1	DQ0	DQSn0/CQn0	DQ0
2L	36	VREFB2LN0	IO			DIFFIO2L_6p		No	F7	DQ1	DQ0	DQS0/CQ0	DQ0
2L	35	VREFB2LN0	IO			DIFFIO2L_7n		No	E9	DQ2	DQ1	DQ0	DQ0
2L	34	VREFB2LN0	IO			DIFFIO2L_7p		No	D9	DQ2	DQ1	DQ0	DQ0
2L	33	VREFB2LN0	IO			DIFFIO2L_8n		No	E11	DQSn2	DQ1	DQ0	DQ0
2L	32	VREFB2LN0	IO			DIFFIO2L_8p		No	E10	DQS2	DQ1	DQ0	DQ0
2L	31	VREFB2LN0	IO			DIFFIO2L_9n		No	C8	DQ2	DQ1	DQ0	DQ0
2L	30	VREFB2LN0	IO			DIFFIO2L_9p		No	C7	DQ2	DQ1	DQ0	DQ0
2L	29	VREFB2LN0	IO	PLL_2L_CLKOUT1n		DIFFIO2L_10n		No	D8	DQSn3	DQSn1/CQn1	DQ0	DQ0
2L	28	VREFB2LN0	IO	PLL_2L_CLKOUT1p,PLL_2L_CLKOUT1,PLL_2L_FB1		DIFFIO2L_10p		No	D7	DQS3	DQS1/CQ1	DQ0	DQ0
2L	27	VREFB2LN0	IO			DIFFIO2L_11n		No	D10	DQ3	DQ1	DQ0	DQ0
2L	26	VREFB2LN0	IO	RZQ_2L		DIFFIO2L_11p		No	C10	DQ3	DQ1	DQ0	DQ0
2L	25	VREFB2LN0	IO	CLK_2L_1n		DIFFIO2L_12n		No	C6	DQ3	DQ1	DQ0	DQ0
2L	24	VREFB2LN0	IO	CLK_2L_1p		DIFFIO2L_12p		No	C5	DQ3	DQ1	DQ0	DQ0
2L	23	VREFB2LN0	IO	CLK_2L_0n		DIFFIO2L_13n		No	B6	DQ4	DQ2	DQ1	DQ0
2L	22	VREFB2LN0	IO	CLK_2L_0p		DIFFIO2L_13p		No	A6	DQ4	DQ2	DQ1	DQ0
2L	21	VREFB2LN0	IO			DIFFIO2L_14n		No	B5	DQSn4	DQ2	DQ1	DQSn0/CQn0
2L	20	VREFB2LN0	IO			DIFFIO2L_14p		No	A4	DQS4	DQ2	DQ1	DQS0/CQ0
2L	19	VREFB2LN0	IO	PLL_2L_CLKOUT0n		DIFFIO2L_15n		No	B8	DQ4	DQ2	DQ1	DQ0
2L	18	VREFB2LN0	IO	PLL_2L_CLKOUT0p,PLL_2L_CLKOUT0,PLL_2L_FB0		DIFFIO2L_15p		No	A7	DQ4	DQ2	DQ1	DQ0
2L	17	VREFB2LN0	IO			DIFFIO2L_16n		No	B10	DQSn5	DQSn2/CQn2	DQ1	DQ0
2L	16	VREFB2LN0	IO			DIFFIO2L_16p		No	B9	DQS5	DQS2/CQ2	DQ1	DQ0
2L	15	VREFB2LN0	IO			DIFFIO2L_17n		No	B4	DQ5	DQ2	DQ1	DQ0
2L	14	VREFB2LN0	IO			DIFFIO2L_17p		No	B3	DQ5	DQ2	DQ1	DQ0
2L	13	VREFB2LN0	IO			DIFFIO2L_18n		No	A9	DQ5	DQ2	DQSn1/CQn1	DQ0
2L	12	VREFB2LN0	IO			DIFFIO2L_18p		No	A8	DQ5	DQ2	DQS1/CQ1	DQ0
2L	11	VREFB2LN0	IO			DIFFIO2L_19n		No	D3	DQ6	DQ3	DQ1	DQ0
2L	10	VREFB2LN0	IO			DIFFIO2L_19p		No	D2	DQ6	DQ3	DQ1	DQ0
2L	9	VREFB2LN0	IO			DIFFIO2L_20n		No	C3	DQSn6	DQ3	DQ1	DQ0
2L	8	VREFB2LN0	IO			DIFFIO2L_20p		No	C2	DQS6	DQ3	DQ1	DQ0
2L	7	VREFB2LN0	IO			DIFFIO2L_21n		No	C1	DQ6	DQ3	DQ1	DQ0
2L	6	VREFB2LN0	IO			DIFFIO2L_21p		No	B1	DQ6	DQ3	DQ1	DQ0
2L	5	VREFB2LN0	IO			DIFFIO2L_22n		No	A3	DQSn7	DQSn3/CQn3	DQ1	DQ0
2L	4	VREFB2LN0	IO			DIFFIO2L_22p		No	A2	DQS7	DQS3/CQ3	DQ1	DQ0
2L	3	VREFB2LN0	IO			DIFFIO2L_23n		No	E2	DQ7	DQ3	DQ1	DQ0
2L	2	VREFB2LN0	IO			DIFFIO2L_23p		No	E1	DQ7	DQ3	DQ1	DQ0
2L	1	VREFB2LN0	IO			DIFFIO2L_24n		No	F2	DQ7	DQ3	DQ1	DQ0
2L	0	VREFB2LN0	IO			DIFFIO2L_24p		No	F1	DQ7	DQ3	DQ1	DQ0
2K	47	VREFB2KN0	IO				LVDS2K_1n	No	H18	DQ8	DQ4	DQ2	DQ1
2K	46	VREFB2KN0	IO				LVDS2K_1p	No	G18	DQ8	DQ4	DQ2	DQ1
2K	45	VREFB2KN0	IO				LVDS2K_2n	Yes	F16	DQSn8	DQ4	DQ2	DQ1
2K	44	VREFB2KN0	IO				LVDS2K_2p	Yes	E16	DQS8	DQ4	DQ2	DQ1
2K	43	VREFB2KN0	IO				LVDS2K_3n	No	F17	DQ8	DQ4	DQ2	DQ1
2K	42	VREFB2KN0	IO				LVDS2K_3p	No	E17	DQ8	DQ4	DQ2	DQ1
2K	41	VREFB2KN0	IO				LVDS2K_4n	Yes	G19	DQSn9	DQSn4/CQn4	DQ2	DQ1
2K	40	VREFB2KN0	IO				LVDS2K_4p	Yes	G20	DQS9	DQS4/CQ4	DQ2	DQ1
2K	39	VREFB2KN0	IO				LVDS2K_5n	No	F18	DQ9	DQ4	DQ2	DQ1
2K	38	VREFB2KN0	IO				LVDS2K_5p	No	F19	DQ9	DQ4	DQ2	DQ1
2K	37	VREFB2KN0	IO				LVDS2K_6n	Yes	E14	DQ9	DQ4	DQSn2/CQn2	DQ1
2K	36	VREFB2KN0	IO				LVDS2K_6p	Yes	E15	DQ9	DQ4	DQS2/CQ2	DQ1
2K	35	VREFB2KN0	IO				LVDS2K_7n	No	C20	DQ10	DQ5	DQ2	DQ1
2K	34	VREFB2KN0	IO				LVDS2K_7p	No	C21	DQ10	DQ5	DQ2	DQ1
2K	33	VREFB2KN0	IO				LVDS2K_8n	Yes	E19	DQSn10	DQ5	DQ2	DQ1
2K	32	VREFB2KN0	IO				LVDS2K_8p	Yes	D19	DQS10	DQ5	DQ2	DQ1
2K	31	VREFB2KN0	IO				LVDS2K_9n	No	D17	DQ10	DQ5	DQ2	DQ1
2K	30	VREFB2KN0	IO				LVDS2K_9p	No	D18	DQ10	DQ5	DQ2	DQ1
2K	29	VREFB2KN0	IO	PLL_2K_CLKOUT1n			LVDS2K_10n	Yes	E20	DQSn11	DQSn5/CQn5	DQ2	DQ1
2K	28	VREFB2KN0	IO	PLL_2K_CLKOUT1p,PLL_2K_CLKOUT1,PLL_2K_FB1			LVDS2K_10p	Yes	D20	DQS11	DQS5/CQ5	DQ2	DQ1
2K	27	VREFB2KN0	IO				LVDS2K_11n	No	F21	DQ11	DQ5	DQ2	DQ1
2K	26	VREFB2KN0	IO	RZQ_2K			LVDS2K_11p	No	E21	DQ11	DQ5	DQ2	DQ1
2K	25	VREFB2KN0	IO	CLK_2K_1n			LVDS2K_12n	Yes	C18	DQ11	DQ5	DQ2	DQ1
2K	24	VREFB2KN0	IO	CLK_2K_1p			LVDS2K_12p	Yes	B18	DQ11	DQ5	DQ2	DQ1

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F672	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2K	23	VREFB2KN0	IO	CLK_2K_0n			LVDS2K_13n	No	C16	DQ12	DQ6	DQ3	DQ1
2K	22	VREFB2KN0	IO	CLK_2K_0p			LVDS2K_13p	No	C17	DQ12	DQ6	DQ3	DQ1
2K	21	VREFB2KN0	IO				LVDS2K_14n	Yes	D14	DQSn12	DQ6	DQ3	DQSn1/CQn1
2K	20	VREFB2KN0	IO				LVDS2K_14p	Yes	D15	DQS12	DQ6	DQ3	DQS1/CQ1
2K	19	VREFB2KN0	IO	PLL_2K_CLKOUT0n			LVDS2K_15n	No	B16	DQ12	DQ6	DQ3	DQ1
2K	18	VREFB2KN0	IO	PLL_2K_CLKOUT0p,PLL_2K_CLKOUT0,PLL_2K_FB0			LVDS2K_15p	No	A16	DQ12	DQ6	DQ3	DQ1
2K	17	VREFB2KN0	IO				LVDS2K_16n	Yes	A17	DQSn13	DQSn6/CQn6	DQ3	DQ1
2K	16	VREFB2KN0	IO				LVDS2K_16p	Yes	A18	DQS13	DQS6/CQ6	DQ3	DQ1
2K	15	VREFB2KN0	IO				LVDS2K_17n	No	C15	DQ13	DQ6	DQ3	DQ1
2K	14	VREFB2KN0	IO				LVDS2K_17p	No	B15	DQ13	DQ6	DQ3	DQ1
2K	13	VREFB2KN0	IO				LVDS2K_18n	Yes	B19	DQ13	DQ6	DQSn3/CQn3	DQ1
2K	12	VREFB2KN0	IO				LVDS2K_18p	Yes	A19	DQ13	DQ6	DQS3/CQ3	DQ1
2K	11	VREFB2KN0	IO				LVDS2K_19n	No	D13	DQ14	DQ7	DQ3	DQ1
2K	10	VREFB2KN0	IO				LVDS2K_19p	No	D12	DQ14	DQ7	DQ3	DQ1
2K	9	VREFB2KN0	IO				LVDS2K_20n	Yes	C13	DQSn14	DQ7	DQ3	DQ1
2K	8	VREFB2KN0	IO				LVDS2K_20p	Yes	B13	DQS14	DQ7	DQ3	DQ1
2K	7	VREFB2KN0	IO				LVDS2K_21n	No	B14	DQ14	DQ7	DQ3	DQ1
2K	6	VREFB2KN0	IO				LVDS2K_21p	No	A14	DQ14	DQ7	DQ3	DQ1
2K	5	VREFB2KN0	IO				LVDS2K_22n	Yes	A13	DQSn15	DQSn7/CQn7	DQ3	DQ1
2K	4	VREFB2KN0	IO				LVDS2K_22p	Yes	A12	DQS15	DQS7/CQ7	DQ3	DQ1
2K	3	VREFB2KN0	IO				LVDS2K_23n	No	C12	DQ15	DQ7	DQ3	DQ1
2K	2	VREFB2KN0	IO				LVDS2K_23p	No	C11	DQ15	DQ7	DQ3	DQ1
2K	1	VREFB2KN0	IO				LVDS2K_24n	Yes	B11	DQ15	DQ7	DQ3	DQ1
2K	0	VREFB2KN0	IO				LVDS2K_24p	Yes	A11	DQ15	DQ7	DQ3	DQ1
2J	47	VREFB2JN0	IO				LVDS2J_1n	No	W18	DQ16	DQ8	DQ4	DQ2
2J	46	VREFB2JN0	IO				LVDS2J_1p	No	W19	DQ16	DQ8	DQ4	DQ2
2J	45	VREFB2JN0	IO				LVDS2J_2n	Yes	Y21	DQSn16	DQ8	DQ4	DQ2
2J	44	VREFB2JN0	IO				LVDS2J_2p	Yes	AA21	DQS16	DQ8	DQ4	DQ2
2J	43	VREFB2JN0	IO				LVDS2J_3n	No	Y19	DQ16	DQ8	DQ4	DQ2
2J	42	VREFB2JN0	IO				LVDS2J_3p	No	Y20	DQ16	DQ8	DQ4	DQ2
2J	41	VREFB2JN0	IO				LVDS2J_4n	Yes	W17	DQSn17	DQSn8/CQn8	DQ4	DQ2
2J	40	VREFB2JN0	IO				LVDS2J_4p	Yes	Y17	DQS17	DQS8/CQ8	DQ4	DQ2
2J	39	VREFB2JN0	IO				LVDS2J_5n	No	AA17	DQ17	DQ8	DQ4	DQ2
2J	38	VREFB2JN0	IO				LVDS2J_5p	No	AB16	DQ17	DQ8	DQ4	DQ2
2J	37	VREFB2JN0	IO				LVDS2J_6n	Yes	Y16	DQ17	DQ8	DQSn4/CQn4	DQ2
2J	36	VREFB2JN0	IO				LVDS2J_6p	Yes	AA16	DQ17	DQ8	DQS4/CQ4	DQ2
2J	35	VREFB2JN0	IO				LVDS2J_7n	No	AB20	DQ18	DQ9	DQ4	DQ2
2J	34	VREFB2JN0	IO				LVDS2J_7p	No	AB21	DQ18	DQ9	DQ4	DQ2
2J	33	VREFB2JN0	IO				LVDS2J_8n	Yes	AC20	DQSn18	DQ9	DQ4	DQ2
2J	32	VREFB2JN0	IO				LVDS2J_8p	Yes	AC21	DQS18	DQ9	DQ4	DQ2
2J	31	VREFB2JN0	IO				LVDS2J_9n	No	AA18	DQ18	DQ9	DQ4	DQ2
2J	30	VREFB2JN0	IO				LVDS2J_9p	No	AB18	DQ18	DQ9	DQ4	DQ2
2J	29	VREFB2JN0	IO	PLL_2J_CLKOUT1n			LVDS2J_10n	Yes	AA19	DQSn19	DQSn9/CQn9	DQ4	DQ2
2J	28	VREFB2JN0	IO	PLL_2J_CLKOUT1p,PLL_2J_CLKOUT1,PLL_2J_FB1			LVDS2J_10p	Yes	AB19	DQS19	DQS9/CQ9	DQ4	DQ2
2J	27	VREFB2JN0	IO				LVDS2J_11n	No	AD19	DQ19	DQ9	DQ4	DQ2
2J	26	VREFB2JN0	IO	RZQ_2J			LVDS2J_11p	No	AD20	DQ19	DQ9	DQ4	DQ2
2J	25	VREFB2JN0	IO	CLK_2J_1n			LVDS2J_12n	Yes	AC18	DQ19	DQ9	DQ4	DQ2
2J	24	VREFB2JN0	IO	CLK_2J_1p			LVDS2J_12p	Yes	AD18	DQ19	DQ9	DQ4	DQ2
2J	23	VREFB2JN0	IO	CLK_2J_0n			LVDS2J_13n	No	AE19	DQ20	DQ10	DQ5	DQ2
2J	22	VREFB2JN0	IO	CLK_2J_0p			LVDS2J_13p	No	AF19	DQ20	DQ10	DQ5	DQ2
2J	21	VREFB2JN0	IO				LVDS2J_14n	Yes	AB15	DQSn20	DQ10	DQ5	DQSn2/CQn2
2J	20	VREFB2JN0	IO				LVDS2J_14p	Yes	AC15	DQS20	DQ10	DQ5	DQS2/CQ2
2J	19	VREFB2JN0	IO	PLL_2J_CLKOUT0n			LVDS2J_15n	No	AF17	DQ20	DQ10	DQ5	DQ2
2J	18	VREFB2JN0	IO	PLL_2J_CLKOUT0p,PLL_2J_CLKOUT0,PLL_2J_FB0			LVDS2J_15p	No	AF18	DQ20	DQ10	DQ5	DQ2
2J	17	VREFB2JN0	IO				LVDS2J_16n	Yes	AD17	DQSn21	DQSn10/CQn10	DQ5	DQ2
2J	16	VREFB2JN0	IO				LVDS2J_16p	Yes	AE17	DQS21	DQS10/CQ10	DQ5	DQ2
2J	15	VREFB2JN0	IO				LVDS2J_17n	No	AC16	DQ21	DQ10	DQ5	DQ2
2J	14	VREFB2JN0	IO				LVDS2J_17p	No	AC17	DQ21	DQ10	DQ5	DQ2
2J	13	VREFB2JN0	IO				LVDS2J_18n	Yes	AE16	DQ21	DQ10	DQSn5/CQn5	DQ2
2J	12	VREFB2JN0	IO				LVDS2J_18p	Yes	AF16	DQ21	DQ10	DQS5/CQ5	DQ2
2J	11	VREFB2JN0	IO				LVDS2J_19n	No	AE10	DQ22	DQ11	DQ5	DQ2
2J	10	VREFB2JN0	IO				LVDS2J_19p	No	AF9	DQ22	DQ11	DQ5	DQ2
2J	9	VREFB2JN0	IO				LVDS2J_20n	Yes	AF12	DQSn22	DQ11	DQ5	DQ2
2J	8	VREFB2JN0	IO				LVDS2J_20p	Yes	AF11	DQS22	DQ11	DQ5	DQ2
2J	7	VREFB2JN0	IO				LVDS2J_21n	No	AE15	DQ22	DQ11	DQ5	DQ2
2J	6	VREFB2JN0	IO				LVDS2J_21p	No	AE14	DQ22	DQ11	DQ5	DQ2
2J	5	VREFB2JN0	IO				LVDS2J_22n	Yes	AD15	DQSn23	DQSn11/CQn11	DQ5	DQ2
2J	4	VREFB2JN0	IO				LVDS2J_22p	Yes	AD14	DQS23	DQS11/CQ11	DQ5	DQ2
2J	3	VREFB2JN0	IO				LVDS2J_23n	No	AE12	DQ23	DQ11	DQ5	DQ2
2J	2	VREFB2JN0	IO				LVDS2J_23p	No	AE11	DQ23	DQ11	DQ5	DQ2
2J	1	VREFB2JN0	IO				LVDS2J_24n	Yes	AF13	DQ23	DQ11	DQ5	DQ2
2J	0	VREFB2JN0	IO				LVDS2J_24p	Yes	AF14	DQ23	DQ11	DQ5	DQ2
2A	47	VREFB2AN0	IO		DATA0		LVDS2A_1n	No	AE5	DQ24	DQ12	DQ6	DQ3
2A	46	VREFB2AN0	IO		DATA1		LVDS2A_1p	No	AE4	DQ24	DQ12	DQ6	DQ3
2A	45	VREFB2AN0	IO		DATA2		LVDS2A_2n	Yes	AD9	DQSn24	DQ12	DQ6	DQ3
2A	44	VREFB2AN0	IO		DATA3		LVDS2A_2p	Yes	AE9	DQS24	DQ12	DQ6	DQ3
2A	43	VREFB2AN0	IO		DATA4		LVDS2A_3n	No	AD7	DQ24	DQ12	DQ6	DQ3
2A	42	VREFB2AN0	IO		DATA5		LVDS2A_3p	No	AE7	DQ24	DQ12	DQ6	DQ3
2A	41	VREFB2AN0	IO		DATA6		LVDS2A_4n	Yes	AF4	DQSn25	DQSn12/CQn12	DQ6	DQ3
2A	40	VREFB2AN0	IO		DATA7		LVDS2A_4p	Yes	AF3	DQS25	DQS12/CQ12	DQ6	DQ3
2A	39	VREFB2AN0	IO		DATA8		LVDS2A_5n	No	AE6	DQ25	DQ12	DQ6	DQ3
2A	38	VREFB2AN0	IO		DATA9		LVDS2A_5p	No	AF6	DQ25	DQ12	DQ6	DQ3
2A	37	VREFB2AN0	IO		DATA10		LVDS2A_6n	Yes	AF8	DQ25	DQ12	DQSn6/CQn6	DQ3
2A	36	VREFB2AN0	IO		DATA11		LVDS2A_6p	Yes	AF7	DQ25	DQ12	DQS6/CQ6	DQ3
2A	35	VREFB2AN0	IO		DATA12		LVDS2A_7n	No	AC8	DQ26	DQ13	DQ6	DQ3
2A	34	VREFB2AN0	IO		DATA13		LVDS2A_7p	No	AD8	DQ26	DQ13	DQ6	DQ3
2A	33	VREFB2AN0	IO		DATA14		LVDS2A_8n	Yes	AC10	DQSn26	DQ13	DQ6	DQ3
2A	32	VREFB2AN0	IO		DATA15		LVDS2A_8p	Yes	AD10	DQS26	DQ13	DQ6	DQ3
2A	31	VREFB2AN0	IO		DATA16		LVDS2A_9n	No	AB6	DQ26	DQ13	DQ6	DQ3
2A	30	VREFB2AN0	IO		DATA17		LVDS2A_9p	No	AB5	DQ26	DQ13	DQ6	DQ3
2A	29	VREFB2AN0	IO	PLL_2A_CLKOUT1n	DATA18		LVDS2A_10n	Yes	AC7	DQSn27	DQSn13/CQn13	DQ6	DQ3
2A	28	VREFB2AN0	IO	PLL_2A_CLKOUT1p,PLL_2A_CLKOUT1,PLL_2A_FB1	DATA19		LVDS2A_10p	Yes	AC6	DQS27	DQS13/CQ13	DQ6	DQ3
2A	27	VREFB2AN0	IO		nCEO		LVDS2A_11n	No	AB10	DQ27	DQ13	DQ6	DQ3
2A	26	VREFB2AN0	IO	RZQ_2A			LVDS2A_11p	No	AB9	DQ27	DQ13	DQ6	DQ3
2A	25	VREFB2AN0	IO	CLK_2A_1n	DATA20		LVDS2A_12n	Yes	AC5	DQ27	DQ13	DQ6	DQ3
2A	24	VREFB2AN0	IO	CLK_2A_1p	DATA21		LVDS2A_12p	Yes	AD5	DQ27	DQ13	DQ6	DQ3
2A	23	VREFB2AN0	IO	CLK_2A_0n	DATA22		LVDS2A_13n	No	Y14	DQ28	DQ14	DQ7	DQ3
2A	22	VREFB2AN0	IO	CLK_2A_0p	DATA23		LVDS2A_13p	No	AA14	DQ28	DQ14	DQ7	DQ3
2A	21	VREFB2AN0	IO		DATA24		LVDS2A_14n	Yes	AD13	DQSn28	DQ14	DQ7	DQSn3/CQn3
2A	20	VREFB2AN0	IO		DATA25		LVDS2A_14p	Yes	AD12	DQS28	DQ14	DQ7	DQS3/CQ3

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F672	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
2A	19	VREFB2AN0	IO	PLL_2A_CLKOUT0n	DATA26		LVDS2A_15n	No	W15	DQ28	DQ14	DQ7	DQ3
2A	18	VREFB2AN0	IO	PLL_2A_CLKOUT0p,PLL_2A_CLKOUT0,PLL_2A_FB0	DATA27		LVDS2A_15p	No	Y15	DQ28	DQ14	DQ7	DQ3
2A	17	VREFB2AN0	IO		DATA28		LVDS2A_16n	Yes	AB14	DQSn29	DQSn14/CQn14	DQ7	DQ3
2A	16	VREFB2AN0	IO		DATA29		LVDS2A_16p	Yes	AB13	DQS29	DQS14/CQ14	DQ7	DQ3
2A	15	VREFB2AN0	IO		DATA30		LVDS2A_17n	No	AB11	DQ29	DQ14	DQ7	DQ3
2A	14	VREFB2AN0	IO		DATA31		LVDS2A_17p	No	AC11	DQ29	DQ14	DQ7	DQ3
2A	13	VREFB2AN0	IO		CLKUSR		LVDS2A_18n	Yes	AC13	DQ29	DQ14	DQSn7/CQn7	DQ3
2A	12	VREFB2AN0	IO		PR_REQUEST		LVDS2A_18p	Yes	AC12	DQ29	DQ14	DQS7/CQ7	DQ3
2A	11	VREFB2AN0	IO		PR_READY		LVDS2A_19n	No	AA9	DQ30	DQ15	DQ7	DQ3
2A	10	VREFB2AN0	IO		nPERSTL0		LVDS2A_19p	No	AB8	DQ30	DQ15	DQ7	DQ3
2A	9	VREFB2AN0	IO		PR_DONE		LVDS2A_20n	Yes	W9	DQSn30	DQ15	DQ7	DQ3
2A	8	VREFB2AN0	IO				LVDS2A_20p	Yes	W8	DQS30	DQ15	DQ7	DQ3
2A	7	VREFB2AN0	IO		PR_ERROR		LVDS2A_21n	No	AA13	DQ30	DQ15	DQ7	DQ3
2A	6	VREFB2AN0	IO				LVDS2A_21p	No	AA12	DQ30	DQ15	DQ7	DQ3
2A	5	VREFB2AN0	IO		CvP_CONFDONE		LVDS2A_22n	Yes	AA8	DQSn31	DQSn15/CQn15	DQ7	DQ3
2A	4	VREFB2AN0	IO				LVDS2A_22p	Yes	AA7	DQS31	DQS15/CQ15	DQ7	DQ3
2A	3	VREFB2AN0	IO		INIT_DONE		LVDS2A_23n	No	W10	DQ31	DQ15	DQ7	DQ3
2A	2	VREFB2AN0	IO		DEV_OE		LVDS2A_23p	No	Y9	DQ31	DQ15	DQ7	DQ3
2A	1	VREFB2AN0	IO		CRC_ERROR		LVDS2A_24n	Yes	AA11	DQ31	DQ15	DQ7	DQ3
2A	0	VREFB2AN0	IO		DEV_CLRn		LVDS2A_24p	Yes	Y10	DQ31	DQ15	DQ7	DQ3
3A	47	VREFB3AN0	IO				LVDS3A_1n	No	K4	DQ56	DQ28	DQ14	DQ7
3A	46	VREFB3AN0	IO				LVDS3A_1p	No	J4	DQ56	DQ28	DQ14	DQ7
3A	45	VREFB3AN0	IO				LVDS3A_2n	Yes	H6	DQSn56	DQ28	DQ14	DQ7
3A	44	VREFB3AN0	IO				LVDS3A_2p	Yes	H5	DQS56	DQ28	DQ14	DQ7
3A	43	VREFB3AN0	IO				LVDS3A_3n	No	K5	DQ56	DQ28	DQ14	DQ7
3A	42	VREFB3AN0	IO				LVDS3A_3p	No	J5	DQ56	DQ28	DQ14	DQ7
3A	41	VREFB3AN0	IO				LVDS3A_4n	Yes	M4	DQSn57	DQSn28/CQn28	DQ14	DQ7
3A	40	VREFB3AN0	IO				LVDS3A_4p	Yes	L4	DQS57	DQS28/CQ28	DQ14	DQ7
3A	39	VREFB3AN0	IO				LVDS3A_5n	No	H3	DQ57	DQ28	DQ14	DQ7
3A	38	VREFB3AN0	IO				LVDS3A_5p	No	G3	DQ57	DQ28	DQ14	DQ7
3A	37	VREFB3AN0	IO				LVDS3A_6n	Yes	N5	DQ57	DQ28	DQSn14/CQn14	DQ7
3A	36	VREFB3AN0	IO				LVDS3A_6p	Yes	M5	DQ57	DQ28	DQS14/CQ14	DQ7
3A	35	VREFB3AN0	IO				LVDS3A_7n	No	J3	DQ58	DQ29	DQ14	DQ7
3A	34	VREFB3AN0	IO				LVDS3A_7p	No	H2	DQ58	DQ29	DQ14	DQ7
3A	29	VREFB3AN0	IO	PLL_3A_CLKOUT1n			LVDS3A_10n	Yes	L2	DQSn59	DQSn29/CQn29	DQ14	DQ7
3A	28	VREFB3AN0	IO	PLL_3A_CLKOUT1p,PLL_3A_CLKOUT1,PLL_3A_FB1			LVDS3A_10p	Yes	K1	DQS59	DQS29/CQ29	DQ14	DQ7
3A	27	VREFB3AN0	IO				LVDS3A_11n	No	M1	DQ59	DQ29	DQ14	DQ7
3A	26	VREFB3AN0	IO	RZQ_3A			LVDS3A_11p	No	L1	DQ59	DQ29	DQ14	DQ7
3A	25	VREFB3AN0	IO	CLK_3A_1n			LVDS3A_12n	Yes	M3	DQ59	DQ29	DQ14	DQ7
3A	24	VREFB3AN0	IO	CLK_3A_1p			LVDS3A_12p	Yes	L3	DQ59	DQ29	DQ14	DQ7
3A	23	VREFB3AN0	IO	CLK_3A_0n			LVDS3A_13n	No	P5	DQ60	DQ30	DQ15	DQ7
3A	22	VREFB3AN0	IO	CLK_3A_0p			LVDS3A_13p	No	R5	DQ60	DQ30	DQ15	DQ7
3A	19	VREFB3AN0	IO	PLL_3A_CLKOUT0n			LVDS3A_15n	No	P4	DQ60	DQ30	DQ15	DQ7
3A	18	VREFB3AN0	IO	PLL_3A_CLKOUT0p,PLL_3A_CLKOUT0,PLL_3A_FB0			LVDS3A_15p	No	P3	DQ60	DQ30	DQ15	DQ7
			GND						AD4				
CSS			TDO		TDO				AA1				
CSS			TMS		TMS				AC1				
CSS			TRST		TRST				AA6				
CSS			TCK		TCK				Y1				
CSS			TDI		TDI				AE1				
CSS			MSEL0		MSEL0				Y2				
CSS			MSEL1		MSEL1				AA3				
CSS			MSEL2		MSEL2				AA2				
CSS			nIO_PULLUP		nIO_PULLUP				W5				
CSS			nSTATUS		nSTATUS				AD3				
CSS			CONF_DONE		CONF_DONE				AB1				
			GND						W4				
CSS			nCONFIG		nCONFIG				Y5				
CSS			nCE		nCE				AA4				
CSS			nCSO0		nCSO0				AE2				
CSS			nCSO1		nCSO1				AC3				
CSS			nCSO2		nCSO2				AB4				
CSS			AS_DATA0,ASDO		AS_DATA0,ASDO				Y4				
CSS			AS_DATA1		AS_DATA1				AD2				
CSS			AS_DATA2		AS_DATA2				AC2				
CSS			AS_DATA3		AS_DATA3				AB3				
CSS			DCLK		DCLK				AF2				
			ADCGND						J7				
			GND						H11				
			GND						J10				
			GND						K11				
			GND						K12				
			GND						L12				
			GND						M11				
			GND						J12				
			GND						A10				
			GND						A15				
			GND						A20				
			GND						A22				
			GND						A23				
			GND						A24				
			GND						A25				
			GND						A5				
			GND						AA10				
			GND						AA20				
			GND						AA22				
			GND						AA23				
			GND						AA24				
			GND						AA5				
			GND						AB2				
			GND						AB22				
			GND						AB25				
			GND						AB26				
			GND						AB7				
			GND						AC14				
			GND						AC19				
			GND						AC22				
			GND						AC23				
			GND						AC24				
			GND						AC4				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F672	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						AC9				
			GND						AD1				
			GND						AD11				
			GND						AD16				
			GND						AD21				
			GND						AD22				
			GND						AD25				
			GND						AD26				
			GND						AD6				
			GND						AE13				
			GND						AE18				
			GND						AE20				
			GND						AE21				
			GND						AE22				
			GND						AE23				
			GND						AE24				
			GND						AE3				
			GND						AE8				
			GND						AF10				
			GND						AF15				
			GND						AF20				
			GND						AF24				
			GND						AF25				
			GND						AF5				
			GND						B12				
			GND						B17				
			GND						B2				
			GND						B20				
			GND						B21				
			GND						B22				
			GND						B25				
			GND						B26				
			GND						B7				
			GND						C14				
			GND						C19				
			GND						C22				
			GND						C23				
			GND						C24				
			GND						C4				
			GND						D1				
			GND						D21				
			GND						D22				
			GND						D25				
			GND						D26				
			GND						D6				
			GND						E13				
			GND						E22				
			GND						E23				
			GND						E24				
			GND						E3				
			GND						F10				
			GND						F20				
			GND						F22				
			GND						F25				
			GND						F26				
			GND						F5				
			GND						G12				
			GND						G17				
			GND						G2				
			GND						G21				
			GND						G22				
			GND						G23				
			GND						G24				
			GND						G7				
			GND						H14				
			GND						H19				
			GND						H22				
			GND						H25				
			GND						H26				
			GND						H4				
			GND						H9				
			GND						J1				
			GND						J11				
			GND						J16				
			GND						J20				
			GND						J21				
			GND						J22				
			GND						J23				
			GND						J24				
			GND						J6				
			GND						K13				
			GND						K18				
			GND						K25				
			GND						K26				
			GND						K3				
			GND						K8				
			GND						L10				
			GND						L15				
			GND						L20				
			GND						L23				
			GND						L24				
			GND						L5				
			GND						M12				
			GND						M17				
			GND						M2				
			GND						M20				
			GND						M25				
			GND						M26				
			GND						M7				
			GND						N14				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F672	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			GND						N19				
			GND						N20				
			GND						N23				
			GND						N24				
			GND						N4				
			GND						N9				
			GND						P1				
			GND						P11				
			GND						P16				
			GND						P25				
			GND						P26				
			GND						P6				
			GND						R13				
			GND						R18				
			GND						R20				
			GND						R23				
			GND						R24				
			GND						R8				
			GND						T10				
			GND						T15				
			GND						T20				
			GND						T25				
			GND						T26				
			GND						U12				
			GND						U17				
			GND						U20				
			GND						U23				
			GND						U24				
			GND						U7				
			GND						V14				
			GND						V19				
			GND						V20				
			GND						V21				
			GND						V22				
			GND						V25				
			GND						V26				
			GND						V4				
			GND						V9				
			GND						W1				
			GND						W11				
			GND						W21				
			GND						W22				
			GND						W23				
			GND						W24				
			GND						W6				
			GND						Y22				
			GND						Y25				
			GND						Y26				
			GND						Y3				
			GND						Y8				
			GND						L22				
			GND						L21				
			GND						B23				
			GND						B24				
			GND						D23				
			GND						D24				
			GND						F23				
			GND						F24				
			GND						H23				
			GND						H24				
			GND						K23				
			GND						K24				
			GND						M23				
			GND						M24				
			GND						N22				
			GND						N21				
			GNDSENSE						R10				
			VCC						K10				
			VCC						K15				
			VCC						K16				
			VCC						K17				
			VCC						K9				
			VCC						L13				
			VCC						L14				
			VCC						L17				
			VCC						L18				
			VCC						L8				
			VCC						L9				
			VCC						M10				
			VCC						M13				
			VCC						M14				
			VCC						M16				
			VCC						M8				
			VCC						N10				
			VCC						N12				
			VCC						N15				
			VCC						N16				
			VCC						N17				
			VCC						N18				
			VCC						N8				
			VCC						P12				
			VCC						P13				
			VCC						P14				
			VCC						P17				
			VCC						P18				
			VCC						P8				
			VCC						P9				
			VCC						R14				
			VCC						R15				
			VCC						R17				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F672	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			VCC						T12				
			VCC						T13				
			VCC						T14				
			VCC						T17				
			VCC						T18				
			VCC						T8				
			VCC						T9				
			VCC						U10				
			VCC						U11				
			VCC						U13				
			VCC						U14				
			VCC						U15				
			VCC						U16				
			VCC						U18				
			VCC						U8				
			VCC						U9				
			VCCPT						L11				
			VCCPT						L16				
			VCCPT						T11				
			VCCPT						T16				
			DNU						AF21				
			DNU						AF22				
			DNU						W7				
			DNU						Y7				
			DNU						Y6				
			VCCPGM						V11				
			VCCPGM						V12				
			TEMPDIODEn						J8				
			TEMPDIODEp						J9				
			VCCBAT						V10				
			VCCA_PLL						N11				
			VCCA_PLL						N13				
			VCCIO2A						AA15				
			VCCIO2A						AB12				
			VCCIO2A						Y13				
			VCCIO2J						AB17				
			VCCIO2J						W16				
			VCCIO2J						Y18				
			VCCIO2K						D16				
			VCCIO2K						E18				
			VCCIO2K						F15				
			VCCIO2L						C9				
			VCCIO2L						D11				
			VCCIO2L						E8				
			VCCIO3A						R3				
			VCCIO3A						T5				
			VCCIO3A						U2				
2A		VREFB2AN0	VREFB2AN0						V15				
2J		VREFB2JN0	VREFB2JN0						V17				
2K		VREFB2KN0	VREFB2KN0						H17				
2L		VREFB2LN0	VREFB2LN0						E12				
3A		VREFB3AN0	VREFB3AN0						R6				
			VREFN_ADC						G6				
			VREFP_ADC						F6				
			NC						G13				
			NC						G11				
			NC						H10				
			NC						F12				
			NC						G16				
			NC						F14				
			NC						G15				
			NC						G14				
			NC						G10				
			NC						H13				
			NC						J15				
			NC						J13				
			NC						F13				
			NC						F11				
			NC						J14				
			NC						H15				
			NC						H16				
			NC						H12				
			NC						H20				
			NC						H21				
			NC						H7				
			NC						J17				
			NC						J18				
			NC						J19				
			NC						K14				
			NC						K19				
			NC						K6				
			NC						K7				
			NC						L19				
			NC						L6				
			NC						L7				
			NC						M18				
			NC						M19				
			NC						M6				
			NC						N6				
			NC						N7				
			NC						P19				
			NC						P7				
			NC						R19				
			NC						R7				
			NC						T19				
			NC						T6				
			NC						T7				
			NC						U19				
			NC						U6				
			NC						V13				

Bank Number	Index within I/O Bank	VREF	Pin Name/Function	Optional Function(s)	Configuration Function	Non-dedicated Tx/Rx Channel	Dedicated Tx/Rx Channel	Soft CDR Support	F672	DQS for X4	DQS for X8/X9	DQS for X16/X18	DQS for X32/X36
			NC						V16				
			NC						V18				
			NC						V5				
			NC						V6				
			NC						V7				
			NC						V8				
			NC						W12				
			NC						W13				
			NC						W14				
			NC						W20				
			NC						Y11				
			NC						Y12				
			NC						C25				
			NC						C26				
			NC						E25				
			NC						E26				
			NC						G25				
			NC						G26				
			NC						J25				
			NC						J26				
			NC						L25				
			NC						L26				
			NC						N25				
			NC						N26				
			NC						K2				
			NC						J2				
			NC						H1				
			NC						G1				
			NC						T3				
			NC						U3				
			NC						N3				
			NC						N2				
			NC						U5				
			NC						U4				
			NC						R4				
			NC						T4				
			NC						T2				
			NC						T1				
			NC						U1				
			NC						V1				
			NC						P2				
			NC						N1				
			NC						R2				
			NC						R1				
			NC						V3				
			NC						V2				
			NC						W3				
			NC						W2				
			VCCH_GXBL						K20				
			VCCH_GXBL						P20				
			VCCR_GXBL1C						T21				
			VCCR_GXBL1C						T22				
			VCCR_GXBL1D						M21				
			VCCR_GXBL1D						M22				
			VCCT_GXBL1C						P21				
			VCCT_GXBL1C						P22				
			VCCT_GXBL1D						K21				
			VCCT_GXBL1D						K22				
			RREF_BL						AF23				
			RREF_TL						A21				
			VCCERAM						P10				
			VCCERAM						P15				
			VCCLSENSE						R11				
			VCCP						M15				
			VCCP						M9				
			VCCP						R12				
			VCCP						R16				
			VCCP						R9				
			VSIGN_0						H8				
			VSIGN_1						G9				
			VSIGP_0						G8				
			VSIGP_1						F9				

Note:
(1) For more information about pin definition and pin connection guidelines, refer to the Intel Cyclone 10 GX Device Family Pin Connection Guidelines.

Date	Version	Changes
February 2017	2017.02.13	Initial release.
May 2017	2017.05.26	Updated the transceiver channels information.
December 2018	2018.12.27	- Changed VCCIO3B and VREF3BN0 to GND pins in Pin List U484. - Changed 24 NC pins to I/O pins to support DDR3 x72 in Pin List F672.
April 2019	2019.04.22	Added the PR Request, PR Ready, PR Done, and PR Error pins.