

## 世界屈指の RISC-V ツール・プロバイダー Ashling とのパートナーシップにより マルチプラットフォーム RISC-V のサポートを拡大

### 著者 概要

インテル コーポレーション  
プロダクト・マーケティング・マネージャー  
**Shreya Mehrotra**

インテル コーポレーション  
プロダクト・マーケティング・マネージャー  
**Findlay Shearer**

Ashling  
CEO

**Hugh O' Keeffe**

Ashling  
ビジネス開発担当バイス・プレジデント  
**Nadim Shehayed**

FPGA の場合、デバイスのプログラマブル・ファブリック内に 1 つ以上のソフトコア・プロセッサをインスタンス化することができるため、プログラム可能なマイクロコントローラーやマイクロプロセッサ・コアを設計者が独自の設計に追加できるようになっています。

FPGA ベースのソフト・プロセッサが発揮するパフォーマンスが組込み市場でますます重視されるようになり、複雑なワークロードを運用する産業機器や防衛といった分野での組込みアプリケーションでは、ソフトウェア開発の短期化を促す、使いやすいツールに対応した複数の高性能ソフト・プロセッサが必要とされています。

こうした市場の性能ニーズを満たすと同時に、テクノロジー・ブロックや Intellectual Property ブロック (IP ブロック) への継続的なアップグレード・パスと、業界トップのツールへのアクセスを確保できるのが RISC-V です。RISC-V エコシステムが拡大するにつれて、高いソフトウェア互換性のほか、充実したツールやコンパイラー、標準のデバッグ環境も整えられてきました。

インテル® FPGA 内で使用するソフト・プロセッサのオープン・スタンダードへの移行、つまり世界屈指の RISC-V ソリューション・プロバイダーである Ashling とのパートナーシップを通じて、インテルはユーザーに最新の統合開発環境 (IDE)、コンパイラー、デバッガー、オペレーティング・システム (OS) を含めた多様なエコシステムへのアクセスを提供します。

### インテルが選ばれる理由

- プロセッサ業界のパイオニアとして、インテルの x86 プロセッサ、FPGA、RISC-V IP をはじめ幅広いポートフォリオを展開
- インテル® FPGA ベースの次世代 RISC-V プロセッサとなる Nios® V プロセッサが、パフォーマンスの向上に加え、拡大と成長を続けるエコシステムへのアクセスを提供
- FPGA からインテル® eASIC™ デバイス、ASIC への移行パスを提供できる唯一の企業
- インテルの x86 だけでなく、Arm、RISC-V と、業界を主導する 3 つの ISA すべてに最適化された IP を提供できるファウンドリー・サービスは、インテルのファウンドリー事業 Intel Foundry Services (IFS) のみ

### Ashling とのパートナーシップの理由

- 組込みの開発ツールとサービスを提供する世界トップのプロバイダー
- 安定性の高い RISC-V IDE、コンパイラー、統合型デバッガー
- インテル® Agilix™ デバイス、インテル® Stratix® 10 デバイス、インテル® Arria® 10 デバイス、インテル® Cyclone® 10 GX デバイスなどに幅広く対応

### インテルの RISC-V 戦略

インテルは、マイクロプロセッサ業界のパイオニアとして、今から 50 年以上も遡る 1971 年に、世界初の商用マイクロプロセッサ「Intel 4004」を開発しました。1978 年には x86 アーキテクチャーを構築し、これはマイクロプロセッサ基盤のコンピューティングで用いる初の命令セット・アーキテクチャー (ISA) の 1 つとされています。この x86 ISA は、世界中で最も広く利用される汎用コンピューティング・アプリケーション向けのアーキテクチャーへと発展しました。インテルは x86 ISA のリリース以降、世界で最も成功を収めた ISA 系の開発、最も実りあるパートナーシップの確立、最も生産性の高いエコシステムの発展に、40 年以上にわたり取り組み続けています。

マイクロプロセッサの提供に加え、インテルのプログラマブル・ソリューションズ事業本部では、大容量かつ高性能の FPGA を開発しています。FPGA は、コンフィグレーション可能な内蔵 SRAM から、高速トランシーバー、高速 I/O、ロジックブロック、ルーティングまで、バラエティー豊かな選択肢を提供するデバイスです。実装される IP ブロックと卓越したソフトウェア・ツールの組み合わせにより、FPGA の開発期間、労力、コストを抑えることができます。

2022 年 2 月、インテルはオープン・ハードウェアの国際標準化団体である RISC-V International に常時会員として加盟しました。このオープンな RISC-V のエコシステムの目的は、最新のコンピューティングに不可欠なオープンなモジュール型ビルディング・ブロックを提供することです。インテルが RISC-V に加わり、主導的な役割を担うことで、RISC-V のエコシステムが持つ可能性を業界のあらゆるステークホルダーへと拡大していきます。

インテルは RISC-V 戦略の一環として、Ashling、Andes Technology、Esperanto Technologies、SiFive、Ventana Micro Systems をはじめ、RISC-V のエコシステムをけん引するパートナー企業との協働を進めています。

インテルでは、RISC-V のエコシステムを増強するだけでなく、RISC-V の導入をさらに推し進めるための投資を計画しています。こうした投資により、インテルのテクノロジーを活用して RISC-V に創造的破壊を起こす企業は、次のような取り組みでの連携を通じて、イノベーションを加速していくはず

- テクノロジーの協調最適化
- ウェアーシャトルの最優先
- 顧客デザインをサポート
- 開発ボードの構築

## ソフトウェア・インフラストラクチャーの進化

例えば、市場セグメントごとにパフォーマンスを最適化した幅広い RISC-V ベースの検証済みコアを提供するというインテルの計画もその1つです。トップクラスのプロバイダーと連携することで、組込みから HPC まで分野を問わず、あらゆるコアで RISC-V がインテルのシリコン上で最適な状態で確実に動くように、インテルのプロセス技術に合わせて IP ブロックを最適化しています。今後 RISC-V に対応する次の 3 タイプが利用可能になる予定です。

- インテルのテクノロジーを基盤に製造されたパートナー製品
- 差別化を図った IP ブロックとしてライセンス認証された RISC-V コア
- インテルの高度なパッケージング技術と高速のチップ間インターフェイスを備えた RISC-V チップレットのビルディング・ブロック

インテルの RISC-V に対する投資により、RISC-V コミュニティーとの連携とともに、オープンな RISC-V ブロックはもちろん、あらゆる成果物の開発が加速していくことは間違いありません。また、インテルのファウンドリー事業 Intel Foundry Services (IFS) では、大学やコンソーシアムなどエコシステム全体にわたり自由な実験や試みを促進する、オープンソースのソフトウェア開発プラットフォームに出資していく予定となっています。この IFS の戦略によって、インテルのプロセス技術に最適化された広範囲にわたる多様なテクノロジーが提供されていくと見込まれます。インテルの x86 だけでなく、Arm、RISC-V と、業界を主導する 3 つの ISA すべてに最適化された IP を提供できるファウンドリー・サービスは、IFS 以外にありません。インテルはすでに、ファウンドリーの顧客企業の多くから、RISC-V IP ブロックのさらなるサポートを求める強い需要を確実視しています。

## インテル® eASIC™ デバイス：FPGA から ASIC へと移行する高速パス

多様なビジネスモデルと開発モデルを擁するインテルには、市場をリードするインテル® eASIC™ デバイスと ASIC 製品の豊富な選択肢が揃っています。ストラクチャード ASIC であるインテル® eASIC™ デバイスは、FPGA とスタンダード・セル ASIC の中間に位置付けられるテクノロジーです。その代替手段となるスタンダード・セル ASIC は、IFS を利用して製造することができます。IFS は、世界の高まる半導体需要に応えるために、完全に垂直統合型の独立したファウンドリー事業として設立されました。

インテル® eASIC™ デバイスのパフォーマンスは、FPGA と ASIC 実装の中間に分類されます。インテル® eASIC™ デバイスを使用すれば、FPGA 実装と同等のクロックレートを維持しながら、消費電力を抑えることが可能です。また、パフォーマンスを向上させながらも、熱設計 / 消費電力バジェットを維持することができます。インテル® eASIC™ デバイスはさらに、スタンダード・セル ASIC と比べて市場投入 (TTM) までの期間が短く、開発コスト (NRE) も低く抑えられます。これに対しスタンダード・セル ASIC の場合、電力消費を最小限に抑えつつ、最高レベルのパフォーマンスを提供することが可能です。インテル® FPGA のデザイン実装は、いったん実証されてしまえば、同じデザインをコストと消費電力が低いインテル® eASIC™ デバイスや、よりパフォーマンスが高くさらに消費電力の低い ASIC へハード化することができます。インテル® FPGA へのデザイン実装から開始して、インテル® eASIC™ デバイスへ移植し、その後もう一度フル ASIC へと移植するのが理想的と言えるでしょう (図 1)。

インテルの RISC-V 戦略は、インテル® FPGA に実装する RISC-V を設計して、その後インテル® FPGA、インテル® eASIC™ デバイス、ASIC へと、IFS で製造されたデバイスを含め、デプロイできるようにすることです。コスト



図 1. インテルが提供する、FPGA からインテル® eASIC™ デバイスや ASIC への移行パス。コスト削減、消費電力の低減、パフォーマンス向上を実現

削減、消費電力の低減、パフォーマンスの向上を実現しながらこのような FPGA- インテル® eASIC™ デバイス-ASIC 間の移行パスを提供できる企業はインテル以外にありません。

## RISC-V が FPGA のお客様にもたらす価値

RISC-V は、2010 年に発表された、オープンソースのハードウェア ISA です。ほかの多くの ISA とは異なり、オープンソースのライセンスで提供されています。RISC-V 命令セットの仕様では、32ビットと 64ビット両方のアドレス空間バリエーションが定義されており、可変幅で拡張可能なこと、幅広いユースケースに合わせて設計できる点が、この命令セットの特長として挙げられます。

RISC-V が成功している理由としては、オープンソースの ISA である以外にも、モジュール方式、拡張性、安定性、効率、パフォーマンスを意図してゼロから構築されたという事実に起因すると考えられます。RISC-V は、過去の遺産に縛られた制限や下位互換性といった制約がない「クリーンシート」な設計です。こうした特長によって、オープンなコンピューティング設計の自由とイノベーションの未来を切り拓いています。多くの貢献者が RISC-V に関与している結果として、現在利用できる複数のオープンソース・アーキテクチャー実装を活用した数々のイノベーションが促進されています。

営利企業では、何年にもわたり導入していく製品を安定して設計できる ISA を必要としています。この問題に対処しようと、RISC-V の定義を所有、維持、公開する RISC-V Foundation が 2015 年に設立されました。この非営利団体の役割をより明確に反映するため、2020 年に名称を RISC-V International へと変更しています。

RISC-V の成長は目覚ましく、RISC-V International によると<sup>1</sup>、「RISC-V の積極的な取り組みと投資により、RISC-V の加盟企業は、プレミアレベルのメンバー 18 社を含め、2021 年には 130% 増加となる 2,478 メンバーへと急上昇を続けている」と報告されています。すでに数十億ものチップに実装されている RISC-V は、業界や業種を横断した商用利用が広がり、組込みの車載システムからハイパースケールの人工知能 (AI)、5G、ハイパフォーマンス・コンピューティング (HPC) と、ほかにも多くの用途に採用されてきました。

オープンソースの特性から、RISC-V はオープン・スタンダードのコラボレーションを通じて、プロセッサ・イノベーションの新時代を切り拓くと期待されます。多くの企業が参入した結果、実装イノベーションが促進され、洗練されたハードウェア設計と検証ツール、豊かなソフトウェア開発ツールスイート、オペレーティング・システム (OS)、リアルタイム・オペレーティング・システム (RTOS) ポートなど、オープンソースの広範にわたるエコシステムが瞬間に出現しました。ハードコア / ソフトコア RISC-V プロセッサの利用が拡大したことで、異なる実装間でアプリケーションの移植がスムーズに進み、継続的なアプリケーションの利用が可能になっています。RISC-V アーキテクチャーのアドバンテージを最大限に活かすためにゼロから開発されたアプリケーションが世界中で急増するのも、遠い先のことではありません。

FPGA の場合、デバイスのプログラマブル・ファブリック内に複数のソフトコア・プロセッサをインスタンス化することができるため、プログラム可

能なマイクロコントローラーやマイクロプロセッサ・コアを設計者が独自の設計に追加できるようになっています。同様に、1つ、2つ、または4つのArm製ハードコア・プロセッサを直接シリコンに組み込んだインテルのシステム・オン・チップ (SoC) FPGAの場合、必要に応じて追加のソフトコア・プロセッサをデバイスのプログラマブル・ファブリック内にインスタンズ化することが可能です。

インテルの32ビットNios® IIプロセッサは、2004年の登場以来、インテルのFPGAやSoC FPGAを設計する開発者から、最適なソフトコア・プロセッサとして選ばれてきました。Nios® IIプロセッサは長年にわたり、開発者、ツール、ソフトウェア、ソフトウェアIPブロックの大規模なエコシステムを築き続けています。

インテルは現時点で、オープンソースのRISC-V ISAに基づくインテル® FPGA向けの次世代ソフトコア・プロセッサ「Nios® Vプロセッサ」をすでに発表しています。Nios® Vプロセッサ・ファミリーから登場する初の製品がNios® V/m(「マイクロコントローラー」版)です。インテルでは続けて「汎用版」、「アプリケーション・クラス版」、「Linux対応版」を含め、Nios® Vプロセッサの品種の追加を予定しており、Linux対応版はLinuxカーネルを動かす64ビット・プロセッサになると見込まれます。またインテルでは、Zephyr、FreeRTOS、Linuxを含め、対応OSも追加していく予定です。

Nios®プロセッサでRISC-Vを採用することにより、Nios®プロセッサが持つ既存の広範なエコシステムを劇的に拡大し、FPGAベースのシステムを設計する開発者に、一層高い柔軟性と高度なパフォーマンスを提供できるようになると期待されます。Nios® Vプロセッサでは、Nios® IIプロセッサと同じシンプルなデザインフローを使用しており、インテル® Quartus® Prime開発ソフトウェア・プロ・エディションでの利用が可能です。中でも既存のNios® IIプロセッサを基盤とするデザインの設計者にとって特に魅力的な要素は、Nios® Vプロセッサへの移植が簡単かつ短期間で可能になるという点でしょう。

Nios® Vソフトコア・プロセッサでは、RISC-V ISA内のアーキテクチャーにさまざまなアップデートが加わったことから、既存のソフトコア・プロセッサと比べてパフォーマンスが飛躍的に向上しています。RISC-Vの主要なアドバンテージとして、ソフトウェアのポータビリティと安定性が挙げられ、例えば開発者はRISC-Vのソフトコア版を使用してFPGAのデザインから開始して、元々RISC-Vソフトコアで稼動するように記述されたソフトウェアを、将来的に別のどのRISC-Vコアで動かすことも可能になります。

RISC-Vに備わるもう1つの非常に重要なメリットは、ハードウェアの設計と検証ツールから、コンパイラやデバッガなどのソフトウェア開発ツール、オペレーティング・システム (OS)、RTOSポートまでを網羅する、オープンソースの幅広いエコシステムが急速に確立されたことです。

その一例を挙げると、インテルはRISC-Vツールの傑出したベンダーでありRISC-V Internationalのメンバーとして独自のRiscFree IDE統合開発環境と統合型デバッガを提供するAshlingとの連携を通じて、RISC-Vに貢献し、FPGAを利用するお客様企業に完全にオープンソースのツールやソリューションを提供しています。

## RiscFreeがFPGAとASICのお客様にもたらす価値

現在のシステム・オン・チップ (SoC) とシステム・イン・パッケージ (SiP) のデザインは、機能の追加やパフォーマンスの向上、消費電力の低減を求める市場ニーズに対応するため、チップ設計者が単一のデバイスやパッケージ内に可能な限り多くの機能を詰め込もうとして、ますます複雑化しています。プロセス技術の進化が限界に達してしまえば、設計者はマルチコアのデザインに目を向け続けるしかありません。そのうえ、RISC-V、Arm、x86という複数のヘテロジニアス・プロセッサ・アーキテクチャーを、単一のSoCやSiPに組み込む必要もあります。

RISC-Vが成功している最大の要因は、さまざまな企業や事業者が、異なるデータ幅、パイプラインの深さ、アーキテクチャーのパイプライン化など、

差別化を図った独自の実装の基盤として、このISAを使用できる点にあります。これによって、エッジのマイクロプロセッサ・アプリケーション向け32ビットFPGAベースのソフトコアから、クラウドのHPCアプリケーションを稼動するSoCベースの64ビット・ハードコアまで、多種多様なRISC-Vプロセッサの形で発表することが可能になっています。

AshlingのRiscFree IDEと統合型デバッガは、RISC-Vを実装するあらゆる領域に対応しています。RiscFreeツールチェーンはリリース以来、組み込みツールの中で着実に市場シェアを拡大してきました。その使いやすさと豊かな機能性、プラグインのアーキテクチャーは、RISC-V市場で特に強力です。

RiscFreeは、ホモジニアスとヘテロジニアスどちらにも対応できる完全にオープンソースのマルチコア・デバッグ・ソリューションとして、これらのデバイスに共通のデバッグプローブを使用する単一のソフトウェア環境で、ASICのお客様に付加価値を提供します。またRiscFreeはNios® Vプロセッサに完全対応しているため、FPGAのお客様にも同様の付加価値を提供することが可能です。

インテル® FPGAの場合、RiscFreeにはオープンソースのEclipseベースIDE、コンパイラ、デバッガ、Traceツールが含まれます。RiscFreeのソフトウェア開発とデバッグは、1回の起動で完了するインストーラーを「箱から出してすぐに」開始でき、RISC-V ISAに基づいて構築されたすべての32ビット/64ビットNios® Vソフトコア・プロセッサに対応します。

Nios® Vプロセッサへの拡張を目的としたカスタムの統合とサポートに加えて、RiscFreeはインテル® Agilix™ デバイス、インテル® Stratix® 10 デバイス、インテル® Arria® 10 デバイス、インテル® Cyclone® 10 GX デバイスなど、今後も多くのインテル® FPGAファミリーに対応していく予定です。

## Ashlingとインテルのパートナーシップがもたらす価値

1982年に創設されたAshlingは、組み込み開発ツールとサービスのトップ・プロバイダーとして、組み込みシステムのエンジニア向けツールの開発において30年以上の実績があります。長年にわたるRISC-V Internationalのメンバーであり、RISC-Vの進化に密接に取り組み、デバッグの標準規格やトレースの標準化には特に重点を置いてきました。またTrace委員会の副議長として、RISC-Vのリアルタイム・トレースを定義する標準規格策定に初期から参加しています。

インテルとAshlingとのパートナーシップによって、Nios® VプロセッサとArm製プロセッサに対応する統合開発環境 (IDE)、コンパイラ、デバッガ、トレースを備えた完全にオープンソースのツールチェーンを含め、インテルは構築するNios® Vプロセッサのあらゆるニーズを満たすツールが着実に手に入るようになります。

両社ともに長期的な協力関係を念頭に、インテルのNios® Vプロセッサ・ファミリーのデバイスが成長と拡大を続け、新しいデバイスや機能を完全にサポートできるツールチェーンの進化を計画してきました。

共同エンジニアリングにおけるAshlingとインテルのチーム間をまたいだ連携には、Ashlingのソフトウェア開発とインテルのFPGA開発の間でツールチェーンを強く結びつける、次のような機能が含まれます。

- プロジェクト管理用のProject Managerとビルドプロセスを構築するBuild Managerに、インテル® Quartus® Prime開発ソフトウェアで作成したアプリケーション・フレームワークの高速インポート、ビルド、デバッグを可能にするMakeとCMakeの開発環境への対応を追加。
- Nios® VプロセッサのGCCコンパイラ・ツールチェーンをRiscFree IDEに完全統合し、ハードウェアへのアクセスにNios® Vハードウェア抽象化レイヤー (HAL) APIを使用するnewlibとpicolibcランタイム・ライブラリーに対応。
- RiscFreeは、インテル® FPGAダウンロード・ケーブルII (USB Blaster II) 経由のランタイムデバッグに対応、Nios® Vプロセッサ・コアと



Arm プロセッサ・コア両方のレジスターをグラフ表示、Nios® V プロセッサ・コアと Arm プロセッサ・コア両方でリアルタイムのトレース (オンチップとオフチップのどちらでも) に対応。

- **RiscFree** はまた、Zephyr、FreeRTOS、uC/OS-II、フル対象の (マルチコア / マルチスレッド) Linux カーネルを含め、デバイスドライバーとアプリケーション・デバッグのサポートを合わせて、OS と RTOS の幅広いソリューションにデバッグ認識を提供。
- **RiscFree** はカスタムの命令セットと Nios® V プロセッサ向けの拡張に対応。

Arm と RISC-V のプロセッサ・コア (ハードコアとソフトコアの両方) が混在する多くの開発環境では、Arm プロセッサ用に 1 つ、RISC-V プロセッサ用また別のものを 1 つというように、複数のデバッガーを用意する必要がありますが、これに比べてシングル・インスタンスの **RiscFree** では、ヘテロジニアスでもホモジニアスでもコア数に関係なくデバッグが可能です。例えば、Intel® FPGA 上の Arm プロセッサと Nios® V プロセッサを同時にデバッグすることもできます。

## Intel と競合製品との比較

競合ソリューションの大半は、クローズドソースの独自ソリューションにすぎません。Intel の製品ならば、オープンソースの RISC-V エコシステムにフルアクセスできるため、RISC-V の開発を今すぐ開始できるだけでなく、後から Intel® FPGA、Intel のストラクチャード ASIC、IFS で製造する ASIC へのデプロイも可能になります。

Intel は、Ashling とのパートナーシップを通じて Ashling 独自の **RiscFree** IDE と Unified Debugger を活用することで、RISC-V 開発者が現在利用できるオープンソースの使いやすいツールにより、FPGA、Intel® eASIC™ デバイス、ASIC の全体でカスタムロジックを一気通貫でサポートする、オープンなエコシステムのパートナーとなっています。

## まとめ

Intel は、業界トップのマイクロプロセッサを世界中に供給するとともに、最先端の FPGA を開発しています。FPGA は、1 つ以上のソフトコア・プロセッサを含めて、複数の機能を実行するようにコンフィグレーションすることが可能です。このソフト・プロセッサが発揮するパフォーマンスは、組み込み市場でますます重視されるようになっていきます。

RISC-V は、オープンソースのハードウェア ISA です。RISC-V の定義は、過去の遺産に縛られた制限や下位互換性といった制約がない「クリーンスレート」な設計であり、モジュール方式、拡張性、安定性、効率、そしてパフォーマンスを目的にゼロから構築されています。その結果、RISC-V の急速な成長につながりました。

グローバルでオープンなハードウェアの標準化を目指す団体 RISC-V International に加入した Intel は、RISC-V のエコシステムが持つ可能性を業界のあらゆるステークホルダーへ行きわたらせるという目標を掲げ、主導的役割を担っています。



Intel のテクノロジーを使用するには、対応したハードウェア、ソフトウェア、またはサービスの有効化が必要となる場合があります。

絶対的なセキュリティを提供できる製品またはコンポーネントはありません。

実際のコストや結果は異なる場合があります。

Intel、Intel logo、その他の Intel の名称やロゴは、Intel Corporation またはその子会社の商標です。

その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

©2022 Intel Corporation. 無断での引用、転載を禁じます。

Intel は、オープンソースの RISC-V ISA に基づく Intel® FPGA 向けの次世代ソフトコア・プロセッサ「Nios® V プロセッサ」をリリースしました。今後、Nios® V ソフトコア・プロセッサの FPGA 実装のほかにも、Intel® eASIC™ デバイスと ASIC へのハードコア RISC-V 実装を提供していく予定です。さらに Intel は、FPGA から Intel® eASIC™ デバイスや ASIC への移行パスも提供します。コスト削減、消費電力の低減、パフォーマンスの向上を実現しながらこのような FPGA-Intel® eASIC™ デバイス-ASIC 間の移行パスを提供できる企業は、Intel 以外にありません。

Intel は、長年にわたり RISC-V International のメンバーとして貢献している Ashling とのパートナーシップを強化しています。Ashling の **RiscFree** IDE と統合型デバッガーは、RISC-V を実装するあらゆる領域に対応しており、**RiscFree** ツールチェーンは発表以来、その使いやすさと幅広い機能性、プラグインのアーキテクチャーにより、RISC-V の市場をはじめとする組み込みツールの市場に用途を見いだしてきました。

Ashling の **RiscFree** は、ホモジニアスとヘテロジニアスどちらにも対応できる完全にオープンソースのマルチコア・デバッグ・ソリューションとして、これらのデバイスに共通のデバッグ検出器を使用する単一のソフトウェア環境で、Intel の FPGA や ASIC を利用するお客様企業に付加価値をもたらします。

Intel では引き続き、RISC-V のエコシステムを増強して RISC-V の採用をさらにいっそう推し進めていくための追加投資を予定しています。こうした投資により、テクノロジーの協調最適化を協働で進め、ウェハーシャトルを最優先し、顧客サイドの設計や開発ボードの構築、ソフトウェア・インフラストラクチャーの進化をサポートする、Intel® テクノロジーの活用により RISC-V に創造的破壊を起こす企業のイノベーションが加速していくはず です。

## 参考資料

- [1 RISC-V Celebrates Incredible Year of Growth and Progress, Ratifying Multiple Technical Specifications, Launching New Education Programs, and Accelerating Broad Industry Adoption - Kim McMahon](#)

## 関連情報

Intel® Agilix™ FPGA および SoC FPGA のウェブページ:

<https://www.intel.co.jp/content/www/jp/ja/products/details/fpga/agilix.html>

Ashling RiscFree のウェブサイト:

<https://www.ashling.com/ashling-riscfree/> (英語)

Nios® V プロセッサのウェブページ:

<https://www.intel.co.jp/content/www/jp/ja/products/details/fpga/nios-processor/v.html>