

### シグナル・インテグリティの基本原則

#### はじめに

デジタル回路設計において、動作周波数が低い場合、伝送線路に関する問題で悩むことは少なく、システムは設計した通りに動作した。しかし、システム性能（速度）の向上に伴って動作周波数が高くなると、伝送線路の問題がシステムに影響を及ぼすようになり、デジタル信号の特性のみならず、システム内のアナログ的な現象も考慮しなくてはならなくなっている。この問題は I/O インタフェースとメモリインタフェースの両方でデータ転送速度の高速化に伴って大きくなっており、特に、高速トランシーバ技術が組み込まれた FPGA の場合は顕著になる。

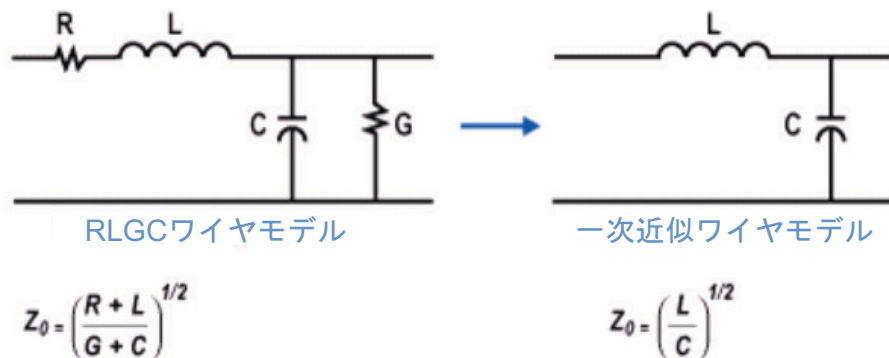
伝送線路の問題は、送信データに大きな影響を及ぼす可能性がある。低速では、伝送線路が特別に長くなければ、伝送線路の周波数応答が信号に影響を及ぼすことはほとんどない。しかし、伝送速度が上昇するにつれて高周波の問題が生じてくる。その線路長を短くしてもリングングやクロストーク、反射、グラウンド・バウンスといった現象が起こり、信号の品質を著しく低下させることがある。このホワイト・ペーパーでは、伝送線路の問題を解決するための良い設計手法と、シンプルなパターンレイアウト・ガイドラインについて解説する。

#### 伝送線路の影響とシグナル・インテグリティ

伝送線路は、「トランスミッタとレシーバ間で信号を送送するための導体接続」と定義することができる。これまでに、伝送線路は長い距離をつなぐための通信ケーブルと考えられてきた。しかし、高速のデジタル信号を送送する場合には、PCB（プリント配線板）上の短い配線長でさえ伝送線路の影響から逃れることはできなくなった。

動作周波数が低い場合には、ワイヤまたは PCB の配線パターンを、抵抗もキャパシタンスもインダクタンスもない理想的な回路とみなすことができる。しかし、高周波になると AC 回路特性が影響を及ぼし、ワイヤ内でインピーダンス、インダクタンス、キャパシタンスの影響が発生する。回路モデルは図 1 のように計算できる。このモデルを使って、ワイヤまたは配線パターンの特性インピーダンスを決定できる。伝送経路内でのミスマッチがシグナル・インテグリティの低下につながるため、このワイヤ・インピーダンスはとても重要である。

図 1. 伝送線路の回路モデル



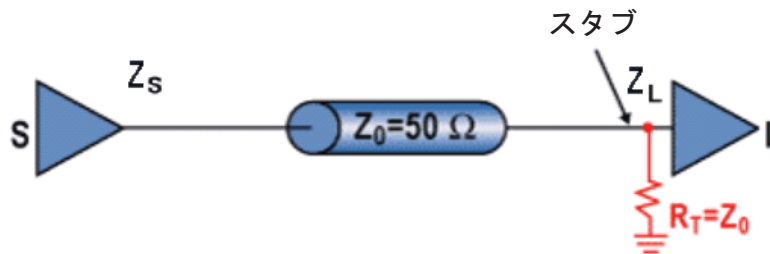
#### インピーダンス・ミスマッチとシグナル・インテグリティ

ソース出力 ( $Z_s$ )、伝送線路 ( $Z_0$ )、およびレシーバまたは負荷 ( $Z_L$ ) のインピーダンスが一致していないことによってインピーダンス・ミスマッチが生じる。このミスマッチは、送信された信号がレシーバ側で完全に吸収されず、余分なエネルギーが反射されてトランスミッタに戻ることを意味する。このプロセスは、すべてのエネルギーが吸収されるまで継続される。高速データ伝送ではこの反射が原因で、信号エラーにつながるオーバーシュート、アンダーシュート、リングング、ならびに階段状の波形が生じることがある。

インピーダンス・ミスマッチは、トランシーバのバッファと伝送媒体をマッチングさせることによって解決できる。PCB の場合は、材料を慎重に選び、終端方式を利用することで実現できる。

インピーダンス・ミスマッチを解決するために用いる終端方式はアプリケーションによって異なる。終端方式には単純な並列終端（図 2 参照）方法もあれば、レジスタ・キャパシタ・ネットワークでローパスフィルタを構成し、低周波の影響を除去し、高周波の信号は通過させるといった複雑な RC 終端の方法もある。

図 2. 単純な並列終端



上述した問題を解決するために外付け部品を用いることはよくある。しかし、PCB 上に実装するための面積が必要となる。それに加えて、余分な配線パターンがスタブが必要となることもあり、それが信号のさらなる反射につながる可能性がある。

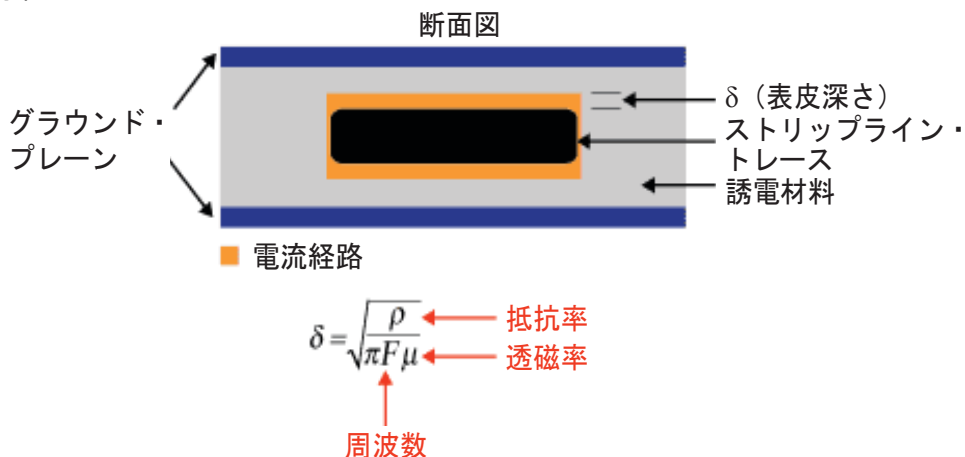
アルテラが提供している高速 I/O ソリューションは、外付け部品を不要とするオンデバイス・プログラマブル終端である。アルテラの FPGA のどのデバイスにもオンデバイス終端技術が採用されている。(Cyclone, Cyclone II を除く 130nm プロセス以降の FPGA 製品) この技術は、シリアル I/O、パラレル I/O、ディファレンシャル I/O でレシーバとトランスミッタのドライバ・インピーダンスをマッチングさせるものである。さらに、高速トランシーバを内蔵する FPGA では、高速トランシーバ回路内にプログラマブル終端方式が採用されており、様々な高速 I/O 規格がサポートされている。

### 信号減衰とシグナル・インテグリティ

高周波信号の伝送線路で損失が生じると、レシーバが正確な情報を受信しにくくなる。以下に挙げた伝送線路における損失の 2 つのケースは、伝送媒体に起因するものである。

- 誘電吸収：高周波の信号が絶縁体内の分子を励起することによって、絶縁体が信号エネルギーを吸収する。この吸収が信号強度を低下させる。誘電吸収は PCB の材料に関連しており、材料を慎重に選ぶことで軽減できる。
- 表皮効果：電流波形の変化は AC 信号と高周波信号によって発生するが、これらは導体の表面を伝達する傾向がある。この信号の表面伝播が材料の自己誘導を招き、高周波での誘導リアクタンスが上昇する。そのため電子が材料の表面に集中する。導電面積を小さくすると抵抗が増加するため信号は減衰する。配線パターンの幅を広げると表皮効果を軽減することもできるが、常にそれが可能となるわけではない。図 3 に PCB の断面図を示す。

図 3. 表皮効果



## 信号減衰を軽減するアルテラのトランシーバ内蔵FPGAの機能

絶縁材料と配線パターンレイアウトの工夫することによって、信号の減衰は軽減できる。さらに、アルテラのFPGA製品に搭載されているトランシーバ回路の、以下の機能が信号の減衰を軽減する。

- **プログラマブル差動出力電圧 ( $V_{OD}$ )**: プログラマブル  $V_{OD}$  設定により、駆動電流とラインインピーダンスおよびトレース長をマッチングさせることができる。ドライバで  $V_{OD}$  を上昇させるとレシーバ側での信号品質が向上する。
- **プリエンファシス**: 信号強度 (振幅) を上げるだけでは、伝送線路による高周波減衰を軽減することはできない。プリエンファシスは1 (高) → 0 (低) または 0 (低) → 1 (高) に遷移後最初に送信したシンボルのレベルだけを上げることで、信号の高周波成分のみを増幅する。それ以降のシンボルレベルは、それらが同じレベルで送信されている限りは変更されない。例えば、ある信号が3つのシンボルに対して高レベルを送信すると、最初のシンボルのみが増幅される。次の2つのシンボルは通常レベルで送信される。図4はこのプリエンファシスを示している。1つのシンボルが高レベルで送信される場合は、このシンボルも増幅される。プリエンファシスもまた、振幅の低下、時間の変位、信号エッジの丸みなどを含め、パターンに依存するジッタの問題を解決する重要な機能となる。
- **レシーバ・イコライゼーション**: 専用レシーバ回路は、ライン損失を補償するために、信号の低周波成分がレシーバ側に到達したときにそれを減衰させる (つまり高周波成分を強調する) 目的で使用する。アルテラのFPGAに内蔵されたトランシーバには、伝送距離に合わせた仕様のプログラマブル・イコライゼーションが組み込まれている。

図4. 2ユニットインターバル (UI) のプリエンファシス



## クロストークとシグナル・インテグリティ

ワイヤ上に信号が流れると、そのワイヤ周辺に磁界が発生する。2本のワイヤが隣接しているとき、2つの磁界が干渉し合うことにより、クロストークと呼ばれる信号間のエネルギーのクロスカップリングが生じる可能性がある。次に挙げる2つのエネルギーカップリングのタイプが、クロストークの主な原因である。

- **相互インダクタンス**: ドライブされたワイヤからの電流が磁場によって誘導され、静止状態のワイヤ上に生じる。この相互インダクタンスが、静止状態にあるワイヤのトランスミッタ側付近に正の波を発生させ (近端インダクタンス)、伝送線路のレシーバ側で負の波を発生させる (遠端クロストーク)。
- **相互キャパシタンス**: ドライバの電圧変化率に比例する電流が、静止状態のラインに注入されたときの二つの電界のカップリングをいう。この相互キャパシタンスにより、伝送線路の両端付近で正の波が生じる。

## クロストークを低減

以下に挙げるPCB設計手法を用いることにより、マイクロストリップまたはストリップラインのレイアウトにおけるクロストークを大幅に低減することが可能である。

- 配線上の制約が許す限り信号線の間隔を広げる。
- 伝送線路は、導体がグラウンド・プレーンにできるだけ近くなるように設計する。これにより、伝送線路がグラウンド・プレーンに密結合され、隣接信号と結合しにくくなる。
- 特にクリティカルな配線では、できる限り差動配線手法を用いる。
- 著しいカップリングが見られる場合は、異なる層の信号を互いに直交させて配線する。
- 信号間のパラレルライン長を最小限に抑える。短いパラレル・セクションを使って配線し、配線間で結合される長いセクションを最小限に抑える。

## 同時スイッチング出力 (SSO) がシグナル・インテグリティに及ぼす影響

デジタル回路の動作速度が上がるにつれ、出力スイッチング時間が短縮される。スイッチング時間が速くなると、負荷コンデンサから放電される時に出力内の過渡電流が増加する。多数の出力が同時に「High」から「Low」に切り替わると、I/O 負荷コンデンサ内に蓄積されている電荷がデバイス内に流れ込む。この急激な電流の流れが内部インダクタンスを介してデバイスから基板グラウンドに放出され、電圧を発生させる。この電圧によりデバイスと基板グラウンド間に電圧差が生じ、I/O で瞬間的にグラウンドレベルを超える低電圧信号を発生させる原因となる。この低電圧信号はグラウンド・バウンスとして知られている。バウンス効果により、出力 Low が基板上の他のデバイスには High と検知されてしまうことがある。

グラウンド・バウンスは、基板ベースの設計ルールに従うことによって低減できる。これらのルールはアルテラが発行する資料 AN224 『高速ボード・レイアウト・ガイドライン』 ([http://www.altera.co.jp/literature/an/an224\\_j.pdf](http://www.altera.co.jp/literature/an/an224_j.pdf)) に記載されている。アルテラの高速ソリューションではピン・スルーレートの制御が可能であり、設計者はドライバの速度を落とすことによってグラウンド・バウンスを低減できる。さらに、それらのデバイスには複数の電源ピンとグラウンドピンが組み込まれているため、高速 I/O ピンをグラウンドピンの近くに配置すれば、SSO の影響を低減することができる。

## 結論

高速伝送線路の設計では、シグナル・インテグリティを確保するためにさらなる工夫が必要となる。それは、いくつかのシンプルなアナログ設計ルールを順守しつつ、気を使いながら PCB レイアウト手法を用いることによって実現することができる。アルテラの高速プログラマブルロジックデバイスは、高速伝送経路の設計をサポートする様々な機能を備えている。Stratix シリーズでいえば、標準的な高速 I/O でのスルーレート制御機能やオンデバイス終端技術から、高速トランシーバ・インタフェースでの駆動電流の制御、プリエンファシス、レシーバ・イコライゼーションといった高度な機能までが備わっている。これらの機能によって設計者の開発負荷を大幅に軽減することができる。

## 詳細情報について

- AN 75 『高速動作ボードの設計』  
[http://www.altera.co.jp/literature/an/an075\\_j.pdf](http://www.altera.co.jp/literature/an/an075_j.pdf)
- AN 224 『高速ボード・レイアウト・ガイドライン』  
[http://www.altera.co.jp/literature/an/an224\\_j.pdf](http://www.altera.co.jp/literature/an/an224_j.pdf)
- Dally, William J. and Poulton, John W., “Digital Systems Engineering,” Cambridge University Press, 1998.
- Johnson, H. and Graham, M., “High-Speed Board Design,” Prentice Hall, Inc., 1993.
- Hall, Stephen, Hall Garrett, and McCall, James, “High-Speed Digital System Design,” John Wiley and Sons, Inc., 2000.
- Johnson, Howard W. and Graham, Martin, “High-Speed Digital Design, A Handbook of Black Magic,” Prentice Hall, 1993.



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)

Copyright © 2007 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.