

インテル® Stratix® 10 トランシーバー・ タイルによるスマートな帯域幅の提供

**Stratix® 10 FPGA & SoC は、次世代システムの帯域幅とスマートなシステム構築を
支援する革新的なテクノロジーを搭載しています。**

Minh Mac

Manager, Transceiver and Platform
Product Marketing
Intel Programmable Solutions Group

はじめに

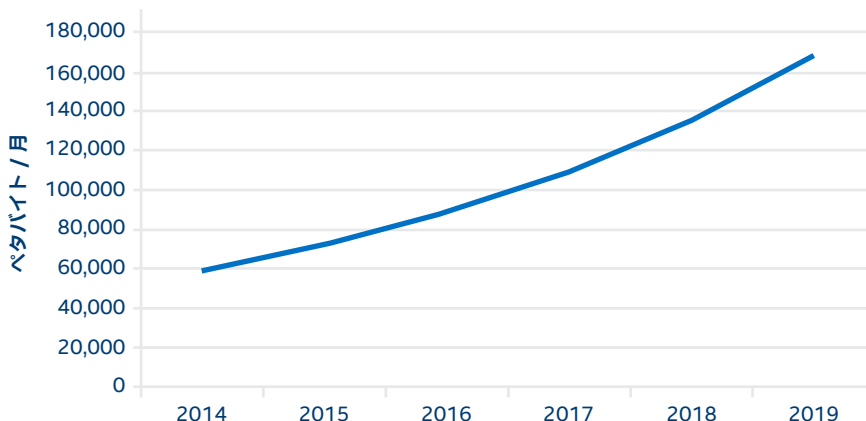
近い将来、増え続ける大量のデータ・トラフィックをできるだけ速く転送するというニーズが弱まるとはとても思えません。2014年には、世界の総ITトラフィックが5年以内に3倍近くになると予測されました。このトラフィックは着実に増加しています。データセンターや次世代の無線セルラー・ネットワークなどのアプリケーションが先頭になって、この帯域幅を大きく拡大しています(図1を参照)。

ネットワーク・インフラストラクチャーを徐々に拡充するだけでこの爆発的な需要に歩調を合わせるのは、経済的でも実現可能でもありません。データセンターとネットワークを高速化し、スマート化するニーズが今日および次世代システムの基本要件になってきました。システムは、増え続ける帯域幅を処理し、システムに入出力するデータのワークロードのバランスを取るインテリジェンスを備えてこの問題を解決する必要があり、インテル® Stratix® 10 FPGA & SoC (旧アルテラ Stratix® 10 FPGA & SoC) がこのソリューションを可能にします。

インテル® Stratix® 10 FPGA & SoC は、次世代システムの帯域幅とスマート化の要件に対応する革新的なテクノロジーを搭載しています。データセンターに置かれたサーバーのワークロードは、1日の時間帯によって変動します。例えば、午前中は低く、日中にピークを迎えて夜間は極めて低いことが考えられます。さらに、1台のサーバーにかかるワークロードの種類は、特定アプリケーションの実行からコンピューティング・リソースの提供まで多岐にわたります。ワークロードを切り替えてバランスを取るインテリジェンスを使用しない、標準的な汎用アプローチでそれぞれのワークロード要求に対応するのは、コストがかかるだけで効果はありません。インテル® Stratix® 10 FPGA は、高性能なプログラマブル・モノリシック・コア・ファブリックを利用してワークロードのバランス調整や仮想化といったさらにスマートなシステムを構築します。サーバーは、必要とするワークロードの種類に応じて最適

目次

- はじめに.....1
- インテル® Stratix® 10 FPGA が
現在と将来の帯域幅のニーズを
橋渡し.....2
- メインストリーム・
アプリケーションと高帯域幅
アプリケーション.....2
- 高性能アプリケーションと
次世代アプリケーション.....2
- まとめ.....3
- 追加技術資料.....3



出典：Global IP Traffic Growth 2014-2019 Forecast, Cisco VNI

図 1. グローバル IP トラフィック

化されたアプリケーション同士をプログラマブル・コアによってシームレスに切り替えることができます。

インテル® Stratix® 10 FPGA は、完全一体型のトランシーバーによって帯域幅のニーズを満たします。トランシーバーは、コンポーネント間、長い銅製 PCB トレースの両端、または銅ケーブルを通る大量のデータ・トラフィックを最短時間で送受信するバックボーンです。トランシーバーは、送信前にパラレルデータをシリアル化し、受信時にシリアルデータを非シリアル化してこのタスクを実行します。トランシーバーは、シリアル化したデータを 1 本以上のチャネルを通してギガビット / 秒の領域で送受信できます。アプリケーションは、チャネルを組み合わせるとして 40、50、100、400、800、および 1,200 ギガビットのインターフェイスを実現できます。

データの高速化と大量化というニーズはあっても、データパケットが通る経路のあらゆるステップで最大回線速度が必要なわけではありません。例えば、5G ワイヤレスを可能にする大規模な多重入力多重出力 (MIMO) は、バックホール / アクセス・ネットワークとは異なる帯域幅を必要とします。さらに、システム内のチップ間通信には独自の帯域幅要件があります。

インテル® Stratix® 10 FPGA が現在と将来の帯域幅のニーズを橋渡し

インテル® Stratix® 10 FPGA は、複数のダイを単一パッケージに集積するヘテロロジニアス 3D SiP テクノロジーを採用しています。

インテルの EMIB (Embedded Multi-die Interconnect Bridge) は、複数のダイをパッケージ内で接続するシリコンブリッジです。図 2 に示すように、インテル® Stratix® 10 ファミリーのどのタイプも、トランシーバー・タイル (最大 6 つのダイ) と単一モノリシック・コア・ファブリック・ダイを使用してダイ間を EMIB でブリッジします。

インテル® Stratix® 10 モノリシック・コアは最大 1 GHz f_{MAX} の性能を発揮でき、インテリジェント・システムに使用するプログラマブル・プラットフォームを提供します。このコアは、ハード化された浮動小数点機能と固定小数点機能を備えた可変精度 DSP ブロックとさまざまな大きさの組込み SRAM メモリーブロックに加えて、最大 550 万ロジック・エレメント相当のロジックを搭載しています。これらの特長により、現在および将来のシステムニーズに十分対応できます。

トランシーバー・タイルは、モノリシック・コアと隣り合わせに配置されます。トランシーバー・タイルは、1 つのシリコンダイにハード IP ブロックを持つ一群の全二重トランシーバー・チャネルです。高速クロッキング、エンコーディング、デコーディングなどの補助機能も含んでいます。システムニーズは多岐にわたるため、インテル® Stratix® 10 ファミリーは L タイル、H タイル、および E タイルという 3 つの異なるトランシーバー・タイルを提供します。各トランシーバー・タイルは、システムデザインに独自の利点を提供します。

メインストリーム・アプリケーションと高帯域幅アプリケーション

L タイルのトランシーバーは、最大 17.4 Gbps のデータレートで動作するメインストリーム・プロトコルに最適です。1 つの L タイルには、高度な PCS および PMA 機能を備えた 24 個の全二重チャネルが含まれています。この汎用タイルは、チップ間、チップ・モジュール間、およびバックプレーン機能を提供します。また、通信ネットワークに必要なコントロール・プレーンを提供するハード PCIe* Gen3 x16 IP ブロックもサポートします。

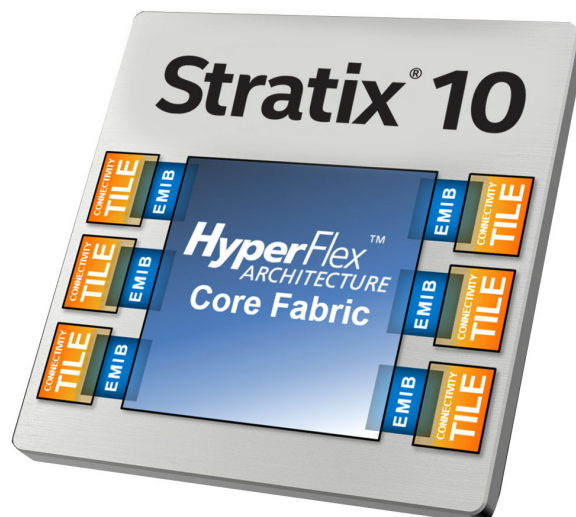


図 2. インテル® Stratix® 10 のヘテロロジニアス 3D SiP テクノロジー

H タイルのトランシーバーは、L タイルを超える帯域幅を必要とするシステムに対応します。H タイルには、最大 28.3 Gbps のデータレートに対応するトランシーバー・チャネルが含まれています。H タイルは、L タイルと同様に、高度な PCS および PMA 機能を備えた 24 個の全二重チャネルをサポートします。H タイルのトランシーバーは、チップ間、チップ・モジュール間、およびバックプレーン・アプリケーションに使用できます。H タイルのトランシーバー・チャネルは、高度なイコライゼーション回路を備えています。H タイルは、イコライゼーション回路を使用して、最大 30 dB の挿入損失で 28.3 Gbps の最大データレートによりバックプレーンを駆動できます。

高性能アプリケーションと次世代アプリケーション

E タイルのトランシーバーは、高性能プロトコルと新しいプロトコルを対象としています。E タイルは、高度な PCS および PMA 機能を備えた 24 個の全二重チャネルをサポートします。L タイルや H タイルとは異なり、E タイルのトランシーバー・チャネルはデュアルモードです。デュアルモードでは、1 つのトランシーバー・チャネルが使用する変調フォーマットをデータの送受信時に切り替えることができます。E タイルは、以下の 2 つの変調フォーマットをサポートします。

- 従来の NRZ (非ゼロ復帰) フォーマット
- 新しい PAM-4 (4 レベルパルス振幅変調) フォーマット

NRZ モードでは、チップ間、チップ・モジュール間、およびバックプレーン・アプリケーションに最適な最大 30 Gbps のデータレートをトランシーバー・チャネルがサポートします。このモードでは、IEEE 802.3bj や OIF CEI 28G VSR などの短距離および長距離電気仕様をサポートします。

PAM-4 モードでは、OIF CEI 56 LR、MR、VSR などの新しい規格を満たす短距離および長距離電気仕様を対象とする、最大 56 Gbps のデータレートをトランシーバー・チャネルがサポートします。これらのトランシーバーは高度なイコライゼーション回路を備えているため、レガシー・バックプレーンと高損失バックプレーンをサポートし、ほとんどの高速プロトコルに要求されるビット・エラー・レート (BER) を達成できます。E タイルは、ハード 100 Gb イーサネット MAC をサポートして広帯域幅トランシーバー・チャネルを補完します。E タイルは、最大 4 つの 100 Gb イーサネット MAC ブロックまたは 6 つの 10/25 Gb イーサネット MAC をサポートします。

項目	トランシーバー・タイルのタイプ		
	PCIe* Gen3x16 L タイル 17.4G	PCIe* Gen3x16 H タイル 28.3G	4x100GE E タイル 30G/56G
インテル® Stratix® 10 デバイスのタイプ	GX, SX	GX, SX, TX, MX	TX, MX
トランシーバー数 / タイル	24	24	24
チップ間最大データレート			
NRZ	17.4 Gbps	28.3 Gbps	30 Gbps
PAM-4	—	—	56 Gbps
バックプレーン最大データレート			
NRZ	12.5 Gbps	28.3 Gbps	30 Gbps
PAM-4	—	—	56 Gbps
最大データレートでの挿入損失	最大 18 dB	最大 30 dB	最大 30 dB
ハード IP	<ul style="list-style-type: none"> • x1、x4、x8、および x16 レーンをサポートする PCIe* Gen1、2、および 3 • 10G Fire Code FEC ハード IP 	<ul style="list-style-type: none"> • x1、x4、x8、および x16 レーンをサポートする PCIe* Gen1、2、および 3 • 4 つの物理ファンクションと 2,000 個の仮想ファンクションを持つ SR-IOV • 10G Fire Code FEC ハード IP 	<ul style="list-style-type: none"> • RS-FEC を備えた 10/25/100 GbE MAC
チャンネルサポート	GX	GX および GXT	GXE

表 1. インテル® Stratix® 10 トランシーバー・タイルのタイプ

まとめ

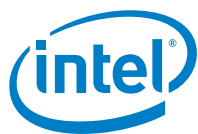
インテル® Stratix® 10 ファミリーは、高性能モノリシック・コアをトランシーバー・タイルと組み合わせたヘテロジニアス 3D SiP テクノロジーにより、次世代システムが要求する帯域幅に対応する独自の地位を築いています。トランシーバー・タイルはモノリシック・コアから切り離されているため、各タイルは最適なテクノロジーを使用して、実行するファンクションに最適な消費電力と性能を提供します。このアーキテクチャーは、現在および将来のプロトコルニーズに柔軟性と製品の市場投入の早期化をもたらします。

参考文献

¹ https://www.altera.co.jp/content/dam/altera-www/global/ja_JP/pdfs/literature/wp/wp-01251-enabling-nextgen-with-3d-system-in-package_j.pdf

追加技術資料

インテル® およびインテル® Stratix® 10 FPGA の詳細については、<https://www.altera.co.jp/products/fpga/stratix-series/stratix-10/overview.html> をご覧ください。



© 2016 Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、MEGACORE、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation またはその子会社の商標です。

インテル製品およびサービスは、予告なく変更される場合があります。

インテルが書面にて明示的に同意する場合を除き、インテルは記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じる一切の責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

* 第三者の社名、製品名などは、一般に各所有者の表示、商標または登録商標です。