



## TimeQuest タイミング・アナライザ クイック・スタート・チュートリアル

---



101 Innovation Drive  
San Jose, CA 95134  
[www.altera.com](http://www.altera.com)

UG-TMQSTANZR-1.1

ソフト・バージョン: 9.1  
ドキュメント・バージョン: 1.1  
ドキュメント・デート: © December 2009

Copyright © 2009 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

## 第1章. このチュートリアルについて

## 第2章. クイック・スタート・チュートリアル

必要なシステム .....	2-1
手順 .....	2-1
ステップ1: プロジェクトのオープン .....	2-1
ステップ2: TimeQuest タイミング・アナライザの設定 .....	2-1
ステップ3: 初期コンパイルの実行 .....	2-2
ステップ4: TimeQuest タイミング・アナライザの起動 .....	2-2
ステップ5: Post-Map タイミング・ネットリストの作成 .....	2-3
ステップ6: タイミング制約の設定 .....	2-3
ステップ7: タイミング・ネットリストのアップデート .....	2-4
ステップ8: SDC ファイルの保存 .....	2-4
ステップ9: 初期タイミング・ネットリストでのタイミング・レポート生成 .....	2-5
ステップ10: SDC ファイルへの保存 .....	2-7
ステップ11: タイミング・ドリブンのコンパイルの実行 .....	2-8
ステップ12: TimeQuest タイミング・アナライザでのタイミング検証 .....	2-8
結論 .....	2-13

## 第3章. スクリプト記述例

コマンドおよび Tcl スクリプト .....	3-1
-------------------------	-----

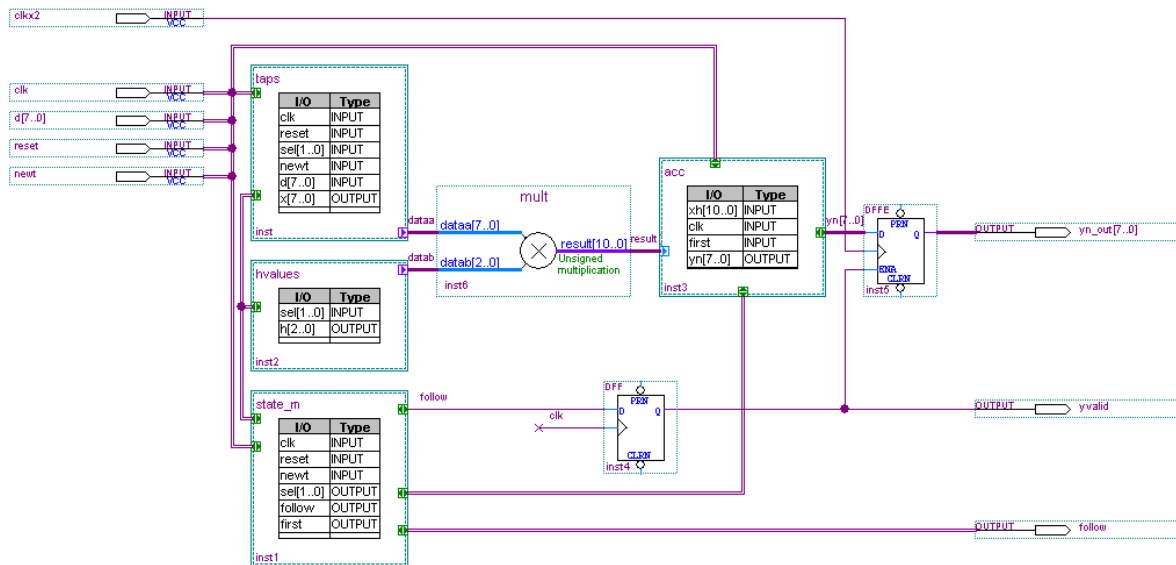
## 追加情報

改訂履歴 .....	1-1
アルテラへのお問い合わせ .....	1-1
表記規則 .....	1-1



このチュートリアルでは、TimeQuest タイミング・アナライザを使用してデザインに制約を設定し、タイミング解析を行う手順について説明しています。このチュートリアルでは、Quartus® II ソフトウェアに付属のデザイン **fir\_filter** を使用します。図 1 に、**fir\_filter** の回路図を示します。

図 1. fir\_filter デザインの回路図





## 必要なシステム

このチュートリアルでは、Stratix、Cyclone、Max II、またはより新しいデバイス・ファミリをターゲットにします。MAX 3000 および MAX 7000 デバイス・ファミリを使用することも可能です。Quartus® II はバージョン 6.0 以降である必要があります。APEX、FLEX、および Mercury デバイス・ファミリはサポートされていません。

## 手順

下記の手順に従い、TimeQuest タイミング・アナライザを使用してデザインに制約を設定し、タイミング解析を行ってください。各ステップでは、GUI とコマンド・ラインの両方の方法について説明しています。

### ステップ 1: プロジェクトのオープン


Quartus II ソフトウェア上で、<qdesign folder>/fir\_filter/ フォルダにある **fir\_filter** を開いてください。GUI とコマンド・ラインそれぞれの方法については、[表 2-1](#) を参照して下さい。

表 2-1. プロジェクトのオープン

Quartus II ソフトウェア GUI	コマンド・ライン
File メニューから <b>Open Project</b> をクリックし、プロジェクト・ファイル <Quartus II Installation Folder>\qdesigns\fir_filter\fir_filter.qpf を開きます。	次のように入力します： <pre>quartus_sh -s ← project_open fir_filter -revision \ filtref←</pre>

### ステップ 2: TimeQuest タイミング・アナライザの設定

Quartus II ソフトウェアは、Cyclone デバイス・ファミリに対してはクラシック・タイミング・アナライザをデフォルトのタイミング解析ツールとして使用します。**fir\_filter** プロジェクトで使用するタイミング解析ツールとして、TimeQuest タイミング・アナライザを使用するように指定します。

 このステップは、全てのプロジェクトに必要なわけではありません。新しいデバイス・ファミリでは、TimeQuest タイミング・アナライザがデフォルトのタイミング解析ツールとして使用されます。

[表 2-2](#) に示す手順に従って、TimeQuest タイミング・アナライザをタイミング解析ツールとして使用するように指定して下さい。

表 2-2. TimeQuest タイミング・アナライザの設定

Quartus II ソフトウェア GUI	コマンド・ライン
1. Assignments メニューから、 <b>Settings</b> をクリックします。 <b>Settings</b> ダイアログ・ボックスが開きます。	次のように入力します： set_global_assignment -name \ USE_TIMEQUEST_TIMING_ANALYZER ON ←
2. <b>Category</b> リストから、 <b>Timing Analysis Settings</b> を選択します。	
3. <b>Use TimeQuest Timing Analyzer during compilation</b> にチェックします。	
4. <b>OK</b> をクリックします。	
	プロジェクトをクローズするには、次のように入力します： project_close exit←

### ステップ 3: 初期コンパイルの実行

デザインにタイミング制約を設定する前に、**表 2-3** に示す手順に従って、初期のデータベースを作成します。初期のデータベースは、論理合成結果から生成されません。


表 2-3. 初期コンパイルの実行 (注 1)

Quartus II ソフトウェア GUI	コマンド・ライン
Processing メニューから <b>Start</b> を選択し、 <b>Start Analysis &amp; Synthesis</b> をクリックします。	次のように入力します： quartus_map filtref←

#### 表 2-3 の注:

(1) quartus\_map コマンドは、論理合成後 (post-map) のデータベースを作成するために使用されます。

Analysis & Synthesis のステップで、論理合成後 (post-map) のデータベースが生成されます。


 初期データベースとして、配置配線後 (post-fir) のデータベースを作成することもできます。しかし、post-map データベースのほうが短い時間で作成できます。

### ステップ 4: TimeQuest タイミング・アナライザの起動

タイミング制約の作成と検証のため、**表 2-4** に示す手順に従って TimeQuest タイミング・アナライザを起動します。TimeQuest シェルが開きます。

表 2-4. TimeQuest タイミング・アナライザの起動

Quartus II ソフトウェア GUI	コマンド・ライン
Tools メニューから、 <b>TimeQuest Timing Analyzer</b> をクリックします。	次のように入力します： quartus_sta -s ← project_open fir_filter -revision filtref←

 Quartus II ソフトウェアから TimeQuest タイミング・アナライザを起動した場合、カレントプロジェクトが自動的にオープンされます。

GUI を使用して起動し、下記のメッセージが表示された場合は **No** を選択して下さい：

"No SDC files were found in the Quartus Settings File and filtref.sdc doesn't exist. Would you like to generate an SDC file from the Quartus Settings File?"




## ステップ 5: Post-Map タイミング・ネットリストの作成

タイミング制約を指定する前に、タイミング・ネットリストを作成します。タイミング・ネットリストは、Post-map または Post-fit のデータベースから作成することができます。このステップでは、表 2-5 に示す手順に従って、**ステップ 3: 初期コンパイルの実行** で作成した post-map データベースからタイミング・ネットリストを作成します。

表 2-5. Post-map タイミング・ネットリストの作成

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
<ol style="list-style-type: none"> <li>Netlist メニューから、<b>Create Timing Netlist</b> をクリックします。<b>Create Timing Netlist</b> ダイアログ・ボックスが開きます。</li> <li><b>Input netlist</b> の下の <b>Post-Map</b> を選択します。</li> <li><b>OK</b> をクリックします。</li> </ol>	次のように入力します: <code>create_timing_netlist -post_map ↵</code>

 タイミング・ネットリストは、**Tasks** ペインの **Create Timing Netlist** コマンドから作成することはできません。**Tasks** ペインの **Create Timing Netlist** で作成されるのは Post-fit タイミング・ネットリストです。

## ステップ 6: タイミング制約の設定

**fir\_filter** デザインでは、2つのクロックを定義する必要があります。各クロックのプロパティについては、表 2-6 を参照して下さい。

表 2-6. fir\_filter デザインで使用するクロック

クロック・ポート名	タイミング要求
clk	50 MHz (デューティ・サイクル 50/50)
clkx2	100 MHz (デューティ・サイクル 60/40)

表 2-7 に示す手順に従って、**fir\_filter** デザインの適切なクロック・ポートにクロックを定義して下さい。




 TimeQuest タイミング・アナライザでサポートされる制約の詳細については、「*Quartus II* ハンドブックの *Volume 3*」にある「**TimeQuest タイミング・アナライザ**」の章を参照して下さい。

表 2-7. クロックの作成およびクロック・ポートの割当

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
1. Constraints メニューで <b>Create Clock</b> をクリックします。 <b>Create Clock</b> ダイアログ・ボックスが開きます。 2. 50 MHz のクロックに対し、 <b>表 2-2</b> のパラメータを設定します。 100 MHz のクロックも同じ手順で設定します。	次のように入力します： <pre>#create the 50 MHz (20 ns) clock create_clock -period 20 [get_ports clk] ← #create the 100 MHz (10 ns) clock create_clock -period 10 -waveform {0 6} [get_ports clkx2] ←</pre>

 `-waveform` オプションを使用しない場合、`create_clock` コマンドで定義されるクロックのデフォルトのデューティ・サイクルは 50/50 です。

 クロックのデューティ・サイクルの設定方法の詳細については、「*Quartus II* ハンドブック *Volume 3*」の「**TimeQuest タイミング・アナライザ**」の章を参照して下さい。

**表 2-7** の手順を実行すると、クロックの定義は完了です。

## ステップ 7: タイミング・ネットリストのアップデート

タイミング制約やタイミング例外を作成後、新しく定義した `clk` および `clkx2` クロック制約をタイミング・ネットリストに適用するために、**表 2-8** に示す手順を実行してタイミング・ネットリストをアップデートして下さい。



 新しいタイミング制約を追加した場合は、タイミング・ネットリストをアップデートする必要があります。

表 2-8. タイミング・ネットリストのアップデート

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
<b>Tasks</b> ペインで、 <b>Update Timing Netlist</b> コマンドをダブル・クリックして下さい。	次のように入力します： <pre>update_timing_netlist ←</pre>

## ステップ 8: SDC ファイルの保存

クロックを定義してタイミング・ネットリストをアップデートした後、**表 2-9** に示す手順に従って、SDC ファイルを保存することができます。TimeQuest タイミング・アナライザの GUI やコンソールで追加された制約は、自動では保存されません。

 この後のフローで間違えて制約を上書きしてしまった場合は、ここで保存した SDC ファイルを使用して最初に設定した制約を復元して下さい。

最初に作成した SDC ファイルは、デザインのタイミング制約とタイミング例外を含む、ゴールデンの SDC ファイルとして使用できます。

表 2-9. SDC ファイルの保存

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
1. <b>Tasks</b> ペインで、 <b>Write SDC File</b> コマンドをダブル・クリックします。 <b>Write SDC File</b> ダイアログ・ボックスが開きます。 2. <b>File Name</b> フィールドで、 <code>filtref.sdc</code> を指定します。	次のように入力します： <code>write_sdc filtref.sdc</code> ←

新しく作成される `filtref.sdc` ファイルには、**ステップ 6: タイミング制約の設定** で定義した 2 つのクロック制約が記述されています。

**Write SDC File** コマンドは、既存の SDC ファイルを上書きしてしまう可能性があります。上書きした場合、新しい SDC ファイルではコマンドの順番が保持されていません。従って、アルテラでは SDC ファイルを保存して、テキスト・エディタで編集することを推奨しています。こうすることで、コマンドの順番などを自由に管理することができます。

## ステップ 9: 初期タイミング・ネットリストでのタイミング・レポート生成

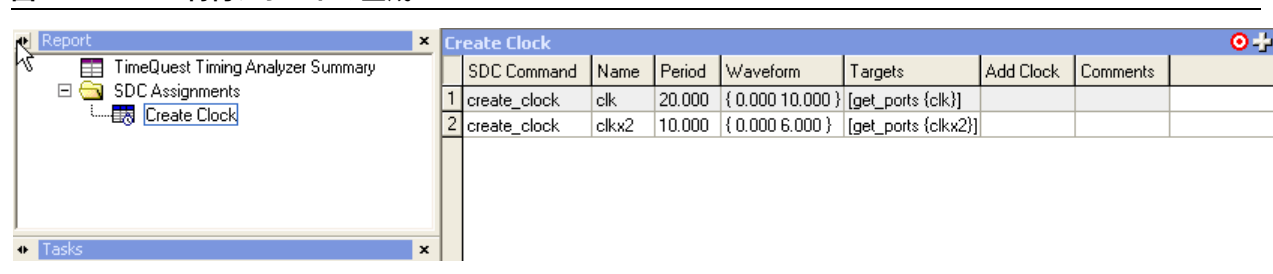
タイミング制約を追加してタイミング・ネットリストをアップデートした後、**表 2-10** に示す手順でタイミング・レポートを生成し、全てのクロックが適切に、意図したノードに定義されていることを確認します。TimeQuest タイミング・アナライザでは容易にレポートを生成できるコマンドを提供していますので、デザインが全てのタイミングを満たしていることを容易に確認することができます。

表 2-10. Report SDC コマンド

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
<b>Tasks</b> ペインで、 <b>Report SDC</b> コマンドをダブル・クリックします。	次のように入力します： <code>report_sdc</code> ←

**Tasks** ペインで **Report SDC** コマンドをクリックした際に作られる Create Clock レポートを **図 2-1** に示します。

図 2-1. SDC 制約レポートの生成



SDC Assignments レポートでは、デザインに設定されている全てのタイミング制約とタイミング例外がレポートされます。2 つのレポートが生成され、1 つはクロックで、もう 1 つはクロック・グループのレポートです。

**表 2-11** に示す手順で、デザイン内の全てのクロックについてのレポートを生成して下さい。

表 2-11. Report Clocks レポートの生成

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
Tasks ペインで、 <b>Report Clocks</b> コマンドをダブル・クリックします。	次のように入力します: <code>report_clocks</code> ←

図 2-2 に、Clocks Summary レポートを示します。

図 2-2. Clocks Summary レポート

Clock Name	Type	Period	Frequency	Rise	Fall	Duty Cycle	Divide by	Multiply by	Phase	Offset	Edge List	Edge Shift	Inverted	Master	Source	Targets
1 clk	Base	20.000	50.0 MHz	0.000	10.000											{ clk }
2 clkx2	Base	10.000	100.0 MHz	0.000	6.000											{ clkx2 }

全てのクロック間転送を検証するには、表 2-12 に示す手順で **Report Clock Transfers** コマンドを使用してレポートを生成します。

表 2-12. Report Clock Transfers レポートの生成

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
Tasks ペインで、 <b>Report Clock Transfers</b> コマンドをダブル・クリックします。	次のように入力します: <code>report_clock_transfers</code> ←

Clock Transfers レポートを図 2-3 に示します。

図 2-3. Clock Transfers レポート


From Clock	To Clock	RR Paths	FR Paths	RF Paths	FF Paths
1 clk	clk	19504	0	0	0
2 clk	clkx2	16	0	0	0

Clock Transfers レポートを見ると、ソースが `clk` ドメインでデスティネーションが `clkx2` ドメインのクロック間転送が存在します。`clk` がソース・ノードのクロックとして、`clkx2` がデスティネーションのクロックとして使われるインスタンスは 16 個あります。

デザインでは、clk ドメインから clkx2 ドメインへのパスはフォルス・パスなので解析する必要はありません。表 2-13 に示す手順に従って、clk ドメインから clkx2 ドメインへのパスをフォルス・パスに設定して下さい。この作業後、TimeQuest タイミング・アナライザは Clock Transfers レポートが古く、アップデートが必要なことを示します。

表 2-13. フォルス・パスの設定

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
1. Clock Transfers レポートの列 <b>From Clock</b> から <b>clk</b> を選択します。 2. 右クリックし、 <b>Set False Paths Between Clock Domains</b> を選択します。これにより、clk ドメインから clkx2 ドメインへのパスはフォルス・パスに設定されます。	次のように入力します： <pre>set_false_path -from [get_clocks clk] \ -to [get_clocks clkx2] ←</pre>

 2つのクロック・ドメインをフォルス・パスとして定義する他の方法として、set\_clock\_groups コマンドがあります。例えば、set\_clock\_groups -asynchronous -group [get\_clocks clk] -group [get\_clocks clkx2] と設定します。このコマンドでは、clk ドメインから clkx2 ドメイン、および clkx2 ドメインから clk ドメインへの全てのパスをフォルス・パスとして設定します。この方法が推奨です。

新しいタイミング制約を追加したので、表 2-14 に示す手順に従ってタイミング・ネットリストをアップデートして下さい。

表 2-14. タイミング・ネットリストのアップデート

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
<b>Tasks</b> ペインで、 <b>Update Timing Netlist</b> コマンドをダブル・クリックします。	次のように入力します：update_timing_netlist ←

GUI 上で set\_false\_path コマンドを実行後、生成済みのレポートには「Out of Date」のラベルが表示されます。それは、それらのレポートが TimeQuest タイミング・アナライザで設定されている最新のタイミング制約と例外を繁栄していないことを示しています。レポートパネルをアップデートするには、全てのレポートを再生成する必要があります。

コマンド・ライン上では、レポート生成のコマンドを再実行して下さい。GUI では、レポートパネルの任意のレポート上で右クリックし、**Regenerate** または **Regenerate all** を選択して下さい。

タイミング・ネットリストをアップデート後、表 2-15 の手順に従って異クロック間転送がフォルス・パスとして認識されていることを確認して下さい。

表 2-15. Report SDC コマンドを使用した検証

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
<b>Tasks</b> ペインにて、 <b>Report SDC</b> をダブル・クリックします。	次のように入力します：report_sdc ←

 2-4 に、新しく生成された SDC Assignments レポートを示します。

図 2-4. SDC Assignments レポート

SDC Command	Name	Period	Waveform	Targets	Add Clock	Comments
1 create_clock	clk	20.000	{0.000 10.000}	[get_ports {clk}]		
2 create_clock	clkx2	10.000	{0.000 6.000}	[get_ports {clkx2}]		

図 2-4 に示すレポートから、クロック制約及びフォルス・パス制約が正しく設定されていることがわかります。

**Report Clocks** および **Report Clock Transfers** コマンドを使用して、2つのクロック間の転送が解析されないことを確認します。図 2-5 に、Clock Transfer レポートを示します。

図 2-5. Clock Transfers レポート

From Clock	To Clock	RR Paths	FR Paths	RF Paths	FF Paths
1 clk	clk	19504	0	0	0
2 clk	clkx2	false path	0	0	0

RR Paths 列に「false path」と表示され、このクロック間転送をフォルス・パスとして設定したことが確認できます。

## ステップ 10: SDC ファイルへの保存

デザインの全てのクロックとフォルス・パス制約を指定したので、表 2-16 に示す手順に従って、タイミング制約と例外を SDC ファイルに保存します。

表 2-16. SDC ファイルへの制約の保存

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
1. <b>Tasks</b> ペインで、 <b>Write SDC File</b> をダブル・クリックします。 <b>Write SDC File</b> ダイアログ・ボックスが開きます。	次のように入力します: write_sdc filtref.sdc ↑ ←
2. <b>File name</b> フィールドに filtref.sdc と入力します。	

この手順により、既に作成された **filtref.sdc** ファイルは上書きされます。**Write SDC File** コマンドによって SDC ファイルが上書きされた場合、古い SDC ファイル中にあったコメントなどは新しい SDC ファイルでは削除されています。

**filtref.sdc** ファイルには、2つのクロック制約とフォルス・パス制約が含まれています。

## ステップ 11. タイミング・ドリブンのコンパイルの実行

SDC ファイルにタイミング制約を保存した後にコンパイルを実行します。デザインのタイミング制約を満たすように最適化が行われます。コンパイル実行前に、[表 2-17](#) に示す手順に従って、プロジェクトに SDC ファイルを追加して下さい。

表 2-17. プロジェクトに SDC ファイルを追加

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
<ol style="list-style-type: none"> <li>Project メニューで、<b>Add/Remove Files In Project</b> をクリックします。<b>Add/Remove Files In Project</b> ダイアログ・ボックスが開きます。</li> <li><b>.sdc</b> ファイルを探し、選択します。</li> <li><b>OK</b> をクリックします。</li> </ol>	次のように入力します： <pre>set_global_assignment -name SDC_FILE \ filtref.sdc ↵</pre>

SDC ファイルをプロジェクトに追加後、[表 2-18](#) に示す手順に従ってデザインをフル・コンパイルします。


表 2-18. フル・コンパイルの実行

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
Processing メニューで、 <b>Start Compilation</b> をクリックします。	次のように入力します： <pre>quartus_sh --flow compile filtref ↵</pre>

コンパイル終了後、TimeQuest タイミング・アナライザによって Compilation Report 内にサマリ・レポートが生成されます。そのレポートでは、セットアップやホールドのチェックが行われます。

## ステップ 12. TimeQuest タイミング・アナライザでのタイミング検証

特定のパスのタイミング解析を行うには、TimeQuest タイミング・アナライザ上でタイミング解析結果を確認します。

 配置配線が官僚後、[ステップ 4: TimeQuest タイミング・アナライザの起動](#)で行った手順をもとに TimeQuest タイミング・アナライザを起動します。

Post-fit タイミング・ネットリストの作成、SDC ファイルの読み込み、タイミング・ネットリストのアップデートを行った後、[表 2-19](#) に示す手順に従ってタイミング・レポートを生成します。

表 2-19. レポートの生成

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
<b>Tasks</b> ペインにて、生成したいレポートのコマンドをダブル・クリックします。例えば、 <b>Report All Summaries</b> をダブル・クリックします。	次のように入力します： <pre>create_timing_netlist ← read_sdc filref.sdc ← update_timing_netlist ←  report_clocks ← create_timing_summary -setup ← create_timing_summary -hold ← create_timing_summary -recovery ← create_timing_summary -removal ← report_min_pulse_width -nworst 10 ←</pre>

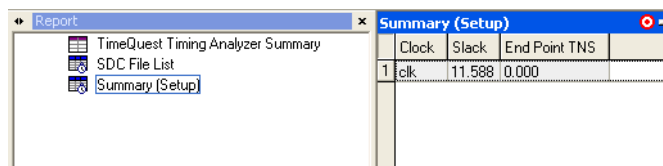
 **Tasks** ペインでレポート・コマンドをダブル・クリックした場合、**Create Timing Netlist**、**Read SDC**、**Update Timing Netlist** が自動的に順番に実行され、タイミング・ネットリストまで生成します。

クロックのセットアップ・チェックでは、SDC ファイルで指定したタイミング制約に違反しているレジスタ間のデータ転送がないことを確認します。**表 2-20** に示す手順に従ってデザインの全てのクロックについてのセットアップ・サマリー・レポートを作成し、タイミング違反がレポートされていないことを確認して下さい。


表 2-20. セットアップ・サマリー・レポートの生成

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
<b>Tasks</b> ペインで、 <b>Report Setup Summary</b> をダブル・クリックします。	次のように入力します： <pre>create_timing_summary -setup ←</pre>

 **図 2-6** に、Summary (Setup) レポートを示します。

**図 2-6. Summary (Setup) レポート**


Clock	Slack	End Point TNS
1 clk	11.588	0.000

 クロック `clkx2` は、Summary (Setup) レポートには表示されません。なぜなら、クロック `clk` とクロック `clkx2` 間のパスはフォルス・パスに設定されているためです。また、**fir\_filter** デザインでは、`clkx2` をクロックとして使うレジスタをデステイネーションとするパスは存在しません。

レポートの列 **Slack** は、クロック `clk` はタイミングを満たし、スラックは 11.588 ns あることを示しています。列 **End Point TNS** は、そのクロック・ドメインでの負のスラックの合計を示します。この値によって、あるクロック・ドメインでタイミング違反の発生しているパスの数を推測することができます。

セットアップ・サマリー・レポートを生成後、**表 2-21** に示す手順に従ってホールド・サマリー・レポートを生成します。

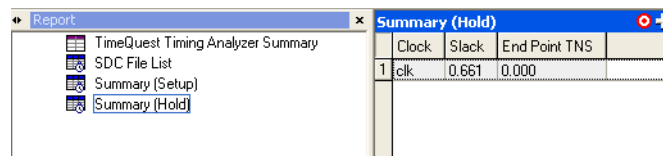


表 2-21. ホールド・サマリー・レポートの生成

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
Tasks ペインで、 <b>Report Hold Summary</b> をダブル・クリックします。	次のように入力します: <code>create_timing_summary -hold</code> ←

図 2-7 に、Summary (Hold) レポートを示します。

図 2-7. Summary (Hold) レポート



Summary (Hold) レポートは、クロック clk はタイミング制約を満たし、スラックが 0.661 ns あることを示しています。

表 2-22 に示す手順に従って未制約のパスをレポートし、それらを完全に制約してからフル・コンパイルを行うようにして下さい。これにより、Fitter がクリティカル・パスを確実に最適化できるようになります。

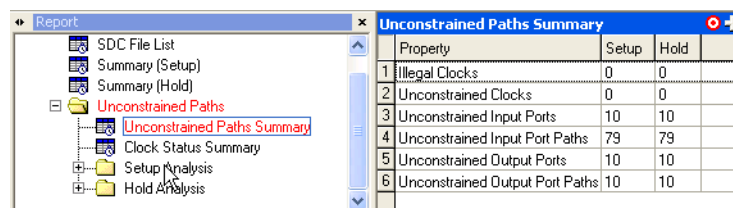
**Report Unconstrained Paths** コマンドを使用して、**fir\_filter** デザインの全てのパスが制約されているかを確認できます。

表 2-22. 未制約のパスのレポート

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
Tasks ペインで、 <b>Report Unconstrained Paths</b> をダブル・クリックして下さい。	次のように入力します: <code>report_ucp</code> ←

図 2-8 に Unconstrained Paths Summary レポートを示します。

図 2-8. Unconstrained Paths Summary レポート



Unconstrained Paths Summary レポートから、多くのパスが未制約であることが分かります。

デザインの全てのパスにタイミング制約を設定するには、TimeQuest タイミング・アナライザで使用できる全ての SDC 制約を利用して下さい。


**fir\_filter** デザインを完全に制約するには、全ての入力ポートと出力ポートを制約する必要があります。**Set Input Delay** および **Set Output Delay** ダイアログ・ボックスを使用するか、`set_input_delay` および `set_output_delay` コマンドを使用して、入力ポートと出力ポートへの遅延値を設定します。

デザインに追加の制約を設定するために、入力と出力の遅延制約のみ含む追加の SDC ファイル（例えば `inout_delay.sdc`）を作成します。**表 2-23** に示す手順に従って入力と出力の遅延制約を設定し、**ステップ 10: SDC ファイルへの保存** で作成した新規の SDC ファイルに追加して下さい。

表 2-23. 入力と出力遅延制約の設定

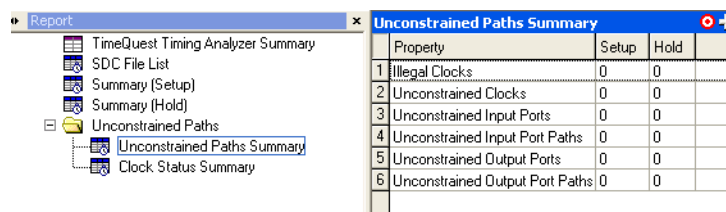
TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール
1. Constraints メニューから、 <b>Set Input Delay</b> をクリックします。 <b>Set Input Delay</b> ダイアログ・ボックスが開きます。 2. 次のように設定します: <b>Clock name:</b> clk <b>Delay value:</b> 2 <b>Targets:</b> [get_ports {d[0] d[1] d[2] d[3] \ d[4] d[5] d[6] d[7] newt reset}] 3. Constraints メニューから、 <b>Set Output Delay</b> をクリックします。 <b>Set Output Delay</b> ダイアログ・ボックスが開きます。 4. 次のように設定します: <b>Clock name:</b> clk <b>Delay value:</b> 1.5 <b>Targets:</b> [get_ports {yn_out[0] yn_out[1] \ yn_out[2] yn_out[3] yn_out[4] yn_out[5] \ yn_out[6] yn_out[7] yvalid follow}]	入力ポートを制約するには、下記のように入力します: <pre>set_input_delay -clock clk 2 \ [get_ports {d* newt reset}] ←</pre> 制約するには、下記のように入力します: <pre>set_output_delay -clock clk 1.5 \ [get_ports {yn_out* yvalid follow}] ←</pre>

入力と出力遅延制約を含む SDC ファイルを読み込むと、デザイン内の全てのポートは制約されます。

 制約を追加した後、タイミング・ネットリストをアップデートすることを忘れないでください。詳細については、**ステップ 7: タイミング・ネットリストのアップデート** を参照して下さい。

デザイン中の全てのポートが制約されたことを確認するために、**図 2-9** に示す Unconstrained Paths Summary レポートを生成します。

図 2-9. 再生成した Unconstrained Paths Summary レポート



Property	Setup	Hold
1 Illegal Clocks	0	0
2 Unconstrained Clocks	0	0
3 Unconstrained Input Ports	0	0
4 Unconstrained Input Port Paths	0	0
5 Unconstrained Output Ports	0	0
6 Unconstrained Output Port Paths	0	0

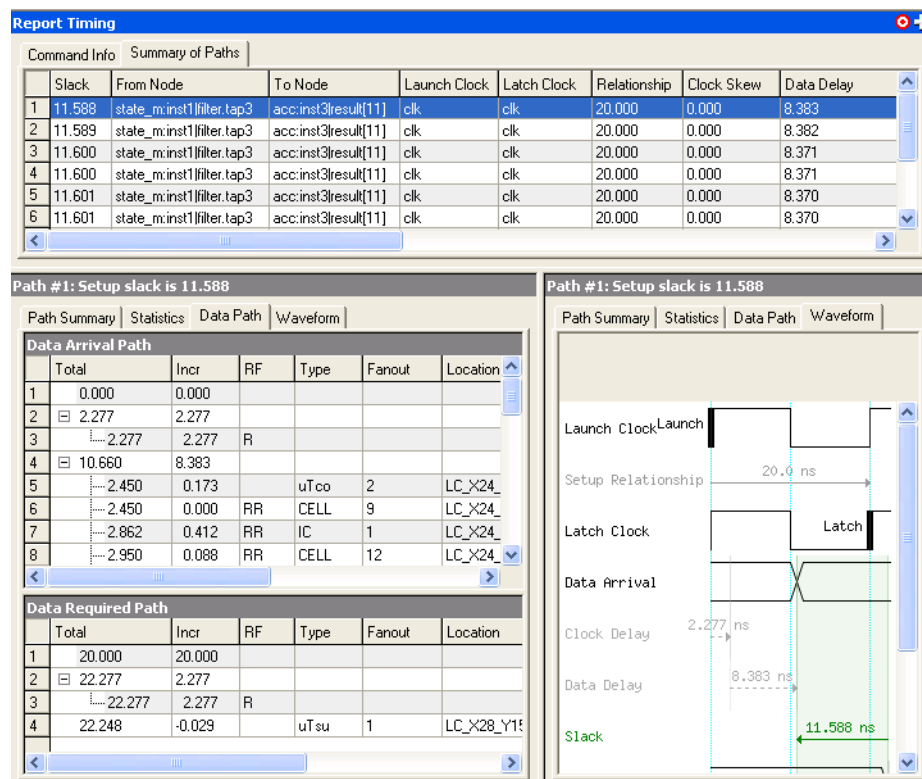
表 2-24 に示す手順に従って、特定のクロックやノードに対するタイミング・レポートを生成します。表 2-24 に示す手順では、クロック clk を使用するデスティネーション・パス acc:inst3|result へのパスの、ワースト 10 のパスをレポートします。

表 2-24. Report Timing レポートの生成

TimeQuest タイミング・アナライザ GUI	TimeQuest タイミング・アナライザのコンソール e
<ol style="list-style-type: none"> <li>1. <b>Tasks</b> ペインで、<b>Report Timing</b> をダブル・クリックします。<b>Report Timing</b> ダイアログ・ボックスが開きます。</li> <li>2. 次のように入力します: <b>To Clock:</b> clk <b>To:</b> acc:inst3 result* <b>Report number of paths:</b> 10</li> <li>3. 他のフィールドはデフォルト設定のままにしておきます。</li> </ol>	<p>次のように入力します:</p> <pre>report_timing -to_clock clk -to / acc:inst3 result* -setup -npaths 10 ←</pre>

図 2-10 に、Report Timing レポートを示します。

図 2-10. Report Timing レポート



デザインでタイミング違反の発生しているパスの詳細を確認するには、**Tasks** ペインの **Report Top Failing Paths** コマンドを使用して下さい。

## 結論

新しいタイミング制約や例外を追加した後、Quartus II の Fitter を再度実行して、追加したタイミング制約に従ってデザインを最適化させてください。所望のパフォーマンスを得るには、タイミング制約の追加とコンパイルの作業を繰り返す必要がある場合があります。

## コマンドおよび Tcl スクリプト

このセクションでは、コマンド・ラインからコンパイル・フロー全体を実行するコマンドおよび付随する Tcl スクリプトについて説明しています。

スクリプトを読み込むには、コマンド・プロンプトで**式 3-1** に示すコマンドを実行します。

### 式 3-1. スクリプトの読み込み

---

```
quartus_sh -t timequest_setup.tcl ←  
quartus_sta -t main_postmap.tcl ←  
quartus_sh -t fit_sdc_setup.tcl ←  
quartus_sta -t main_postfit.tcl ←
```

---

**timequest\_setup.tcl** スクリプトの内容を**式 3-2** に示します。TimeQuest タイミング・アナライザをデフォルトのタイミング解析ツールとして設定するには、このスクリプトを使用して下さい。



Quartus II ソフトウェアでは、Classic Timing Analyzer がデフォルトのタイミング解析ツールとなっているデバイス・ファミリーも存在します。

### 式 3-2. timequest\_setup.tcl スクリプト内容

---

```
#open the filtref project  
project_open filtref ←  
#set the TimeQuest analyzer as the default timing analyzer  
set_global_assignment -name USE_TIMEQUEST_TIMING_ANALYZER ON ←  
#close the project  
project_close ←
```

---

**main\_postmap.tcl** スクリプトの内容を**式 3-3** に示します。このスクリプトを使用すると、Post-map タイミング・ネットリストの作成、**golden.sdc** の読み込み、およびタイミング・レポートの生成までが実行されます。

---

### 式 3-3. main\_postmap.tcl スクリプト

---

```
#file main_postmap.tcl
#include the flow package to create a post-map netlist
package require ::quartus::flow ←
#open the project in TimeQuest
project_open filtref ←
#create a post-map database
execute_module -tool map ←
#create the timing netlist based on the post-map results
create_timing_netlist -post_map ←
#read in the constraints from the golden SDC file
read_sdc golden.sdc ←
#update the timing netlist with the new constraints
update_timing_netlist ←
#generated a clock report
report_clocks ←
#generated a clock-to-clock report
report_clock_transfers ←
#delete our post-map timing netlist
delete_timing_netlist ←
#close the TimeQuest project
project_close ←
```

---

**fit\_sdc\_setup.tcl** スクリプトの内容を式 3-4 に示します。このスクリプトでは、Quartus II の Fitter が指定したタイミング制約を満たすようにデザインを最適化するように設定を行います。

---

### 式 3-4. fit\_sdc\_setup.tcl スクリプト

---

```
#open the filtref project
project_open filtref ←
#add the filtref.sdc file to our Quartus II project
set_global_assignment -name SDC_FILE golden.sdc ←
#close the project
project_close ←
```

---

**main\_postfit.tcl** スクリプトの内容を式 3-5 に示します。このスクリプトを実行すると、Post-fit タイミング・ネットリストの作成、**golden.sdc** および **io\_cons.sdc** の読み込み、タイミング・レポートの作成までが行われます。

### 式 3-5. main\_postfit.tcl スクリプト

```
#Include the flow package to create a post-fit netlist
package require ::quartus::flow ←
#open the project in TimeQuest
project_open filtref ←
#create a post-fit database
execute_module -tool fit ←
#create a post-fit timing netlist
create_timing_netlist ←
#read the golden SDC file and the I/O SDC file
read_sdc golden.sdc ←
read_sdc io_cons.sdc ←
#update the post-fit timing netlist with constraints
update_timing_netlist ←
#report unconstrained paths
report_clocks ←
create_timing_summary -setup ←
create_timing_summary -hold ←
create_timing_summary -recovery ←
create_timing_summary -removal ←
report_ucp ←
#delete our post-map timing netlist
delete_timing_netlist ←
#close the TimeQuest project
project_close ←
```

**golden.sdc** と **io\_cons.sdc** の内容を、それぞれ式 3-6 および式 3-7 に示します。

### 式 3-6. golden.sdc ファイル

```
#create the 50 MHz 50/50 clock
create_clock -period 20 [get_ports clk] ←
#create the 100 MHz 60/40 clock
create_clock -period 10 -waveform {0 6} [get_ports clkx2] ←

#cut the clk and clkx2 domains
set_clock_groups -group [get_clocks clk] -group [get_clocks clkx2] ←
```

### 式 3-7. io\_cons.sdc ファイル

```
#set the input delays for the design
set_input_delay -clock clk 1.0 [get_ports {d[*] reset newt}] ←
#set the output delays for the design
set_output_delay -clock clk 1.5 [get_ports {yn_out[0] yn_out[1] \
yn_out[2] yn_out[3] yn_out[4] yn_out[5] yn_out[6] yn_out[7] yvalid follow}] ←
```





## 改訂履歴

下表に本ユーザーガイドの改訂履歴を示します。

日付	バージョン	変更内容
2009年12月	1.1	<ul style="list-style-type: none"> <li>■ 第2章の図を更新。</li> <li>■ Quartus II ソフトウェア v9.1 用に更新。</li> </ul>
2006年5月	1.0	初版

## アルテラへのお問い合わせ

Altera® 製品に関する最新の情報については、次の表を参照してください。

問い合わせ先： (注1)	連絡方法	ウェブサイトのアドレス
テクニカル・サポート	ウェブサイト	<a href="http://www.altera.com/support">www.altera.com/support</a>
テクニカル・トレーニング	ウェブサイト	<a href="http://www.altera.com/training">www.altera.com/training</a>
	Eメール	<a href="mailto:custrain@altera.com">custrain@altera.com</a>
テクニカル・サポート 以外 (一般) (ソフトウェア・ライセンス)	Eメール	<a href="mailto:nacomp@altera.com">nacomp@altera.com</a>
	Eメール	<a href="mailto:authorization@altera.com">authorization@altera.com</a>








注：

(1) 詳しくは、日本アルテラまたは販売代理店にお問い合わせください。

## 表記規則

本書では、以下の表に示す表記規則を使用しています。

書体	意味
太字かつ文頭が大文字	コマンド名、ダイアログ・ボックス・タイトル、チェック・ボックス・オプション、およびダイアログ・ボックス・オプションは、太字かつ文頭が大文字で表記されています。例： <b>Save As</b> ダイアログ・ボックス
太字	外部タイミング・パラメータ、ディレクトリ名、プロジェクト名、ディスク・ドライブ名、ファイル名、ファイルの拡張子、およびソフトウェア・ユーティリティ名は、太字で表記されています。例： <b>f<sub>MAX</sub></b> 、 <b>qdesigns</b> ディレクトリ、 <b>d:</b> ドライブ、および <b>chiptrip.gdf</b> ファイル
斜体かつ文頭が大文字	資料のタイトルは、斜体かつ文頭が大文字で表記されています。例： <i>AN 75: 高速動作ボードの設計</i>
斜体	内部タイミング・パラメータおよび変数は、斜体で表記されています 例： <i>t<sub>PIA</sub></i> 、 <i>n + 1</i> 変数は、山括弧 (<>) で囲み、斜体で表記されています。 例：<file name>、<project name>.pof ファイル
文頭が大文字	キーボード・キーおよびメニュー名は、文頭が大文字で表記されています。例：Delete キー、Options メニュー

書体	意味
「小見出しタイトル」	資料内の小見出しおよびオンライン・ヘルプ・トピックのタイトルは、鉤括弧で囲んでいます。例：「表記規則」
Courier type	信号およびポート名は、 <b>Courier</b> フォントで表記されています。例：data1, tdi, input. アクティブ <b>Low</b> 信号は、サフィックス <b>n</b> で表示されています (例：resetn)  表示されているとおりに入力する必要があるものは、 <b>Courier</b> フォントで表記されています。例：c:\qdesigns\tutorial\chiptrip.gdf. また、 <b>Report</b> ファイルなどの実際のファイルのセクション、ファイルの構成要素への参照 (例：AHDL キーワードの SUBDESIGN)、ロジック・ファンクション名 (例：TRI) も <b>Courier</b> フォントで表記されています。
1.、2.、3.、および a.、b.、c. など	手順など項目の順序が重要なものは、番号が付けられリスト形式で表記されています。
	箇条書きの黒点などは、項目の順序が重要ではないものに付いています。
	チェックマークは、1 ステップしかない手順を表します。
	指差しマークは、要注意箇所を表しています。
	注意は、製品または作業中のデータに損傷を与えたり、破壊したりするおそれのある条件や状況に対して注意を促します。
	警告は、ユーザーに危害を与えるおそれのある条件や状況に対して注意を促します。
	矢印は、 <b>Enter</b> キーを押すことを示しています。
	足跡マークは、詳細情報の参照先を示しています。