



アルテラ・プログラマブル・デバイス の Early SSN Estimator ユーザーガイド



101 Innovation Drive
San Jose, CA 95134
www.altera.com

ドキュメント・バージョン: 1.0
ドキュメント・デート: © 2009 年 11 月

Copyright © 2009 Altera Corporation. All rights reserved. Altera, The Programmable Solutions Company, the stylized Altera logo, specific device designations, and all other words and logos that are identified as trademarks and/or service marks are, unless noted otherwise, the trademarks and service marks of Altera Corporation in the U.S. and other countries. All other product or service names are the property of their respective holders. Altera products are protected under numerous U.S. and foreign patents and pending applications, maskwork rights, and copyrights. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

第 1 章 . Early SSN Estimator

ツールの用途	1-1
Early SSN Estimator の設定	1-2
グローバル・パラメータ	1-2
Desired Margin	1-3
Result Mode	1-3
特定の I/O バンクのパラメータ	1-5
Early SSN Estimator の結果の解釈	1-6

第 2 章 . チュートリアル：シングル・バンクへの SSTL および LVTTTL のミキシング


ステップ 1: グローバル・パラメータの設定	2-1
ステップ 2: 対応するバンクに I/O 規格の割当	2-1
ステップ 3: 結果の解釈	2-2
ステップ 4: 問題の解決	2-2

追加情報

改訂履歴	1-1
アルテラへのお問い合わせ	1-1
表記規則	1-1

設計の早期段階で、ESE (Early SSN Estimator) を使用して同時スイッチング・ノイズ (SSN) を推定してください。これで、大規模なレイアウト前のシミュレーションおよびレイアウト後のシミュレーションを避けることができます。Early SSN Estimator は、複数のアグレッサが同時にスイッチングすることによってビクティム・ピンの遠端におけるワースト・ケースの Quiet Low/Quiet High ノイズを計算するための Microsoft Excel ベースのスプレッドシート・ツールです。

Early SSN Estimator は、ターゲット・デバイスおよび開発中の PCB ボードが標準的なプロセス、電圧、および温度 (PVT) 条件を持つと仮定しています。スプレッドシートには、I/O 規格、電流強度、スルーレート、および同時スイッチング I/O の数などの基本的なデザイン固有の情報を必要とします。

 Early SSN Estimator は、誘導性のクロストークによって発生する SSN をモデル化します。スイッチング・バッファの電流の使用率は、電源供給ネットワーク (PDN) の共振を引き起こして、及び PDN の圧縮を起こす場合があります。共振による PDN の圧縮はここで説明された SSN と異なっています。PDN デザインを改良すると、PDN の圧縮は低減されます。

スプレッドシート・ツールで得られた結果は、見積もりを行うことだけを目的とするもので、仕様の作成を目的とするものではありません。ボードで観測された実結果は、カリキュレータで使用される PCB デザインと想定された一般的なデザイン間の条件の違いによって異なる場合があります。特定の PCB デザインに基づいて、非常に正確なノイズの提供を取得しようとする設計者にとって、アルテラは、特定のデザインへのボードのスタックアップ、ビア・ブレイクアウト、電源供給ネットワーク・デザインおよびトレースの距離の様々なパラメータを検討して、レイアウト後のシミュレーション方法を使用することと推奨しています。

このユーザーガイドでは、Early SSN Estimator を使用してビクティム・ピンで検出された遠端ノイズを見積もる方法について説明します。

ツールの用途

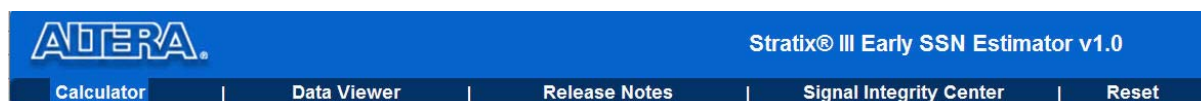
ツールの目的は、設計の早期段階にデザイン内で SSN の量の暫定的な見積りを提供することです。このスプレッドシート・ツールは、異なるドライブ強度、同時スイッチング I/O 数、異なる VCCIO 電圧規格、および様々な I/O 設定によってノイズに対する影響を理解するために様々な「what-if」シナリオを探索する時に、非常に役に立ちます。

Early SSN Estimator の設定

ESE スプレッドシートには、次のタブで構成されています (図 1-1)。

- **Calculator**—SSN ノイズの量を推定するために関連のデザイン情報を入力する主要なタブです。
- **Data Viewer**—I/O 数の関数として個々の I/O 規格のノイズ・プロファイルの回路図ビューです。Data Viewer タブは、Calculator タブから独立しております。このタブは、Calculator タブで様々なバンクの選択された I/O 規格に関係なく、Data Viewer タブで設定されている I/O 規格のノイズ・プロファイルを表示します。
- **Release Notes**— ツールの現在のバージョンに関する情報が含まれています。また、ツールの以前のバージョンからの変更点を示しています。
- **Signal Integrity Center**— アルテラ・ウェブサイト (www.altera.co.jp) のシグナル・インテグリティに特化情報へのリンクを提供しています。
- **Reset**—Calculator タブに入力されているすべてのデータを消去するために使用されます。

図 1-1. ESE ツールのタブ



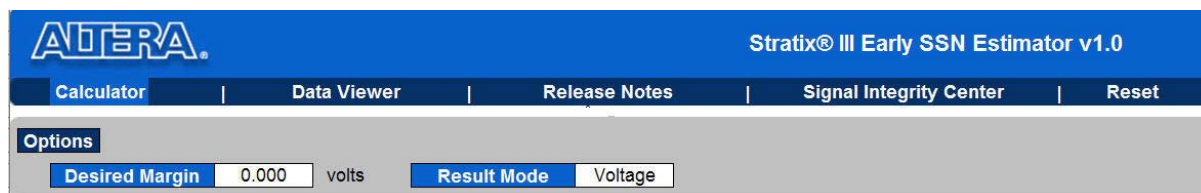
Calculator タブで、2 種類のパラメータがあります。

- グローバル・パラメータ
- I/O バンク専用のパラメータ

グローバル・パラメータ

図 1-2 には **Calculator** タブで **Options** セクションに記載されるグローバル・パラメータ (ご希望のマージンと結果モード) を示しています。ESE はワーストケースのピンの配置を仮定して、遠端ノイズを計算します。ワーストケースのピン配置はアグレッサ・ピンがワーストケースのビクティム・ピンにできる限り密接に配置されると仮定しています。

図 1-2. グローバル・パラメータの定義



Desired Margin

Desired Margin は、非 SSN に関連していない項目に割り当てるマージンの量を設定します。このマージンは、**Calculator** タブに実装されるすべてのバンクに適用されます。デフォルトで、ESE は、全体のノイズ・マージンが SSN に割り当てられることを前提としています。Result Mode のパラメータで選択した設定に応じて、ボルトまたはノイズ・マージンの率でこの値を入力することができます。

Result Mode

ESE はボルトおよびマージン率の 2 つの異なるフォーマットで結果を報告できます。デフォルトのフォーマットは、ボルトでノイズおよびマージンを報告することです。パーセント・マージン・モードで、ノイズはボルトとして報告されますが、マージンはゼロ・ノイズ・マージンの合計の割合として表されます。ビクティム・ネットが Low にドライブされる場合、ノイズ・マージンは式 1-1 で計算されますが、High にドライブされる場合には式 1-2 で計算されます。

式 1-1. Low にドライブされるビクティム・ネット

$$V_{IL \text{ マージン}(K)} = \left\{ 1 - \left[\frac{(QLN_{(K)} - QL)}{(VIL_{Max}(DC) - QL)} \right] \right\} * 100 \text{、ここで}$$

$V_{IL \text{ マージン}(K)}$ = K アグレッサが同時にスイッチングするときの信号マージン Low

K = 同時にスイッチングする I/O 数

$QLN_{(K)}$ = K アグレッサが同時にスイッチングするときの Quiet Low ノイズ

QL = Quiet Low 電圧 (スイッチングするアグレッサなし)

$V_{IL \text{ Max}(DC)}$ = レシーバの最大 DC 入力低電圧

式 1-2. High にドライブされるビクティム・ネット

$$V_{IH \text{ マージン}(K)} = \left\{ 1 - \left[\frac{(QH - QHN_{(K)})}{(QH - VIH_{Min}(DC))} \right] \right\} * 100 \text{、ここで}$$

$V_{IH \text{ マージン}(K)}$ = K アグレッサが同時にスイッチングするときの信号マージン High

K = 同時にスイッチングする I/O 数

$QHN_{(K)}$ = K アグレッサが同時にスイッチングするときの Quiet High ノイズ

QH = Quiet High 電圧 (スイッチングするアグレッサなし)

$V_{IH \text{ Min}(DC)}$ = レシーバの最小 DC 高力低電圧

図 1-3 に、5 つの I/O は、高速スルー・レート・インターフェイスと LVTTTL18 8-mA のドライブ強度を使用して 5 つの I/O が同時にスイッチングしている Bank1a の ESE の計算を示します。例えば、ESE はツールによって報告されている VIL/VIH マージンで到着するように計算を通過します。


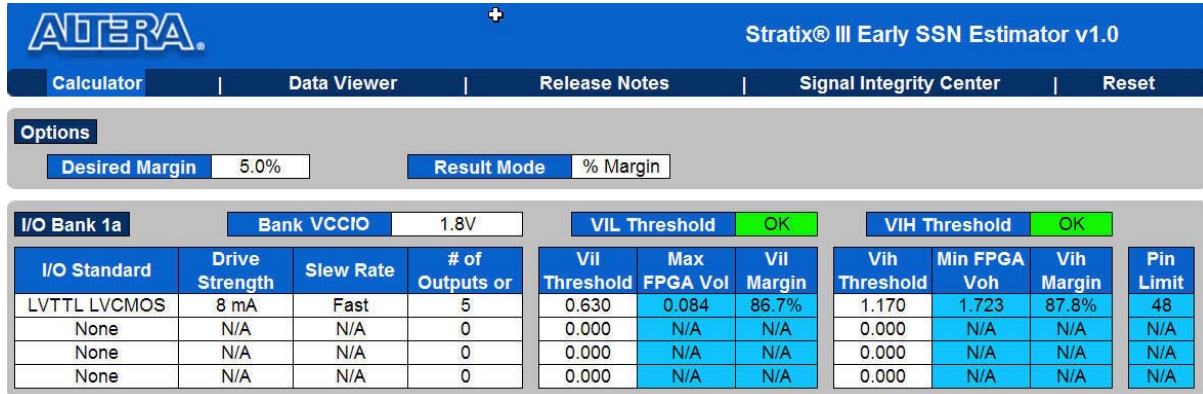
 各アルテラのデバイス・ファミリーは、独自の Early SSN ツールが含まれていますが、これらのツールの手法は同じです。次の例では、Stratix III Early SSN ツールを使用します。

図 1-3. V_{IL}/V_{IH} マージンの計算



I/O Bank 1a				Bank VCCIO			VIL Threshold			VIH Threshold		
				1.8V			OK			OK		
I/O Standard	Drive Strength	Slew Rate	# of Outputs or	Vil Threshold	Max FPGA Vol	Vil Margin	Vih Threshold	Min FPGA Voh	Vih Margin	Pin Limit		
LVTTTL LVCMOS	8 mA	Fast	5	0.630	0.084	86.7%	1.170	1.723	87.8%	48		
None	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A		
None	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A		
None	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A		

Low にドライブされるビクティムについては、図 1-3 から、様々なパラメータは以下の通りです。

$$K = 5$$

$$QLN(5) = 0.084 \text{ V}$$

$$QL = 0$$

$$VIL \text{ max (DC)} = 0.630 \text{ V}$$

$$VIL \text{ マージン (5)} = \{1 - [(0.084 - 0)/(0.63 - 0)]\} * 100 = 86.7\%$$

同様に、High にドライブされるビクティムについては、様々なパラメータは以下の通りです。

$$K = 5$$

$$QHN(5) = 1.723 \text{ V}$$

$$QH = 1.8 \text{ V}$$

$$VIH \text{ min (DC)} = 1.17 \text{ V}$$


$$VIH \text{ マージン (5)} = \{1 - [(1.8 - 1.723)/(1.8 - 1.17)]\} * 100 = 87.8\%$$

特定の I/O バンクのパラメータ

図 1-4 は、特定のバンクの ESE パラメータを示しています。

図 1-4. 特定の I/O バンクのパラメータ

I/O Bank 1a				Bank VCCIO			VIL Threshold			VIH Threshold		
				1.8V			OK			OK		
I/O Standard	Drive Strength	Slew Rate	# of Outputs or	Vil Threshold	Max FPGA Vol	Vil Margin	Vih Threshold	Min FPGA Voh	Vih Margin	Pin Limit		
HSTL Class I	8 mA	Fast	5	0.800	0.343	0.457	1.000	1.402	0.402	48		
HSTL Class II	16 mA	Med-Fast	10	0.800	0.329	0.471	1.000	1.390	0.390	48		
LVTTTL LVCMOS	4 mA	Medium	2	0.630	0.128	0.502	1.170	1.610	0.440	48		
LVTTTL LVCMOS	8 mA	Slow	2	0.630	0.128	0.502	1.170	1.610	0.440	48		

- **Bank VCCIO**—I/O バンクのすべてのピンは共通の VCCIO 電圧を共有します。VCCIO 電圧を共有することにより、I/O バンク内に存在している場合がある適正な I/O 規格の組み合わせが制約されます。VCCIO 電圧を選択することは、任意の VCCIO 電圧でサポートされる I/O 規格のセットによって I/O 規格ドロップダウン・ボックスが自動的に入力されます。
 - **I/O Standard**—カリキュレータは、シングル・バンクの最高 4 つの異なる I/O 規格をサポートしています。使用しようとする I/O 規格がドロップ・ダウン・ボックスに示されない場合、バンク VCCIO 電圧が正しく設定されるかどうかを確認してください。
 - **Drive Strength**—アルテラ・デバイスは、I/O 規格に応じて複数のドライブ強度をサポートします。このドロップ・ダウン・メニューで有効な値を選択することができます。
 - **Slew Rate**—アルテラ・プログラマブル・デバイスは、ノイズと性能のバランスをとるように設定可能な出力スルー・レートのコントロールをサポートします。高速スルー・レートは、高性能システムのための高速転送を提供します。速スルー・レートを指定した場合、システム・ノイズの低減には役立ちますが、立ち上がりおよび立ち下がりエッジに一定の遅延が追加されます。
-  **Slew rate control** のオプションは、すべてのアルテラのプログラマブル・デバイスには使用できるわけではありません。例えば、Stratix II GX デバイスは、スルー・レートのオプションを提供していません。
- **# of Outputs or Bidir Pins**—ESE ツールは、同時スイッチング出力に誘導される SSN をモデル化します。ESE は、FPGA の入力をドライブするデバイスの情報がなくて、スイッチング入力モデル化されていません。選択された I/O 規格およびドライブ強度に対応する出力または双方向ピン数を入力してください。
 - **$V_{IL(DC)}$ / $V_{IH(DC)}$ スレッショルド**—ESE は、受信デバイスの入力スレッショルドにマージン見積りに基づきます。デフォルトで、I/O 規格を選択すると、 $V_{IL(DC)}$ および $V_{IH(DC)}$ のパラメータは I/O 規格固有の値を自動的に入力されます。手動で任意のスレッショルド値を変更することができます。

ESE ツールで示されるすべてのバンクは、すべてのアルテラのプログラマブル・デバイスにおいて利用可能であるわけではありません。利用可能な I/O バンクおよびバンクのサイズの数は、デバイス集積度に依存します。

Early SSN Estimator の結果の解釈

ESE は、早期 I/O デザインを誘導するために 4 つのタイプの結果を報告します：

☒ 1-4 に示すように、出力、低/高電圧、入力スレッショルド・マージン、マージン・オーケータのインジケータ、および最大ピン制限を設定します。

- Max FPGA V_{OL} — 最大の出力 Low 電圧パラメータは、低値にドライブされるときに、FPGA のピンが出力可能な最大の出力を報告して、SSN が誘導されるノイズを考慮します。
- Min FPGA V_{OH} — 最低の出力 High 電圧パラメータは、高値にドライブされるときに、FPGA のピンが出力可能な最低の出力を報告して、SSN が誘導されるノイズを考慮します。
- V_{IL} Margin/ V_{IH} Margin— このパラメータは、出力がレシーバで $V_{IL(DC)}$ 入力 Low レベル電圧のスレッショルドまたは $V_{IH(DC)}$ 入力 High レベル電圧のスレッショルドに違反する前に耐える追加のノイズを示しています。
- V_{IL}/V_{IH} Threshold Indicator— これらのインジケータは、指定されたバンクのすべての I/O 規格が十分なマージンを持っているかどうかを確認する早い方法です。すべてのチェックに合格すると、インジケータが緑色で表示されます。任意のマージンが違反している場合は、インジケータが赤で表示されます。
- Pin Limit— ピンの制限は、他のすべての I/O 規格のピン数が一定に保たれている場合、ピンの制限は、ノイズ・マージンに違反せずに使用することができる対応した I/O 規格のピンの最大の数を示します。I/O 規格は、ピンの制に対してのスイッチング出力が指定のピンの値より少ない、または等しい場合、 V_{IL}/V_{IH} スレッショルド・インジケータは緑になります。

このチュートリアルでは、10本の 1.8-V SSTL Class I 12 mA および 10本の 1.8-V SSTL Class II 16 mA のドライバで満たされたバンクに 10本の 1.8-V LVTTTL ピンを追加する方法について説明します。このチュートリアルでは、他の SSN に関連していない項目を考慮して 225 mV の電圧マージンをターゲットとしています。問題があるかどうかを決定するために、ESE を使用してください。

ステップ 1: グローバル・パラメータの設定


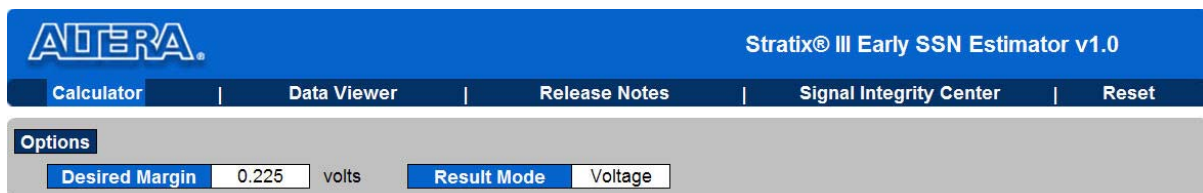

1. **Voltage** で結果を表示するために、結果モードを設定します。
2.  **2-1** に示すように、0.225 ボルトの要求されたマージンを入力します。

図 2-1. グローバル・パラメータのコンフィギュレーション




ステップ 2: 対応するバンクに I/O 規格の割当


1. I/O Bank 1a VCCIO を **1.8 V** に設定します。
2. I/O Standard **SSTL Class I** をロウ 1 に選択します。
3. **12 mA** のドライブ強度を選択します。
4. **Fast** スルー・レートを選択します。

 すべてのアルテラ・デバイス・ファミリーは **Slew rate control** オプションがあるわけではありません。

5. 出力ピンの数として **10** を入力します。
6. I/O Standard **SSTL Class II** をロウ 2 に選択します。
7. ドライブ強度の **16 mA** を選択します。
8. **Fast** スルー・レートを選択します。

 すべてのアルテラ・デバイス・ファミリーは **Slew rate control** オプションがあるわけではありません。

9. 出力ピンの数として **10** を入力します。
10. I/O standard **LVTTTL** をロウ 3 に選択します。
11. ドライブ強度の **12 mA** を選択します。
12. **Fast** スルー・レートを選択します。

 すべてのアルテラ・デバイス・ファミリーは **Slew rate control** オプションがあるわけではありません。


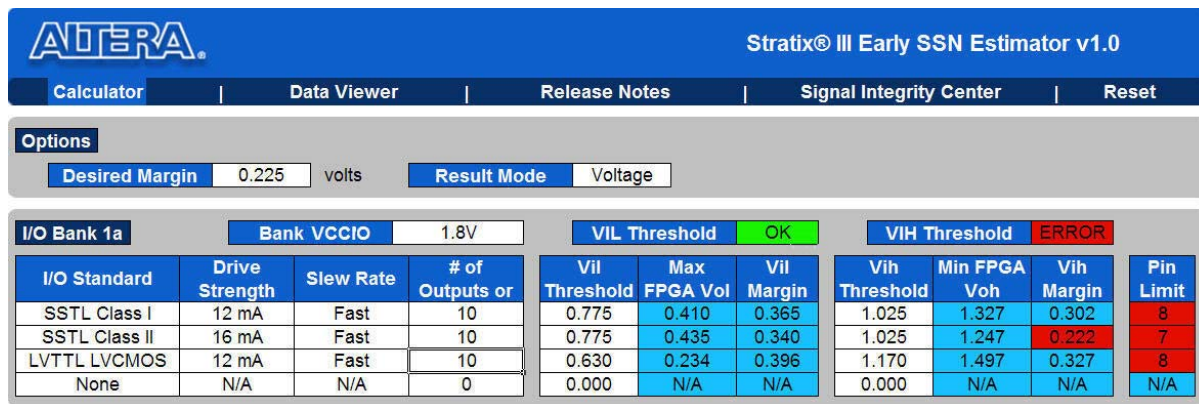
13.  2-2 に示すように、出力ピンの数として **10** を入力します。

図 2-2. ローカル・パラメータ・アサインメント



I/O Bank 1a				Bank VCCIO			VIL Threshold			VIH Threshold			Pin Limit
I/O Standard	Drive Strength	Slew Rate	# of Outputs or	Vil Threshold	Max FPGA Vol	Vil Margin	Vih Threshold	Min FPGA Voh	Vih Margin				
SSTL Class I	12 mA	Fast	10	0.775	0.410	0.365	1.025	1.327	0.302	8			
SSTL Class II	16 mA	Fast	10	0.775	0.435	0.340	1.025	1.247	0.222	7			
LVTTTL LVCMOS	12 mA	Fast	10	0.630	0.234	0.396	1.170	1.497	0.327	8			
None	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A			


ステップ 3: 結果の解釈

- V_{IH} スレッショルド・インジケータが赤色で表示される場合、マージンに違反していることを示します。
- SSTL Class II の V_{IH} マージンは 0.222 V です (デザインの 0.225 V よりも少ない)。これは、目的のマージンよりも低いことを示すために赤で表示されます。
- SSTL Class II のピンの制限は、7 ピンです。これは、SSTL Class II の出力の数は 7 に還元されている場合、マージンは違反されないことを意味します。
- LVTTTL のためのピンの制限は 8 ピンです。これは、ほんの 8 本の LVTTTL ピンが、設定する 0.225 V の希望するマージンのための入ったドライブ強度およびスルー・レートのそれぞれ 10 本の SSTL Class I ピンおよび SSTL Class II ピンと安全に組み合わせることを意味しています。

ステップ 4: 問題の解決

問題を解決するために複数のアプローチがあります。

第一の方法

 2-3 に示すように、非 SSN の関連のアイテムの 225 mV から 200 mV まで割り当てるマージンの量を削減します。

LVTTTL のピンの制限は 8 から 22 まで増加しました。その結果、10 本の LVTTTL 出力ピンと共にそれぞれ 10 本の SSTL Class I I/O と 10 の SSTL Class II I/O でデザインを実行することができます。

図 2-3. 第一の方法

The screenshot shows the Stratix III Early SSN Estimator v1.0 interface. The 'Options' section has 'Desired Margin' set to 0.200 volts and 'Result Mod' set to Voltage. The 'I/O Bank 1a' section shows 'Bank VCCIO' at 1.8V, 'VIL Threshold' as OK, and 'VIH Threshold' as OK. The table below shows the configuration for various I/O standards.

I/O Bank 1a				VIL Threshold			VIH Threshold			
Bank VCCIO				OK			OK			
I/O Standard	Drive Strength	Slew Rate	# of Outputs or	Vil Threshold	Max FPGA Vol	Vil Margin	Vih Threshold	Min FPGA Voh	Vih Margin	Pin Limit
SSTL Class I	12 mA	Fast	10	0.775	0.410	0.365	1.025	1.327	0.302	37
SSTL Class II	16 mA	Fast	10	0.775	0.435	0.340	1.025	1.247	0.222	42
LVTTTL LVCMOS	12 mA	Fast	10	0.630	0.234	0.396	1.170	1.497	0.327	22
None	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A

第二の方法

タイミング・マージンが許可されている場合、図 2-4 に示すように、SSN に関連していない項目の 225 mV で要求された電圧マージンを維持し、12 から 8mA までの SSTL Class I バッファの電流ドライブ強度を低減します。

ドライブ強度での低減は、十分なマージンを持つ 10 本の LVTTTL/I/O とともに 10 本の SSTL Class I と 10 本の SSTL Class II I/O でデザインを実施することを可能にするために、SSN を十分に低減します。

図 2-4. 第二の方法

The screenshot shows the Stratix III Early SSN Estimator v1.0 interface. The 'Options' section has 'Desired Margin' set to 0.225 volts and 'Result Mode' set to Voltage. The 'I/O Bank 1a' section shows 'Bank VCCIO' at 1.8V, 'VIL Threshold' as OK, and 'VIH Threshold' as OK. The table below shows the configuration for various I/O standards.

I/O Bank 1a				VIL Threshold			VIH Threshold			
Bank VCCIO				OK			OK			
I/O Standard	Drive Strength	Slew Rate	# of Outputs or	Vil Threshold	Max FPGA Vol	Vil Margin	Vih Threshold	Min FPGA Voh	Vih Margin	Pin Limit
SSTL Class I	8 mA	Fast	10	0.775	0.460	0.315	1.025	1.315	0.290	48
SSTL Class II	16 mA	Fast	10	0.775	0.426	0.349	1.025	1.263	0.238	19
LVTTTL LVCMOS	12 mA	Fast	10	0.630	0.222	0.408	1.170	1.524	0.354	15
None	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A

第三の方法

デザインが許可されている場合、スルー・レート・コントロール変更 SSTL Class II / O をのミディアム・ファストに変更して、図 2-5 に示すように、非 SSN に関連する項目の 225 mV で要求された電圧マージンを維持します。

スルー・レートの設定をファストからミディアム・ファストに変更するによって、SSN は十分に低減するようになり、十分なマージンを持つ 10 本の LVTTTL/I/O とともに 10 本の SSTL Class I と 10 本の SSTL Class II I/O でデザインを実施することができま


 すべてのアルテラ・デバイス・ファミリは **Slew rate control** オプションがあるわけではありません。

図 2-5. 第三の方法

ALTERA Stratix® III Early SSN Estimator v1.0

Calculator | Data Viewer | Release Notes | Signal Integrity Center | Reset

Options

Desired Margin: 0.225 volts | Result Mode: Voltage

I/O Bank 1a | Bank VCCIO: 1.8V | VIL Threshold: OK | VIH Threshold: OK

I/O Standard	Drive Strength	Slew Rate	# of Outputs or	Vil Threshold	Max FPGA Vol	Vil Margin	Vih Threshold	Min FPGA Voh	Vih Margin	Pin Limit
SSTL Class I	12 mA	Med-Fast	10	0.775	0.391	0.384	1.025	1.350	0.325	48
SSTL Class II	16 mA	Fast	10	0.775	0.416	0.359	1.025	1.265	0.240	17
LVTTTL LVCMOS	12 mA	Fast	10	0.630	0.208	0.422	1.170	1.529	0.359	14
None	N/A	N/A	0	0.000	N/A	N/A	0.000	N/A	N/A	N/A

改訂履歴

以下の表に、このユーザーガイドの改訂履歴を示します。

日付	バージョン	変更内容
2009年11月	1.0	初版。

アルテラへのお問い合わせ

Altera® 製品に関する最新の情報については、次の表を参照してください。

お問い合わせ先 (注1)	お問い合わせ方法	アドレス
技術的なご質問	ウェブサイト	www.altera.co.jp/support
技術トレーニング	ウェブサイト	www.altera.co.jp/training
	電子メール	custrain@altera.com
アルテラの資料に関するお問い合わせ	電子メール	literature@altera.com
一般的なお問い合わせ ソフトウェア・ライセンスに関するお問い合わせ	電子メール	nacomp@altera.com
	電子メール	authorization@altera.com








注:

(1) 詳しくは、日本アルテラまたは販売代理店にお問い合わせください。

表記規則

本書では、以下の表に示す表記規則を使用しています。

書体	意味
太字かつ文頭が大文字	コマンド名、ダイアログ・ボックス・タイトル、チェックボックス・オプション、およびダイアログ・ボックス・オプションは、太字かつ文頭が大文字で表記されています。例: Save As ダイアログ・ボックス
太字	外部タイミング・パラメータ、ディレクトリ名、プロジェクト名、ディスク・ドライブ名、ファイル名、ファイルの拡張子、およびソフトウェア・ユーティリティ名は、太字で表記されています。例: f_{MAX} , \qdesigns ディレクトリ, d: ドライブ, chiptrip.gdf ファイル
斜体かつ文頭が大文字	資料のタイトルは、斜体かつ文頭が大文字で表記されています。例: <i>AN 75: High-Speed Board Design</i>
斜体	内部タイミング・パラメータおよび変数は、斜体で表記されています。 例: <i>t_{PIA}</i> , <i>n + 1</i> 変数は、山括弧 (<>) で囲み、斜体で表記されています。 例: <file name>, <project name>.pof ファイル

書体	意味
文頭が大文字	キーボード・キーおよびメニュー名は、文頭が大文字で表記されています。例：Delete、Options メニュー
「小見出しタイトル」	資料内の小見出しおよびオンライン・ヘルプ・トピックのタイトルは、鉤括弧で囲んでいます。例：「表記規則」
Courier フォント	信号およびポート名は、Courier フォントで表記されています。例：data1, tdi, input。アクティブ Low 信号は、サフィックス n で表示されています（例：resetn）。 表示されているとおりに入力する必要があるものは、Courier フォントで表記されています。例：c:\qdesigns\tutorial\chiptrip.gdf。また、Report ファイルなどの実際のファイルのセクション、ファイルの構成要素への参照（例：AHDL キーワードの SUBDESIGN）、ロジック・ファンクション名（例：TRI）も Courier フォントで表記されています。
1., 2., 3., および a., b., c., など	手順など項目の順序が重要なものは、番号が付けられリスト形式で表記されています。
	箇条書きの黒点などは、項目の順序が重要ではないものに付いています。
	チェックマークは、1 ステップしかない手順を表します。
	指差しマークは、要注意箇所を表しています。
	注意は、製品または作業中のデータに損傷を与えたり、破壊したりするおそれのある条件や状況に対して注意を促します。
	警告は、ユーザーに危害を与えるおそれのある条件や状況に対して注意を促します。
	矢印は、Enter キーを押すことを示しています。
	足跡マークは、詳細情報の参照先を示しています。