



Advanced SEU Detection インテル® FPGA IP ユーザーガイド

インテル® Quartus® Prime 開発デザインスイートの更新情報: **18.1**



ALTADVSEU | 2019.03.26

最新版をウェブからダウンロード: [PDF](#) | [HTML](#)

目次

| | |
|------------------------------------------------------------------------------|-----------|
| 1. Advanced SEU Detection インテル® FPGA IP の概要 | 3 |
| 2. Advanced SEU Detection インテル FPGA IP の機能の説明 | 4 |
| 2.1. オンチップ・ルックアップ・センシティブティティー・プロセス..... | 4 |
| 2.1.1. オンチップ・センシティブティティー・プロセッサ..... | 5 |
| 2.1.2. オンチップ・プロセスの信号..... | 6 |
| 2.2. オフチップ・ルックアップ・センシティブティティー・プロセス..... | 8 |
| 2.2.1. オフチップ・ルックアップ・センシティブティティー・プロセスの動作フロー..... | 10 |
| 2.2.2. 外部センシティブティティー・プロセッサ..... | 11 |
| 2.2.3. オフチップ・プロセスの信号..... | 11 |
| 2.2.4. SMH のルックアップ..... | 13 |
| 3. Advanced SEU Detection インテル FPGA IP の使用 | 18 |
| 3.1. IP コアのカスタマイズと生成..... | 18 |
| 3.1.1. IP Catalog とパラメーター・エディター..... | 18 |
| 3.1.2. パラメーター・エディター..... | 19 |
| 3.1.3. IP コアのパラメーターとオプションの指定..... | 20 |
| 3.2. Advanced SEU Detection IP コアのパラメーター..... | 23 |
| 4. CRAM アレイでの SEU の緩和 | 24 |
| 4.1. インテル Quartus Prime 開発ソフトウェアでの Advanced SEU Detection 機能の有効化..... | 24 |
| 4.2. 階層的タグ付け..... | 24 |
| 4.2.1. パーティションでのロジック・センシティブティティー ID の指定..... | 24 |
| 4.3. センシティブティティー・マップのヘッダーファイルのルックアップ..... | 25 |
| 4.3.1. センシティブティティー・マップ・ヘッダー・ファイルのメモリーへのプログラミング..... | 25 |
| 4.3.2. SMH リビジョン 1 でのルックアップの実行 (Stratix IV および Arria II)..... | 26 |
| 4.3.3. SMH リビジョン 2 でのルックアップの実行 (Stratix V、Arria V、Cyclone V デバイス).... | 27 |
| 4.3.4. SMH リビジョン 3 でのルックアップの実行 (インテル Arria および インテル Cyclone 10 GX デバイス)..... | 27 |
| 5. Advanced SEU Detection インテル FPGA IP ユーザーガイド・アーカイブ | 29 |
| 6. Advanced SEU Detection インテル FPGA IP ユーザーガイドの改訂履歴 | 30 |

1. Advanced SEU Detection インテル® FPGA IP の概要

Advanced SEU Detection IP コアでは、次の内容が可能になります。

- 階層的タグ付け SEU (シングル・イベント・アップセット) に対するデザイン階層の各部分の重要度の記述を可能にします。階層的タグ付けはデザイン段階で実行します。
- センシティブィティ・プロセス EDCRC (エラー検出巡回冗長検査) ハード IP によって検出および位置の特定がされた SEU の重要度を決定します。この機能には、オンチップおよびオフチップのセンシティブィティ・プロセスが含まれます。システムはセンシティブィティ・プロセスをランタイムに実行します。

表 1. 機能とデバイスファミリーのサポート

| 機能 | サポートされるデバイス |
|--------------------------|------------------------------------------------------------------|
| 階層的タグ付けおよびセンシティブィティ・プロセス | インテル® Arria® 10、インテル Cyclone® 10 GX、Stratix® V、Arria V、Cyclone V |
| センシティブィティ・プロセス | Stratix IV、Arria II GX、Arria II GZ |

Advanced SEU Detection IP コアは、インテル Quartus® Prime 開発ソフトウェアの IP Catalog およびパラメーター・エディターで選択およびコンフィグレーションできます。

Advanced SEU Detection IP コアは、EMR Unloader インテル FPGA IP コアとともに使用する必要があります。EMR Unloader IP コアは、EDCRC エラーを検出するたびにエラー・メッセージ・レジスター (EMR) コンテンツを提供します。お使いの EMR Unloader IP のバリエーションからの emr、emr_valid および emr_error 信号を、Advanced SEU Detection のバリエーションの対応する入力に接続します。

関連情報

- [Error Message Register Unloader Intel FPGA IP Core User Guide](#)
- [Introduction to Intel FPGA IP Cores](#)
すべてのインテル FPGA IP コアに関する基本的な情報を提供します。これには、IP コアのパラメーター化、生成、アップグレード、シミュレーションが含まれます。
- [Creating Version-Independent IP and Qsys Simulation Scripts](#)
ソフトウェアもしくは IP バージョンのアップグレードにおいて手動でのアップデートを必要としないシミュレーション・スクリプトを作成します。
- [Project Management Best Practices](#)
プロジェクトと IP ファイルの効率的な管理と移植性に関するガイドラインです。
- [Advanced SEU Detection インテル FPGA IP ユーザーガイド・アーカイブ \(29 ページ\)](#)
以前のバージョンの Advanced SEU Detection インテル FPGA IP に向けたユーザーガイドの一覧を提供します。

2. Advanced SEU Detection インテル FPGA IP の機能の説明

次のインテル FPGA デバイスは、CRAM フレームごとに巡回冗長検査 (CRC) の値を備えます。また、EDCRC ロジックではアップセットの位置と種類の判別が可能です。

- インテル Arria 10、インテル Cyclone 10 GX、Stratix V、Arria V、および Cyclone V デバイスファミリーは、32 ビットの CRC の値を備えます。
- Stratix IV および Arria II デバイスは 16 ビットの CRC の値を備えます。

インテル Quartus Prime 開発ソフトウェアは、デザインにおいて SEU に影響を受けやすいコンフィグレーション領域のセンシティブィティ・マップ・ヘッダー・ファイル (.smh) を生成できます。ソフトウェアは、デザイン階層と割り当てられた ASD (Advanced SEU Detection) 領域を使用して .smh を作成します。センシティブィティ・プロセス中に Advanced SEU Detection IP コアは、デバイス EMR に含まれる位置情報を使用し .smh のアップセット位置を検索します。また、ビットがデザインにとってクリティカルかどうかを返します。

Advanced SEU Detection IP コアは、次のコンフィグレーションでインスタンス化することができます。

- オンチップ・ルックアップ・センシティブィティ・プロセス—センシティブィティ・プロセスのソフト IP は、エラー位置の報告とルックアップを提供します。
- オフチップ・ルックアップ・センシティブィティ・プロセス—マイクロプロセッサなどの外部ユニットは、EMR 情報を使用しエラー位置のルックアップを実行します。

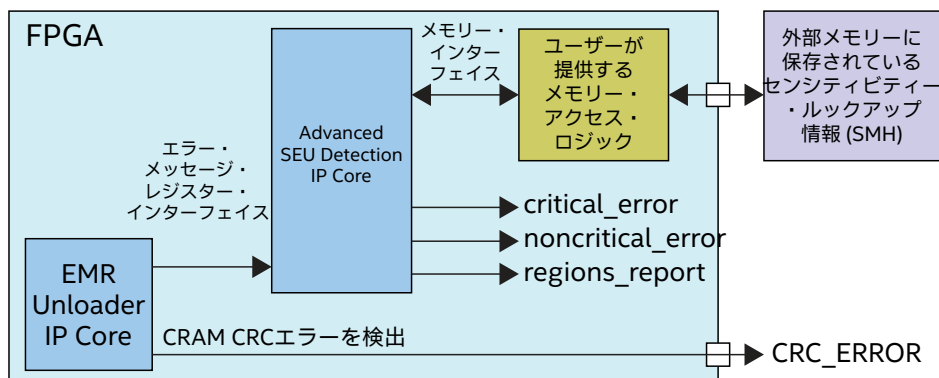
関連情報

[SMH ファイルの種類 \(13 ページ\)](#)

2.1. オンチップ・ルックアップ・センシティブィティ・プロセス

SEU 検出をサポートするデバイスファミリーにはすべて、強化されたエラー検出ブロックが含まれています。このブロックは、サポートされているデバイスのソフトエラーを検出し、シングルビット・エラーとダブルビットの隣接エラーの位置を提供します。Advanced SEU Detection IP コアはエラー検出ブロックのエラー検出レジスターを読み取り、シングルビット・エラーの位置をセンシティブィティ・マップと比較します。これにより、障害がデバイス動作に影響するかどうかを判断します。

図 -1: オンチップ・ルックアップ・センシティブィー・プロセスのシステム概要



Advanced SEU Detection IP コアは (EMR Unloader IP コアまたはユーザーロジックによって提供される) EMR コンテンツにアクセスし、EMR コンテンツの分析を行い、センシティブィー・マップを含む外部メモリにクエリーを発行します。システム設計者は、メモリ・アクセス・ロジックと外部メモリの情報を提供する必要があります。

エラー検出ロジックで SEU を緩和するには、ロジックのソフトウェアを許容する SEU 検出回路を実装します。例えば、デザインで Advanced SEU Detection IP コアの 2 つのインスタンスをインスタンス化し、インスタンスの出力を比較します。IP コアのそれぞれのインスタンスは、もう一方のインスタンスで発生したエラーを「クリティカル」として強調表示します。

関連情報

- [Error Message Register Unloader Intel FPGA IP Core User Guide](#)
- [Configuration, Design Security, and Remote System Upgrades in Stratix V Devices](#)
Stratix V デバイスのデザイン・セキュリティに関する詳細を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Stratix IV Devices](#)
Stratix IV デバイスのデザイン・セキュリティに関する詳細を提供します。
- [Arria 10 デバイスにおけるコンフィグレーション、デザイン・セキュリティ、およびリモート・システム・アップグレード](#)
Arria 10 デバイスのデザイン・セキュリティに関する詳細を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Arria V Devices](#)
Arria V デバイスのデザイン・セキュリティに関する詳細を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Cyclone V Devices](#)
Cyclone V デバイスのデザイン・セキュリティに関する詳細を提供します。

2.1.1. オンチップ・センシティブィー・プロセッサ

オンチップ・センシティブィー・プロセッサを実装すると、Advanced SEU Detection IP コアは、ユーザーが提供する外部メモリ・アクセス・ロジックと通信し外部メモリに保存されている .smh を読み取ります。影響を受けた CRAM ビットのセンシティブィーを特定すると、IP コアはクリティカル・エラー信号をアサートし、システムが適切な応答を提供できるようにします。SEU がクリティカルではない場合、クリティカル・エラー信号はアサートされることがあります。

オンチップ・センシティブィー・プロセスは自立型です。FPGA は外部ロジックを使用することなく SEU が影響したかを判断します。オンチップ・センシティブィー・プロセスは、外部メモリ・インターフェイスに対する FPGA ロジックリソースの一部を必要とします。

2.1.2. オンチップ・プロセスの信号

図 -2: オンチップ・プロセスにおける Advanced SEU Detection IP コアの信号

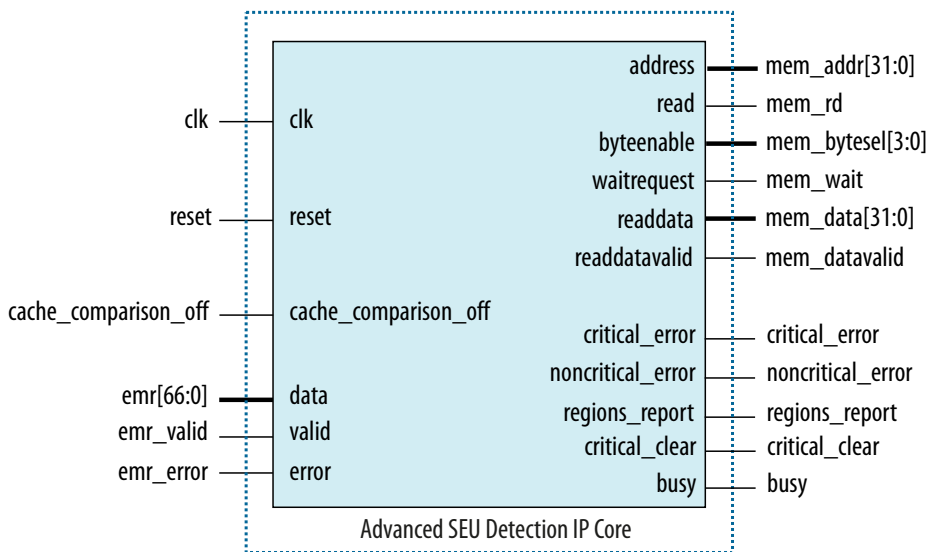


表 2. オンチップ・プロセスにおける Advanced SEU Detection IP コアの信号

| インターフェイス | 信号 | 種類 | 幅 | 説明 |
|-------------------------------------------------------------|----------------------|----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| クロックとリセット | clk | 入力 | 1 | <ul style="list-style-type: none"> クロック入力です。 EMR Unloader IP コアと同じ入力クロックを使用します。入力周波数は、次のコンテンツが利用可能になる前に EMR コンテンツを処理するのに十分でなければなりません。例えば、Stratix V デバイスで推奨される最小周波数は 30 MHz です。周波数が低すぎる場合、IP コアが現在のコンテンツの処理を行っている際に新しい EMR コンテンツが利用可能になると、IP コアは critical_error 信号をアサートします。 |
| | reset | 入力 | 1 | アクティブ High リセットです。 |
| キャッシュ・コンフィグレーション | cache_comparison_off | 入力 | 1 | <ul style="list-style-type: none"> スタティック入力信号です。 IP コアにキャッシュの比較をバイパスするように命令します。EMR の値は、それがすでにキャッシュに存在する場合でも格納されます。 この信号は、カスタムデザインの内部スクラブ機能で使用可能です。 |
| Avalon Streaming (Avalon-ST) シンク・インターフェイス 信号 ⁽¹⁾ | emr | 入力 | <ul style="list-style-type: none"> 46 (Stratix IV) 67 (Cyclone V、Arria V、Stratix V) 119 (インテル Arria 10 および インテル Cyclone 10 GX)⁽²⁾ | EMR Unloader IP コアからのエラー・メッセージ・レジスター (EMR) データ入力です。 |

continued...

⁽¹⁾ Avalon-ST ストリーミング・シンク・インターフェイスを EMR Unloader IP コアの対応する Avalon-ST ソース・インターフェイスに接続します。



| インターフェイス | 信号 | 種類 | 幅 | 説明 |
|----------------------------------------------------|-------------------|----|---|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| | emr_valid | 入力 | 1 | emr データ入力が有効であることを示します。 |
| | emr_error | 入力 | 1 | <ul style="list-style-type: none"> emr データがエラーにより無視される場合を示します。 このエラーは、インテル Unloader IP コアからのデータのオーバーランがある場合に発生する可能性があります。 |
| エラー | noncritical_error | 出力 | 1 | SMH ルックアップが、EDCRC エラーはクリティカルではない領域にあると判断したことを示します。 |
| | critical_error | 出力 | 1 | SMH ルックアップが、EDCRC エラーはクリティカルな領域にあると判断したことを示します。 |
| | regions_report | 出力 | 1 | <ul style="list-style-type: none"> SMH ルックアップにより報告されるエラーの ASD (Advanced SEU Detection) 領域です。 Largest ASD region ID used パラメータはこのポートの幅を設定します。 |
| | critical_clear | 入力 | 1 | <ul style="list-style-type: none"> オプションの入力信号です。 この信号をアサートし、最後に処理された EMR データ入力の error report をクリアします。 critical_error と regions_report、または noncritical_error をクリアします。 |
| | busy | 出力 | 1 | <ul style="list-style-type: none"> オプションの出力信号です。 ロジック High は、ASD IP が EMR データ入力の処理でビジーであることを示します。 処理が完了すると信号は Low になり、critical_error または noncritical_error 信号がアサートされます。 |
| 外部メモリー Avalon メモリーマ ップド (Avalon- MM) マスター | mem_addr | 出力 | | <ul style="list-style-type: none"> ユーザーロジックへの出力です。 読み出される 32 ビットワードのバイトアドレスです。 |
| | mem_rd | 出力 | | <ul style="list-style-type: none"> ユーザーロジックへの出力です。 読み出し動作を要求するようユーザーロジックへ通知します。 |
| | mem_bytesel | 出力 | | <ul style="list-style-type: none"> ユーザーロジックへの出力です。 IP コアが必要とするバイトを選択する 4 ビットの信号です。この信号は、IP が 32 ビットすべてを必要としない場合に、16 または 8 ビットのメモリーで読み出し数の最適化を可能にします。mem_bytesel のビット 0 が 0 の場合、IP コアは mem_data のビット 0 から 7 を無視します。同様に、mem_bytesel のビット 0 が 0 の場合、IP コアはビット 1 から 3 を無視します。 |

continued...

(2) 実際の EMR データは 78 ビットのみです [77:0]。ビット [118:78] は予約されています。

| インターフェイス | 信号 | 種類 | 幅 | 説明 |
|----------|---------------|----|---|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| | mem_wait | 入力 | | <ul style="list-style-type: none"> ユーザーロジックからの入力です。 読み出し動作が実行中であることをメモリー・インターフェイスに通知します。mem_rd がアサートされた後の最初の立ち上がりクロックで High にし、IP コアを待機状態に保つ必要があります。 |
| | mem_data | 入力 | | <ul style="list-style-type: none"> ユーザーロジックからの入力です。 32 ビットのデータバスです。mem_wait が High になる場合および mem_rd が Low に戻る場合に、データが存在している必要があります。 |
| | mem_datavalid | 入力 | | <ul style="list-style-type: none"> ユーザーロジックからの入力です。 先の mem_rd 要求の応答として、mem_data 信号に有効なデータが含まれていることを通知します。 |

関連情報

Error Message Register Unloader Intel FPGA IP Core User Guide

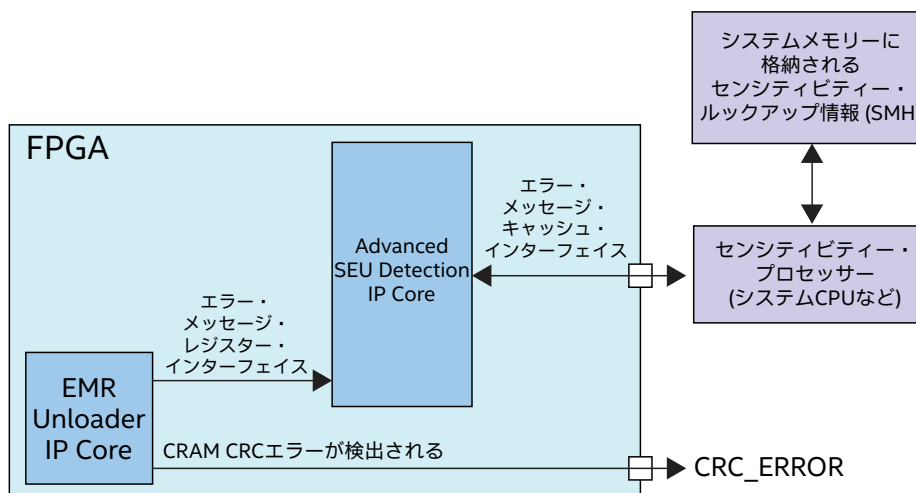
2.2. オフチップ・ルックアップ・センシティブィティ・プロセス

Advanced SEU Detection IP コアは、エラー検出ブロックの EMR のコンテンツを解析し、システム・プロセッサに情報を提供します。プロセッサは障害がデバイスの動作に影響するかを判断します。システム・プロセッサは、.smh に対してルックアップを実行するアルゴリズムを実装します。

オフチップ・ルックアップ・センシティブィティ・プロセスは、次の 2 つのコンポーネントで構成されています。

- CRC ブロックの EMR のコンテンツを解釈し、プロセッサ・インターフェイスに情報を提供するデザインロジック
- オフロードされた EMR のコンテンツを格納するキャッシュ

図 -3: オフチップ・ルックアップ・センシティブィティ・プロセスのシステム概要





EMR 処理ユニットは SEU の際に、EMR Unloader IP コアによって CRC ブロックからオフロードされた EMR のコンテンツを分析します。EMR 処理ユニットは、それぞれに一意の EMR の値をキャッシュがフルになるまでキャッシュに書き込みます。キャッシュがフルになると、システム・インターフェイスにキャッシュ・オーバーフロー・フラグをアサートします。

キャッシュに新しい値が書き込まれるたびに、EMR 処理ユニットはプロセッサに割り込みをアサートします。システム・プロセッサは EMR 値を読み取り、.smh に対してルックアップを実行することで CRAM 位置の重要度を判断します。システム・プロセッサが割り込みを処理した後、EMR 処理ユニットはキャッシュラインを進め、キャッシュに未処理の EMR 値がある場合は割り込みアサートを追加で生成します。

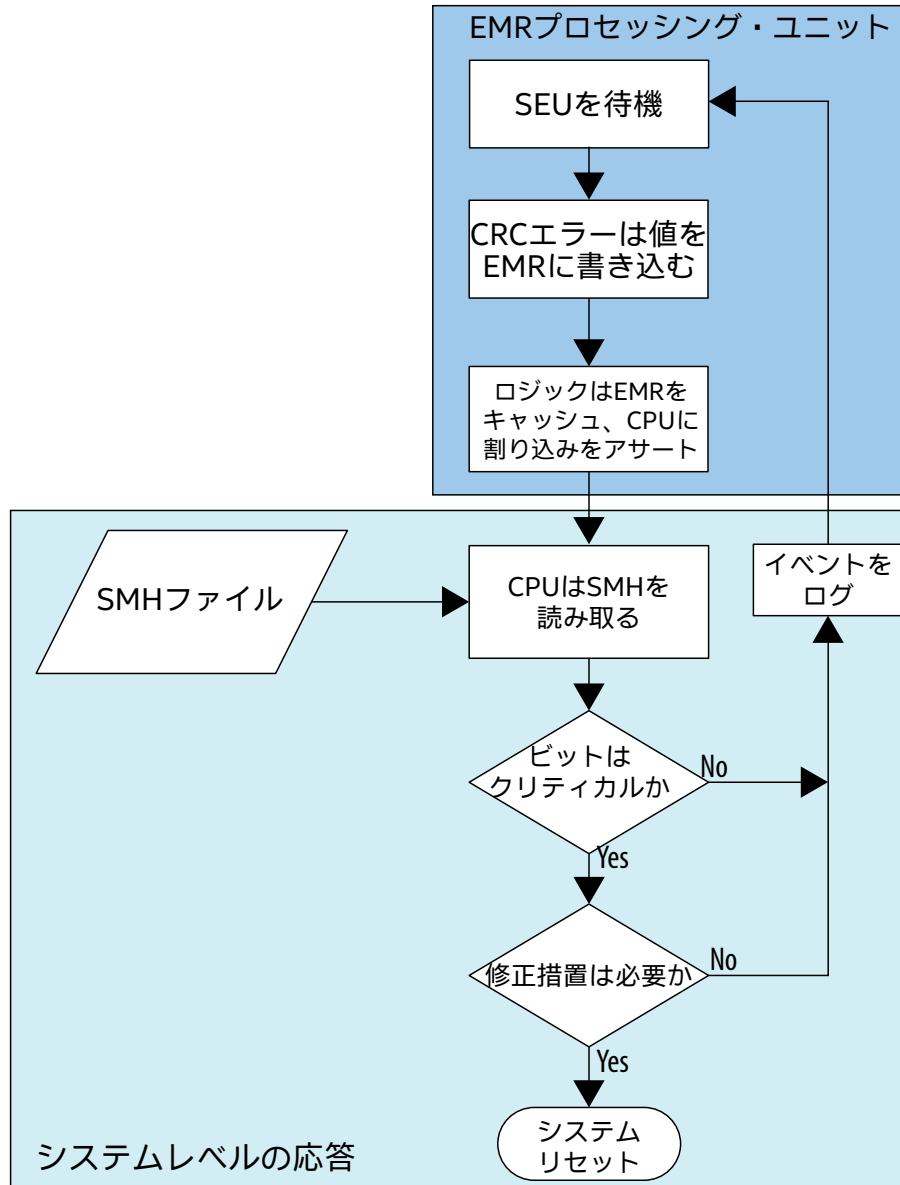
SMH ルックアップの後、システム・プロセッサは必要な修正応答を決定します。

関連情報

- [Error Message Register Unloader Intel FPGA IP Core User Guide](#)
- [Configuration, Design Security, and Remote System Upgrades in Stratix V Devices](#)
Stratix V デバイスのデザイン・セキュリティに関する詳細を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Stratix IV Devices](#)
Stratix IV デバイスのデザイン・セキュリティに関する詳細を提供します。
- [Arria 10 デバイスにおけるコンフィグレーション、デザイン・セキュリティ、およびリモート・システム・アップグレード](#)
Arria 10 デバイスのデザイン・セキュリティに関する詳細を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Arria V Devices](#)
Arria V デバイスのデザイン・セキュリティに関する詳細を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Cyclone V Devices](#)
Cyclone V デバイスのデザイン・セキュリティに関する詳細を提供します。

2.2.1. オフチップ・ルックアップ・センシビティー・プロセスの動作フロー

図 -4: オフチップ・ルックアップ・センシビティー・プロセスの動作フロー



関連情報

SMH のルックアップ (13 ページ)



2.2.2. 外部センシティブィティ・プロセッサ

外部センシティブィティ・プロセッサを実装すると、CPU（インテル SoC デバイスの ARM プロセッサなど）は FPGA が SEU を検出した場合に割り込みを受信します。CPU はその後 FPGA のエラー・メッセージ・レジスタを読み取り、CPU のメモリースペースに保存されている .smh のビット・センシティブィティを検索します。

外部センシティブィティ・プロセスを使用する場合、FPGA は外部メモリー・インターフェイスの実装や .smh の保存を行う必要がありません。システムにすでに CPU がある場合、外部センシティブィティ・プロセスはオンチップ・プロセスよりもハードウェア効率が向上する場合があります。

2.2.3. オフチップ・プロセスの信号

オフチップとオンチップのセンシティブィティ・プロセスは、オフチップ・センシティブィティ・プロセスが外部メモリー・インターフェイスではなく EMR キャッシュ・インターフェイスを使用することを除いて、同様の信号を使用します。

図 -5: オフチップ・プロセスにおける Advanced SEU Detection IP コアの信号

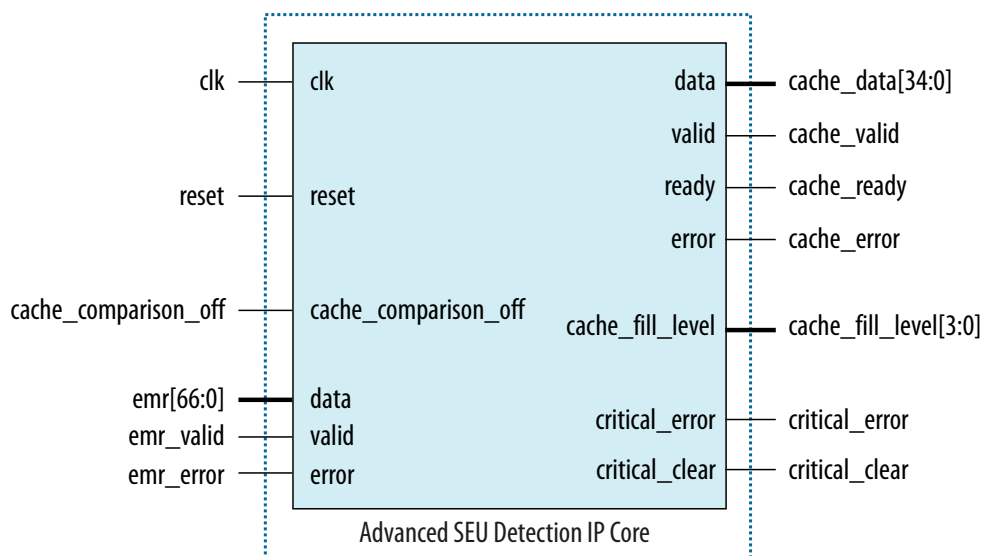


表 3. オフチップ・プロセスにおける Advanced SEU Detection IP コアの信号

| インターフェイス | 信号 | 種類 | 幅 | 説明 |
|-----------|-------|----|---|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| クロックとリセット | clk | 入力 | 1 | <ul style="list-style-type: none"> クロック入力です。 EMR Unloader IP コアと同じ入力クロックを使用します。入力周波数は、次のコンテンツが利用可能になる前に EMR コンテンツを処理するのに十分でなければなりません。例えば、Stratix V デバイスに推奨される最小周波数は 30 MHz です。 周波数が低すぎる場合、IP コアが現在のコンテンツの処理を行っている際に新しい EMR コンテンツが利用可能になると、IP コアは critical_error 信号をアサートします。 |
| | reset | 入力 | 1 | アクティブ High リセットです。 |

continued...

| インターフェイス | 信号 | 種類 | 幅 | 説明 |
|-----------------------------------------|--------------------------|----|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| キャッシュ・コンフィグレーション | cache_compariso n_off | 入力 | 1 | <ul style="list-style-type: none"> スタティック入力信号です。 IP コアにキャッシュの比較をバイパスするように命令します。 この信号は、カスタムデザインの内部スクラブ機能で使用可能です。 |
| Avalon-ST シンク・インターフェイス信号 ⁽³⁾ | emr | 入力 | <ul style="list-style-type: none"> 46 (Stratix IV) 67 (Cyclone V、Arria V、Stratix V) 119 (インテル Arria 10 および インテル Cyclone 10 GX)⁽⁴⁾ | EMR Unloader IP コアからの EMR データ入力です。 |
| | emr_valid | 入力 | 1 | emr データ入力が有効であることを示します。 |
| | emr_error | 入力 | 1 | <ul style="list-style-type: none"> emr データがエラーにより無視されることを示します。 このエラーは、EMR Unloader IP コアからのデータのオーバーランがある場合に発生する可能性があります。 |
| エラー | critical_error | 出力 | 1 | <p>クリティカルな EDCRC エラーが検出されたことを示します。次のいずれかの条件が当てはまる場合に、IP コアはこの信号をアサートします。</p> <ul style="list-style-type: none"> emr_data がクリティカルな EDCRC エラーを示している。 emr_error がアサートされ、EMR コンテンツの損失を示している。 前のデータが処理される前に新しい emr_data が利用可能になっている。すなわち、emr_data のオーバーランです。 |
| | critical_clear | 入力 | 1 | <ul style="list-style-type: none"> オプションの入力信号です。 この信号をアサートし、critical_error 信号をクリアします。 |
| Avalon-ST ソース・インターフェイス信号 | cache_data | 出力 | <ul style="list-style-type: none"> 30 (Stratix IV) 35 (Cyclone V、Arria V、Stratix V) 78 (インテル Arria 10、インテル Cyclone 10 GX) | <ul style="list-style-type: none"> エラーのキャッシュデータです。 EMR キャッシュエントリーの位置情報を提供します。 |
| | cache_valid | 出力 | 1 | この信号は、キャッシュに修正可能なエラーデータが含まれる場合にアサートされます。 |
| | cache_ready | 入力 | 1 | Avalon ストリーム・インターフェイスの準備ができていることを示します。 |
| | cache_error | 出力 | 1 | この Avalon ストリーム制御信号は、キャッシュのオーバーフロー状態を示します。新しい EMR データがフルキャッシュ (cache_fill_level = cache_depth) で使用可能になると、IP コアはこの信号をアサートします。 |
| キャッシュの状態 | cache_fill_level | 出力 | 4 | キャッシュ内のエントリー数を示します。 |

⁽³⁾ Avalon-ST ストリーミング・シンク・インターフェイスを EMR Unloader IP コアの対応する Avalon-ST ソース・インターフェイスに接続します。

⁽⁴⁾ 実際の EMR データは 78 ビットのみです [77:0]。ビット [118:78] は予約されています。



関連情報

Error Message Register Unloader Intel FPGA IP Core User Guide

2.2.4. SMH のルックアップ

.smh ファイルは、デザイン上の CRAM ビット設定のハッシュを表します。関連する CRAM のグループは、センシティブィティ・アレイ内の信号ビットにマッピングされます。SEU のイベント中にアプリケーションは **.smh** に対してルックアップを実行し、ビットが使用されているかを判断します。ビットの位置情報を使用することで、有効ソフト・エラー・レートを実行中のシステムで低減することができます。

次の基準によりデザイン内の CRAM 位置の重要度が決定されます。

- ルーティング使用されているルーティング・ラインを制御するすべてのビット
- アダプティブ・ロジック・モジュール (ALM)—ALM をコンフィグレーションすると、IP コアはその ALM に関連するすべての CRAM ビットをセンシティブとみなします。
- ロジック・アレイ・ブロック (LAB) 制御ライン—LAB で ALM を使用する場合、IP コアはその LAB に供給している制御信号に関連するすべてのビットをセンシティブとみなします。
- M20K メモリーブロックとデジタル信号処理 (DSP) ブロック—ブロックを使用すると、IP コアはそのブロックに関連するすべての CRAM ビットをセンシティブとみなします。

関連情報

[オフチップ・ルックアップ・センシティブィティ・プロセスの動作フロー \(10 ページ\)](#)

2.2.4.1. SMH ファイルの種類

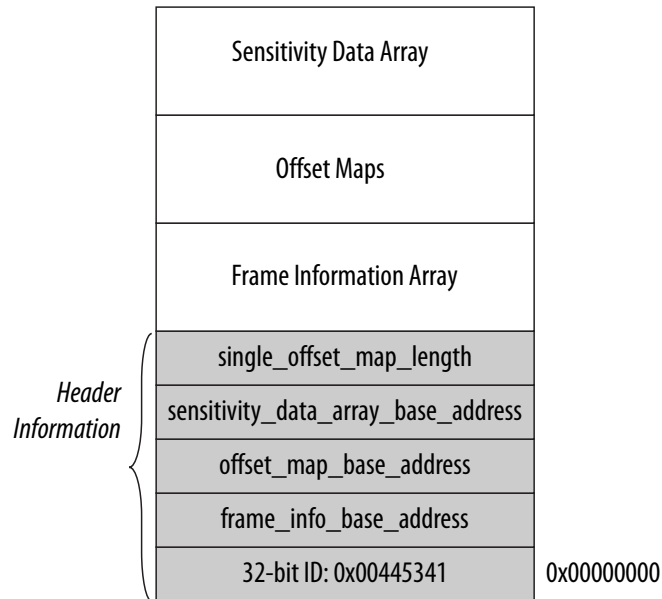
.smh は、インテル形式の 16 進数ファイルです。次の **.smh** ファイルリビジョンを生成することができます。

- リビジョン 1— Stratix IV および Arria II デバイスに生成されます。このリビジョンは階層的タグ付けをサポートせず、タグサイズや領域マップ情報を含みません。
- リビジョン 2— Stratix V、Arria V、および Cyclone V デバイスに生成されます。生成される **.smh** は、タグサイズと領域マップ情報を含みます。
- リビジョン 3— インテル Arria 10 と インテル Cyclone 10 GX デバイスに生成されます。生成される **.smh** はタグサイズと領域マップ情報を含み、より長いセンシティブィティ・データ・アドレスに対応可能です。

2.2.4.1.1. SMH リビジョン 1

リビジョン 1 のファイルにおいて、センシティブィティ・マップ・ヘッダーは **.smh** フォーマットに関する基本情報を提供します。この情報には、フレーム情報のベースアドレス、オフセットマップと単一のオフセットマップ長さ、およびセンシティブィティ・データ・アレイが含まれます。

図 -6: SMH リビジョン 1



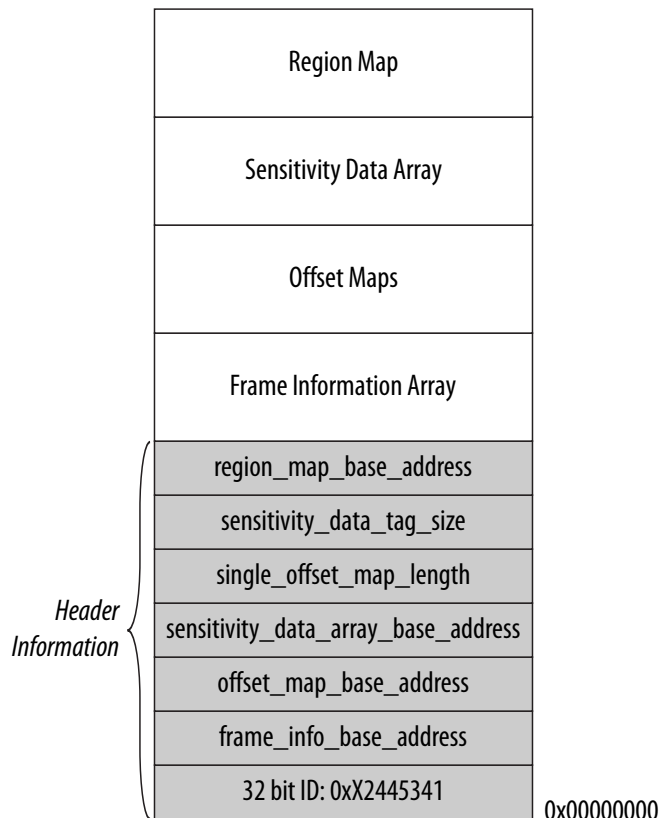
リビジョン 1 のファイルは次のアレイを含みます。

- フレーム情報アレイ—デバイスの各フレームの 32 ビットの文字列を含みます。フレーム番号はフレーム情報文字列のインデックスとして機能します。各フレーム情報文字列は次の情報を提供します。
 - `offset_map_array_index` (ビット 7:0) —このフレームが使用するオフセット・マップ・アレイのインデックス
 - `frame_info_data_offset` (ビット 31:8) —このフレームのセンシティブ・アレイへの 24 ビットのアドレスオフセット
- 注** Stratix IV および Arria II デバイスの場合、フレーム情報アレイは CRAM および組み込み RAM のフレーム文字列をリストにします。ただし、EDCRC 回路とセンシティブ・プロセスは CRAM フレームのみを修正するため、`.smh` は組み込み RAM フレーム文字列をフレーム情報アレイエントリの `0xFFFFFFFF` に設定します。そのほかのデバイスファミリーの場合はすべて、フレーム情報アレイは CRAM フレーム文字列のみをリストにします。
- オフセット・マップ・アレイ—オフセットマップ情報アレイは、16 ビットのオフセットマップを含む一連のアレイです。各オフセットマップの値は、フレームグループのセンシティブ・アレイへの追加のオフセットを表します。各オフセットマップの値は 16 ビットです。ヘッダー情報の `offset_map_length` 文字列は、各オフセット・マップ・アレイのサイズを定義します。
 - センシティブ・データ・アレイ—センシティブ・データ・アレイはフラット・ビット・ベクトルであり、1 はセンシティブ・ビットを指定し、0 はインセンシティブ・ビットを指定します。

2.2.4.1.2. SMH リビジョン 2

リビジョン 2 のファイルにおいて、センシティブ・マップ・ヘッダーはリビジョン 1 のヘッダー・フォーマットの拡張です。ヘッダー情報は `.smh` リビジョン 2 の基本情報を提供し、リビジョン 1 のヘッダー情報フィールドをすべて含みます。追加されたフィールドには、ビット単位のセンシティブ・データ・タグ・サイズのサイズ、領域マップのベースアドレス、対応する `.sof` ファイルの 32 ビット CRC シグニチャーが含まれます。

図 -7: SMH リビジョン 2



センシティブティー・マップ・ヘッダー・リビジョン 2 の 32 ビット ID は次のように定義されます。

- ビット 23:0—インテル FPGA のセンシティブティー・マップ・ヘッダー ID 0x445341
- ビット 24:27—ヘッダー情報のビットマスク
 - ビット 24—予約済み
 - ビット 25—**.smh** ファイル内のセンシティブティー・タグ情報の存在を示します
 - ビット 26:27—予約済み
- ビット 28—対応する**.sof** の 32 ビット CRC シグニチャーの存在を示します
- ビット 29:31—予約済み

リビジョン 2 のファイルには、次のアレイが含まれます。

- フレーム情報アレイ—デバイスの各フレームの 32 ビット文字列を含みます。フレーム番号は、フレーム情報文字列のインデックスとして機能します。各フレーム情報文字列は次の情報を提供します。
 - offset_map_array_index (ビット 7:0) —このフレームが使用するオフセット・マップ・アレイのインデックス
 - frame_info_data_offset (ビット 31:8) —このフレームのセンシティブィティ・アレイへの 24 ビットのアドレスオフセット
- オフセット・マップ・アレイ—オフセットマップ情報アレイは、16 ビットのオフセットマップを含む一連のアレイです。各オフセットマップの値は、フレームグループのセンシティブィティ・アレイへの追加のオフセットを表します。各オフセットマップの値は 16 ビットです。各オフセット・マップ・アレイのサイズは、ヘッダー情報に含まれる offset_map_length 文字列によって定義されます。
- センシティブィティ・データ・アレイ—単一のセンシティブィティ・データ・エントリまたはタグのサイズ (sensitivity_data_tag_size) はビット単位であり、2 の累乗にアライメントされます。センシティブィティ・データ・アレイは、フラット・センシティブィティ・タグ・ベクトルであり、0 のセンシティブィティ・タグはビット・インセンシティブをすべての領域に指定し、0 以外のタグは領域マップへのオフセットを指定します。
- 領域マップ情報アレイ—領域マップ情報アレイには、0 以外の各センシティブィティ・タグの 16 ビット文字列が含まれます。センシティブィティ・データ・タグは領域マップアレイのインデックス 1 として機能します。文字列は領域のビットマスクであり、ビットはセンシティブです。各領域は、mask $1 \ll (\text{Region ID} - 1)$ によってビットマスクで識別できます。

表 4. センシティブィティ・タグに基づく SMH リビジョン 2 のファイルサイズと ASD 領域

次の SMH のサイズは、SOF サイズが 31,731,193 バイトの Stratix V 5SGXEA7 デバイスのものです。

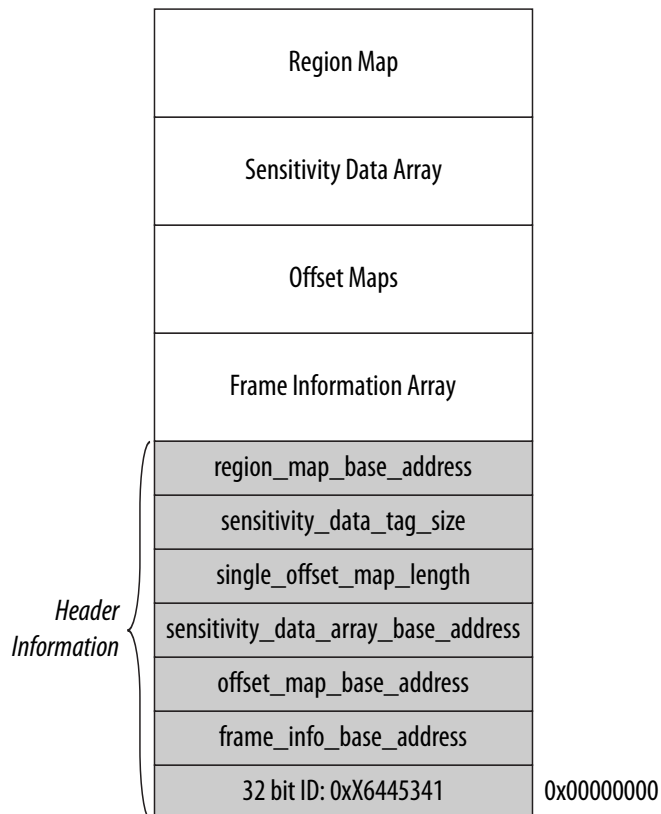
| ASD 領域の数 | センシティブィティ・タグ・サイズ (ビット) | SMH サイズ (バイト) |
|----------|------------------------|---------------|
| 1 | 1 | 2,296,736 |
| 2-3 | 2 | 3,984,920 |
| 3-15 | 4 | 7,361,308 |
| 10-127 | 8 | 14,114,024 |

2.2.4.1.3. SMH リビジョン 3

リビジョン 3 の SMH ファイル・フォーマットはリビジョン 2 のヘッダー・フォーマットの拡張であり、より長いセンシティブィティ・データ・アドレスに対応可能です。



図 -8: SMH リビジョン 3



ファイルヘッダー情報はリビジョン 2 と同じですが、異なる 32 ビット ID: 0xX6445341 を持ちます。センシティブティエー・マップ・ヘッダー定義の 32 ビット ID は、ビット 26 がより長いセンシティブティエー・データ・アドレスの使用を示すこと以外はリビジョン 2 と同じです。

フレーム情報アレイは、デバイスの各フレームの 48 ビットエントリーを含みます。リビジョン 2 と同様、フレーム番号はフレーム情報エントリーのインデックスとして機能します。各フレーム情報エントリーには次が含まれます。

- `offset_map_array_index`—ビット [47:32] はオフセット・マップ・アレイの 16 ビット・インデックスです。
- `frame_info_data_offset`—ビット [31:0] は、`sensitivity_data_tag_size = 1` のセンシティブティエー・アレイへの 32 ビット・アドレス・オフセットです。

オフセット・マップ・アレイ、センシティブティエー・データ・アレイおよび領域マップ情報アレイの定義はリビジョン 2 と同じです。

3. Advanced SEU Detection インテル FPGA IP の使用

インテル Quartus Prime のパラメーター・エディターを使用し、Advanced SEU Detection IP コアのインスタンスを生成します。IP コアを使用するにはライセンスが必要です。これは OpenCore Plus の機能では評価できません。

3.1. IP コアのカスタマイズと生成

IP コアをカスタマイズし、さまざまなアプリケーションをサポートすることが可能です。インテル Quartus Prime の IP Catalog とパラメーター・エディターにより、IP コアのポート、機能、および出力ファイルの迅速な選択とコンフィグレーションが可能になります。

3.1.1. IP Catalog とパラメーター・エディター

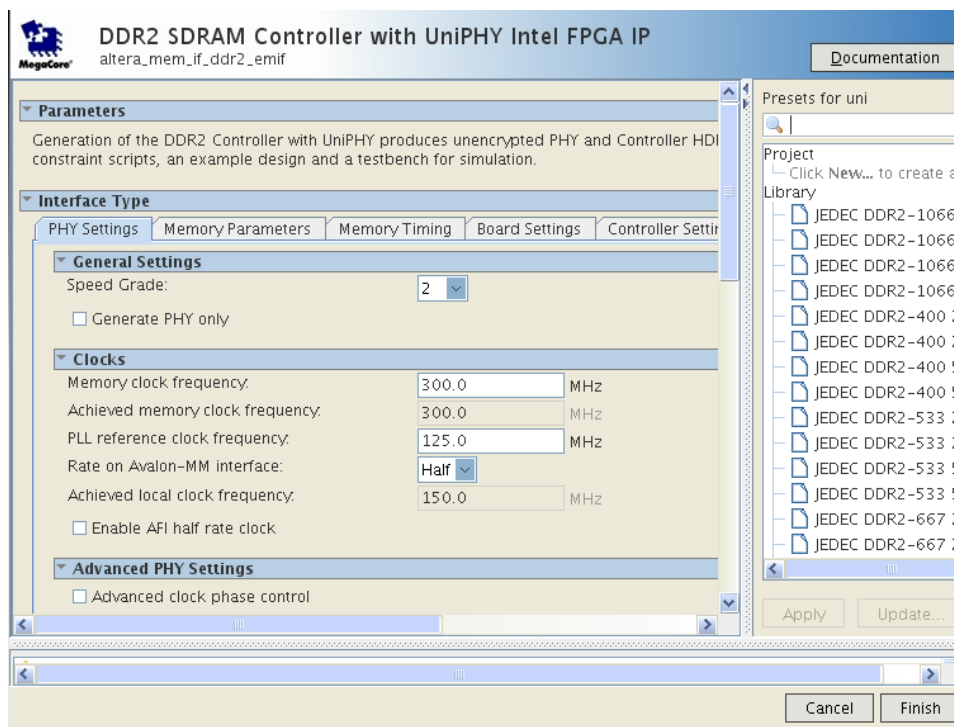
IP Catalog には、プロジェクトで使用可能な IP コアが表示されます。これには、インテル FPGA IP や、IP Catalog の検索パスに追加するそのほかの IP が含まれます。IP Catalog の次の機能を使用し、IP コアの位置の特定およびカスタマイズを行います。

- IP Catalog を **Show IP for active device family** または **Show IP for all device families** でフィルターします。プロジェクトを開いていない場合は、IP Catalog で **Device Family** を選択します。
- 検索フィールドを入力し、完全な、または部分的な IP コア名を IP Catalog で特定します。
- IP Catalog で IP コア名を右クリックし、サポートされるデバイスの詳細表示や、IP コアのインストール・フォルダー、IP の資料へのリンクを開きます。
- **Search for Partner IP** をクリックし、Web サイト上のパートナー IP の情報にアクセスします。

パラメーター・エディターは、IP のバリエーション名、オプションのポート、出力ファイルの生成オプションを指定するように促します。パラメーター・エディターは、インテル Quartus Prime プロ・エディション・プロジェクトの IP バリエーションに、トップレベルの インテル Quartus Prime IP ファイル (.ip) を生成します。

パラメーター・エディターは、インテル Quartus Prime スタンダード・エディション・プロジェクトの IP バリエーションに、トップレベルの Quartus IP ファイル (.qip) を生成します。これらのファイルはプロジェクトの IP のバリエーションを表し、パラメーター化の情報を格納します。

図 -9: IP パラメーター・エディター (インテル Quartus Prime スタンダード・エディション)



3.1.2. パラメーター・エディター

パラメーター・エディターでは、IP コアのポート、パラメーター、および出力ファイルの生成オプションをコンフィグレーションできます。パラメーター・エディターの基本的な制御は次のとおりです。

- **Presets** ウィンドウを使用し、特定のアプリケーションにプリセット・パラメーター値を適用します (一部のコアに向けて)。
- **Details** ウィンドウを使用してポートとパラメーターの説明を表示し、ドキュメントへのリンクをクリックします。
- **Generate > Generate Testbench System** の順にクリックし、テストベンチ・システムを生成します (一部のコアに向けて)。
- **Generate > Generate Example Design** の順にクリックし、デザイン例を生成します (一部のコアに向けて)。
- **Validate System Integrity** をクリックし、システムの汎用コンポーネントをコンパニオン・ファイルに対して検証します (プラットフォーム・デザイナー・システムのみ)。
- **Sync All System Info** をクリックし、システムの汎用コンポーネントをコンパニオン・ファイルに対して検証します (プラットフォーム・デザイナー・システムのみ)。

IP Catalog は、プラットフォーム・デザイナーでも利用可能です (**View > IP Catalog**)。プラットフォーム・デザイナーの IP Catalog には、排他的なシステム・インターコネクト、ビデオと画像処理、インテル Quartus Prime の IP Catalog では利用できないほかのシステムレベルの IP が含まれています。プラットフォーム・デザイナー (スタンダード) およびプラットフォーム・デザイナーでの IP の使用方法についての詳細は、*Creating a System with Platform Designer* または *Creating a System with Platform Designer (Standard)* をそれぞれ参照ください。

関連情報

- [Creating a System with Platform Designer](#)
- [Creating a System with Platform Designer \(Standard\)](#)

3.1.3. IP コアのパラメーターとオプションの指定

IP コアのパラメーターとオプションを指定するには、次のステップを実行します。

1. プラットフォーム・デザイナーの IP Catalog (**Tools > IP Catalog**) で、カスタマイズする IP コア名を検索し、ダブルクリックします。パラメーター・エディターが表示されます。
2. カスタム IP のバリエーションにトップレベル名を指定します。この名前は、プロジェクトの IP コアのバリエーション・ファイルを識別します。プロンプトが表示された場合は、ターゲットの FPGA デバイスファミリーと出力ファイルの HDL 設定を指定します。**OK** をクリックします。
3. IP のバリエーションにパラメーターとオプションを指定します。
 - オプションでプリセット・パラメーターの値を選択します。プリセットは、特定のアプリケーションの初期のパラメーター値をすべて指定します (提供されている場合)。
 - IP コアの機能、ポートのコンフィグレーション、およびデバイス固有の機能を定義するパラメーターを指定します。
 - タイミング・ネットリスト、シミュレーション・モデル、テストベンチ、またはデザイン例の生成オプションを指定します (該当する場合)。
 - 他の EDA ツールで IP コアファイル进行处理するオプションを指定します。
4. **Finish** をクリックし、IP のバリエーションの仕様に一致する合成およびその他のオプションファイルを生成します。パラメーター・エディターは、トップレベルの .qip IP バリエーション・ファイルと HDL ファイルを合成とシミュレーションに向けて生成します。また、一部の IP コアは、ハードウェアのテストに向けたテストベンチやデザイン例を同時に生成します。
5. シミュレーション・テストベンチの生成には、**Generate > Generate Testbench System** をクリックします。**Generate Testbench System** は、シミュレーション・テストベンチを提供しない一部の IP コアでは使用できません。
6. ハードウェアの検証に向けてトップレベルの HDL 例を生成するには、**Generate > HDL Example** をクリックします。**Generate > HDL Example** は、一部の IP コアでは使用できません。

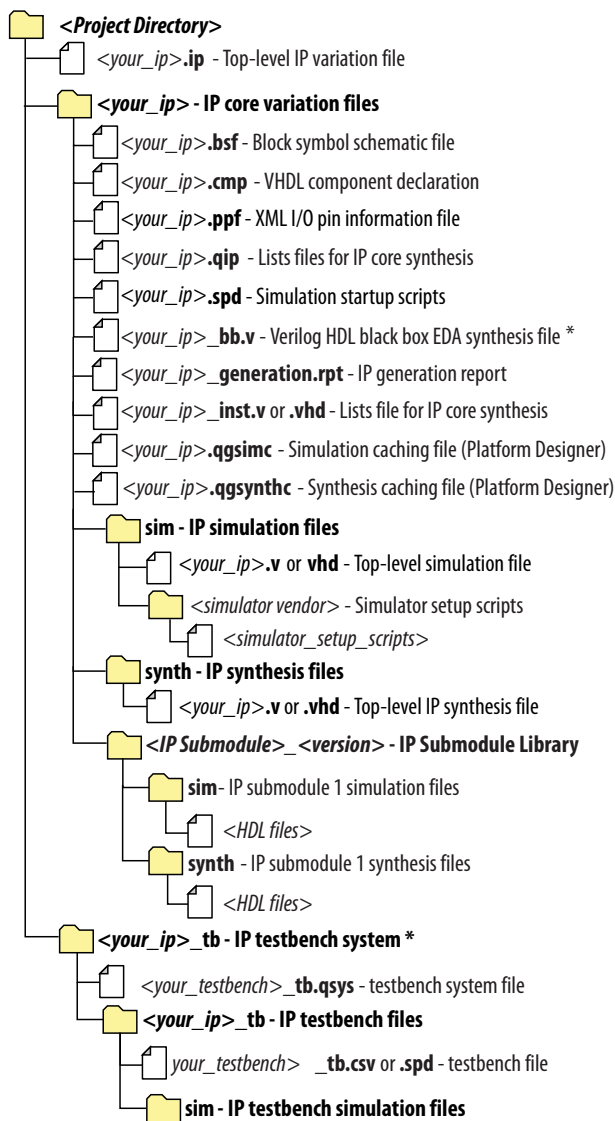
トップレベルの IP バリエーションは、現在の インテル Quartus Prime プロジェクトに追加されます。**Project > Add/Remove Files in Project** をクリックし、.qsys ファイル (インテル Quartus Prime スタンダード・エディション) または .ip ファイル (インテル Quartus Prime プロ・エディション) を手動でプロジェクトに追加します。ポートに接続するための適切なピン割り当てを行います。

3.1.3.1. IP コア生成時の出力 (インテル Quartus Prime プロ・エディション)

インテル Quartus Prime 開発ソフトウェアは、プラットフォーム・デザイナー・システムの一部ではない個々の IP コアに、次の出力ファイル構造を生成します。



図 -10: 個々の IP コアに生成される出力 (インテル Quartus Prime プロ・エディション)

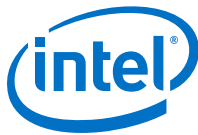


* お使いのIP コアのバリエーションでサポートされ、有効になっている場合

表 5. インテル FPGA IP 生成時の出力ファイル

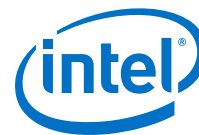
| ファイル名 | 説明 |
|--------------------------|------------------------------------------------------------------------------------------------------------------------------|
| <your_ip>.ip | トップレベルの IP バリエーションのファイルで、プロジェクトの IP コアのパラメーター表現を含みます。IP のバリエーションがプラットフォーム・デザイナー・システムの一部である場合、パラメーター・エディターは .qsys ファイルも生成します。 |
| <your_ip>.cmp | VHDL コンポーネント宣言 (.cmp) ファイルはテキストファイルであり、VHDL デザインファイルで使用するローカル・ジェネリックおよびポート定義を含みます。 |
| <your_ip>_generation.rpt | IP またはプラットフォーム・デザイナー生成時のログファイルです。IP 生成中のメッセージの要約を表示します。 |

continued...



| ファイル名 | 説明 |
|-------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <your_ip>.qgsimc (プラットフォーム・デザイナー・システムのみ) | シミュレーション・キャッシュ・ファイルで、.qsys と .ip ファイルを現在のプラットフォーム・デザイナー・システムおよび IP コアのパラメーター表現と比較します。この比較により、プラットフォーム・デザイナーが HDL の再生成をスキップできるかどうか決定されます。 |
| <your_ip>.qgsynth (プラットフォーム・デザイナー・システムのみ) | 合成キャッシュ・ファイルで、.qsys と .ip ファイルを現在のプラットフォーム・デザイナー・システムおよび IP コアのパラメーター表現と比較します。この比較により、プラットフォーム・デザイナーが HDL の再生成をスキップできるかどうか決定されます。 |
| <your_ip>.qip | IP コンポーネントの統合およびコンパイルを行うための情報をすべて含みます。 |
| <your_ip>.csv | IP コンポーネントのアップグレード・ステータスに関する情報を含みます。 |
| <your_ip>.bsf | Block Diagram ファイル (.bdf) で使用される IP バリエーションのシンボル表現です。 |
| <your_ip>.spd | ip-make-simscript がシミュレーション・スクリプトを生成するために必要な入力ファイルです。.spd ファイルには、初期化するメモリーの情報とともに、シミュレーションに向けてご自身で生成するファイルのリストが含まれます。 |
| <your_ip>.ppf | Pin Planner ファイル (.ppf) には、Pin Planner で使用するためにご自身で作成する IP コンポーネントのポートとノードの割り当てが格納されています。 |
| <your_ip>_bb.v | Verilog ブラックボックス (_bb.v) ファイルを空のモジュール宣言として使用し、ブラックボックスとして使用します。 |
| <your_ip>_inst.v または _inst.vhd | HDL 例のインスタンス化テンプレートです。このファイルのコンテンツをご自身の HDL ファイルにコピーおよび貼り付けし、IP のバリエーションをインスタンス化します。 |
| <your_ip>.regmap | IP にレジスター情報が含まれている場合、インテル Quartus Prime 開発ソフトウェアは .regmap ファイルを生成します。.regmap ファイルは、マスターおよびスレーブ・インターフェイスのレジスターマップ情報を記述します。このファイルは、システムに関するより詳細なレジスター情報を提供することで、.sopcinfo ファイルを補完します。このファイルは、システムコンソールでのレジスター表示ビューおよびユーザーがカスタマイズ可能な統計を有効にします。 |
| <your_ip>.svd | プラットフォーム・デザイナー・システムで HPS に接続されるペリフェラルのレジスターマップを HPS のシステム・デバッグ・ツールで表示できるようにします。 合成中に インテル Quartus Prime 開発ソフトウェアは、システムコンソールのマスターが認識可能なスレーブ・インターフェイスの .svd ファイルを、デバッグセッションの .sof ファイルに格納します。システムコンソールはこのセクションを読み取り、プラットフォーム・デザイナーはレジスターマップ情報を照会します。システムスレーブの場合、プラットフォーム・デザイナーは名前でのレジスターにアクセスします。 |
| <your_ip>.v <your_ip>.vhd | 合成またはシミュレーションに向けて各サブモジュールまたは子 IP コアをインスタンス化する HDL ファイルです。 |
| mentor/ | ModelSim* シミュレーションの設定および実行を行う msim_setup.tcl スクリプトを含みます。 |
| aldec/ | シミュレーションの設定および実行を行う Riviera-PRO* スクリプトの rivierapro_setup.tcl を含みます。 |
| /synopsys/vcs /synopsys/vcsmx | VCS* シミュレーションの設定および実行を行うシェルスクリプトの vcs_setup.sh を含みます。 VCS MX シミュレーションの設定および実行を行うシェルスクリプトの vcsmx_setup.sh および synopsys_sim.setup ファイルを含みます。 |
| /cadence | NCSim シミュレーションの設定および実行を行うシェルスクリプトの ncsim_setup.sh とそのほかのセットアップ・ファイルを含みます。 |

continued...



| ファイル名 | 説明 |
|-----------------|-----------------------------------------------------------------------------------------------------|
| /xcelium | シミュレーションの設定および実行を行う Xcelium* Parallel シミュレーター・シェル・スクリプトの xcelium_setup.sh およびそのほかのセットアップ・ファイルを含みます。 |
| /submodules | IP コア・サブモジュールの HDL ファイルを含みます。 |
| <IP submodule>/ | プラットフォーム・デザイナーは、プラットフォーム・デザイナーが生成するそれぞれの IP サブモジュール・ディレクトリーに、/synth および /sim サブディレクトリーを生成します。 |

3.2. Advanced SEU Detection IP コアのパラメーター

| パラメーター・グループ | パラメーター | | 説明 |
|-------------------|------------------------------------|---------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| | 名称 | 正当な値 | |
| 一般 | CRC error cache depth | 2, 4, 8, 16, 32, 64 | <ul style="list-style-type: none"> 無視する非クリティカルな巡回冗長検査 (CRC) エラーの数を指定します。 デフォルトの値は 8 です。 |
| | Largest ASD region ID | 1 から 16 | <ul style="list-style-type: none"> デザイン内の最大 ASD SEU 検出領域の ID を示します。 regions_report ポートの幅をコンフィグレーションします。 デフォルトの値は 1 です。 |
| センシティビティ・データ・アクセス | Use on-chip sensitivity processing | ON, OFF | <ul style="list-style-type: none"> オンチップ・センシティビティ・プロセスまたはオフチップ・センシティビティ・プロセスの使用に向けて IP コアをコンフィグレーションします。 有効にすると、IP の外部メモリー・インターフェイスを実装します。 |
| | Memory interface address width | — | <ul style="list-style-type: none"> 外部メモリー・インターフェイスに接続されるアドレスバスの幅を指定します。 デフォルトの値は 32 です。 オンチップ・センシティビティ・プロセスにのみ該当します。 |
| | Sensitivity data start address | — | <ul style="list-style-type: none"> 外部メモリー・インターフェイスが生成するアドレスすべてに追加されるオフセットを指定します。 デフォルトの値は 0x0 です。 オンチップ・センシティビティ・プロセスにのみ該当します。 |

4. CRAM アレイでの SEU の緩和

クリティカルなアプリケーションには、SEU の回復戦略が必要です。インテル Quartus Prime 開発ソフトウェアは SEU の検出を提供し、SEU による中断を低減するための回復応答をデザインすることを可能にします。

4.1. インテル Quartus Prime 開発ソフトウェアでの Advanced SEU Detection 機能の有効化

インテル Quartus Prime 開発ソフトウェアで Advanced SEU Detection 機能を有効にし、.smh を生成するには、**Device and Pin Options** ダイアログボックス (**Assignments > Device > Device and Pin Options**) にある **Generate SEU sensitivity map file (.smh)** をオンにします。

注意: SMH ファイルの生成には、インテル Quartus Prime 開発ソフトウェアのライセンス版が必要です。

4.2. 階層的タグ付け

インテル Quartus Prime の階層的タグ付け機能により、ソフトエラーの影響を受けやすいデザインロジックを示すことで、カスタマイズされたソフトエラーの分類が可能になります。階層的タグ付けは、デバイスの動作にクリティカルなロジックのみをタグ付けすることにより、デザインに有効な FIT レートを向上させます。また、SEU によって損なわれるロジックの知識に基づきシステムの回復手順を定義します。この手法は、FPGA および FPGA が属しているシステムのダウンタイムを低減します。インテル Arria 10、インテル Cyclone 10 GX、Stratix V、Arria V、および Cyclone V デバイスは階層的タグ付けをサポートしています。

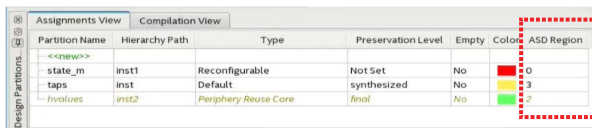
.smh には、デザインのセンシティブ・ビットのマスクが圧縮形式で含まれます。インテル Quartus Prime 開発ソフトウェアは、デザイン全体に対するセンシティブ・マスクを生成します。階層的タグ付けには次の利点があります。

- 軽微なエラーに対し中断を招く回復手順を回避することでシステムの安定性が向上
- 異なるデザインロジックに対する多様な修正措置が可能

4.2.1. パーティションでのロジック・センシティブ ID の指定

1. インテル Quartus Prime 開発ソフトウェアで、デザインブロックをデザイン・パーティションとして指定します。
2. **Design Partitions** ウィンドウの **ASD Region** 列で、パーティションに割り当てられるセンシティブ ID を指定します。

図 -11: Design Partitions ウィンドウの ASD Region 列



| Partition Name | Hierarchy Path | Type | Preservation Level | Empty | Color | ASD Region |
|----------------|----------------|----------------------|--------------------|-------|--------|------------|
| <<new>> | | | | | | |
| state_m | inst1 | Reconfigurable | Not Set | No | Red | 0 |
| taps | inst1 | Default | synthesized | No | Green | 1 |
| includes | inst2 | Periphery Reuse Core | final | No | Yellow | 2 |

パーティションに 0 から 16 のセンシティブティータグの値を割り当てます。この値はパーティションに関連付けられるセンシティブティータグを表します。

- センシティブティータグの 1 は割り当てなしと同義で、基本のセンシティブティータグレベルである「デザインで使用される領域」を示します。ソフトウェアがこのパーティションで発生した場合、Advanced SEU Detection IP コアはこのエラーをセンシティブティータグ領域 1 のクリティカルなエラーとして報告します。
- センシティブティータグの 0 は予約されており、未使用の CRAM ビットを示します。明示的にパーティションを 0 に設定し、そのパーティションがクリティカルではないことを示すことができます。この設定はそのパーティションをセンシティブティータグマップから除外します。

注意: 同じセンシティブティータグを複数のデザイン・パーティションに使用できます。

あるいは次の割り当てを使用します。

```
set_global_assignment -name PARTITION_AS_REGION_ID <asd_id> -section_id <partition_name>
```

4.3. センシティブティータグマップのヘッダーファイルのルックアップ

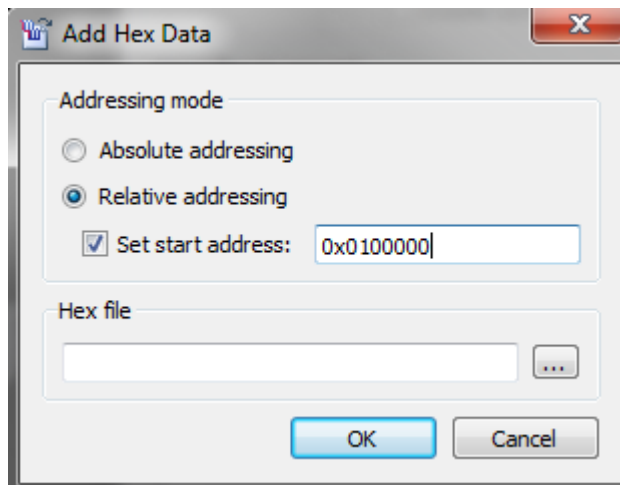
.smh には、デザインに関するクリティカルビット情報が含まれます。インテル Quartus Prime 開発ソフトウェアは .sof の生成時に、標準のインテル 16 進数 (ビッグエンディアン) .smh ファイルでセンシティブティータグデータを生成します。

4.3.1. センシティブティータグマップ・ヘッダー・ファイルのメモリーへのプログラミング

.smh は、任意のタイプのメモリーにプログラム可能です。例えば CFI フラッシュメモリーを使用する場合は、次の作業を行います。

1. .smh の名前を <file_name>.hex に変更、もしくは必要な場合はリトルエンディアンの <file_name>.hex に変換します。
2. インテル Quartus Prime 開発ソフトウェアで、**File > Convert Programming Files** の順にクリックします。
3. **Convert Programming Files** ウィンドウの **Output programming file** で、目的のオプションを選択します。
4. 16 進数データを追加するには次の手順に従います。
 - a. **Add Hex Data** をクリックします。
 - b. **Add Hex Data** ダイアログボックスで **Set start address** をオンにし、開始アドレスを入力します。
 - c. **Hex file box** でブラウザをクリックして .hex ファイルを選択後、**OK** をクリックします。

図 -12: Add Hex Data ダイアログボックス



5. **Generate** をクリックします。

4.3.2. SMH リビジョン 1 でのルックアップの実行 (Stratix IV および Arria II)

Stratix IV および Arria II デバイスにおいて、センシティブ・マップ・ヘッダー・データのルックアップは、EMR からのビット、バイト、およびフレーム番号を使用し次のように実行します。

1. フレーム番号の 32 ビットのフレーム情報文字列を読み取ります。
 - アドレス = $\langle frame_info_base_address \rangle + (frame * 4)$
 - 戻り値 = $(frame_info_data_offset, offset_map_array_index)$
2. フレームのオフセットマップ情報を読み取ります。オフセットマップ情報の戻り値は 16 ビットです。
 - アドレス = $offset_map_base_address + \text{現在のフレームのオフセットアレイ} + \text{現在のバイトとビットのオフセットデータ値}$

上記において

- 現在のフレームのオフセットアレイ = $offset_map_array_index * offset_map_length$
 - 現在のバイトとビットのオフセットデータ値 = $[(byte * 8) + bit] * 2$
 - 戻り値 = $offset_map_value$
3. 8 ビットのセンシティブ・ビットの値を読み取ります。
 - アドレス = $sensitivity_data_array_base_address + frame_info_data_offset + (offset_map_value / 8)$
 - 戻り値 = $sensitive_bit_word [7:0]$
 4. センシティブ・ビットを読み取ります。オフセットマップの値はセンシティブ・ビットのインデックスを提供します。値 1 はクリティカルなビットを示し、値 0 は非クリティカルなビットを示します。
 - センシティブ・ビット = $sensitive_bit_word[bit_index]$

上記において

- $bit_index = offset_map_value [2:0]$



4.3.3. SMH リビジョン 2 でのルックアップの実行 (Stratix V、Arria V、Cyclone V デバイス)

Stratix V、Arria V、および Cyclone V デバイスでのセンシティブティマッピング・ヘッダー・データのルックアップは、EMR からのビット、バイト、およびフレーム番号を使用し次のように実行します。

1. フレーム番号の 32 ビットのフレーム情報文字列を読み取ります。
 - アドレス = `<frame_info_base_address> + (frame*4)`
 - 戻り値 = `(frame_info_data_offset, offset_map_array_index)`
2. フレームのオフセットマップ情報を読み取ります。戻り値は 16 ビットです。
 - アドレス = `offset_map_base_address + 現在のフレームのオフセットアレイ + 現在のバイトとビットのオフセットデータ値`

上記において

- 現在のフレームのオフセットアレイ = `offset_map_array_index * offset_map_length`
 - 現在のバイトとビットのオフセットデータ値 = `[(byte * 8) + bit] * 2`
 - 戻り値 = `offset_map_value`
3. 8 ビットのセンシティブティマッピングの値を読み取ります。
 - アドレス = `sensitivity_data_array_base_address + frame_info_data_offset + (offset_map_value * sensitivity_data_tag_size / 8)`
 - 戻り値 = `sensitive_bit_word[7:0]`

4. センシティブティマッピング・データ・タグを読み取ります。オフセットマップの値はセンシティブ・ビットのインデックスを提供します。センシティブティマッピング・タグの戻り値は、`sensitivity_data_tag_size` ビット長です。0 のタグは、そのビットがいずれの領域においてもクリティカルではないことを示し、0 以外のタグは領域マップでのオフセットを示します。

```
sensitive_tag = (sensitive_data word >> tag_shift) & tag_mask
```

上記において

- `tag_shift = (offset_map_value * sensitivity_data_tag_size)[2:0]`
 - `tag_mask = (0x1 << sensitivity_data_tag_size) - 1`
5. 0 以外のセンシティブティマッピング・タグの領域マスクのみを読み取ります。領域マスクの戻り値は 16 ビットです。

```
region_mask = region_map_base_address + (sensitivity_data_tag - 1) * 2
```

4.3.4. SMH リビジョン 3 でのルックアップの実行 (インテル Arria および インテル Cyclone 10 GX デバイス)

インテル Arria 10、インテル Cyclone 10 GX デバイスでのセンシティブティマッピング・ヘッダー・データのルックアップは、EMR からのビット、バイト、フレーム番号を使用し次のように実行します。

1. フレーム情報エントリの上位 2 バイトを読み取り、オフセット・マップ・アレイのフレーム・インデックスを取得します。

- アドレス = $\text{frame_info_base_address} + (\text{frame address} * 6)$
 - 戻り値 = $\text{offset_map_array_index}$
2. フレーム情報エントリの下位 4 バイトを読み取り、フレーム・センシティブィティ・データのオフセットを取得します。
- アドレス = $\text{frame_info_base_address} + (\text{frame address} * 6) + 2$
 - 戻り値 = $\text{frame_info_data_offset}$
3. フレームのオフセットマップ情報を読み取ります。戻り値は 16 ビットです。
- アドレス = $\text{offset_map_base_address} + \text{現在のフレームのオフセットアレイ} + \text{現在のフレームベースのダブルワードとフレームベースのビットのオフセットデータ値}$

上記において

- 現在のフレームのオフセットアレイ = $\text{offset_map_array_index} * \text{offset_map_length}$
 - 現在のフレームベースのダブルワードとフレームベースのビットのオフセットデータ値 = $[(\text{double word} * 32) + \text{bit}] * 2$
 - 戻り値 = offset_map_value
4. 8 ビットのセンシティブィティの値を読み取ります。
- アドレス = $\text{sensitivity_data_array_base_address} + \text{frame_info_data_offset} * \text{sensitivity_data_tag_size} + (\text{offset_map_value} * \text{sensitivity_data_tag_size} / 8)$
 - 戻り値 = $\text{sensitive_data_word}[7:0]$

5. センシティブィティ・データ・タグを読み取ります。オフセットマップの値はセンシティブィティ・ビットのインデックスを提供します。センシティブィティ・タグの戻り値は、 $\text{sensitivity_data_tag_size}$ ビット長です。0 のタグは、そのビットがいずれの領域でもクリティカルではないことを示し、0 以外のタグは領域マップでのオフセットを示します。

$\text{sensitive_tag} = (\text{sensitive_data_word} \gg \text{tag_shift}) \& \text{tag_mask}$

上記において

- $\text{tag_shift} = (\text{offset_map_value} * \text{sensitivity_data_tag_size})[2:0]$
 - $\text{tag_mask} = (0x1 \ll \text{sensitivity_data_tag_size}) - 1$
6. 0 以外のセンシティブィティ・タグの領域マスクのみを読み取ります。領域マスクの戻り値は 16 ビットです。

$\text{region_mask} = \text{region_map_base_address} + (\text{sensitivity_data_tag} - 1) * 2$

5. Advanced SEU Detection インテル FPGA IP ユーザーガイド・アーカイブ

IP コアのバージョンが記載されていない場合は、以前の IP コアのバージョンのユーザーガイドが適用されます。

| IP コアのバージョン | ユーザーガイド |
|-------------|-----------------------------------------------------------------------|
| 18.1 | Intel FPGA Advanced SEU Detection IP Core User Guide |
| 17.1 | Intel FPGA Advanced SEU Detection IP Core User Guide |
| 16.1 | Altera FPGA Advanced SEU Detection IP Core User Guide |
| 16.0 | Altera Advanced SEU Detection IP Core User Guide |

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

6. Advanced SEU Detection インテル FPGA IP ユーザーガイドの改訂履歴

| ドキュメントバージョン | インテル Quartus Prime のバージョン | 変更内容 |
|-------------|---------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 2019.03.26 | 18.1 | Advanced SEU Detection インテル FPGA IP バージョン 16.0 のユーザーガイドのアーカイブへのリンクを修正しました。 |
| 2019.01.14 | 18.1 | オフチップ・プロセスにおける IP コアの信号一覧の cache_valid の説明を更新しました。 |
| 2018.09.12 | 18.0 | <ul style="list-style-type: none"> SMH リビジョン 3 でのルックアップの実行 (インテル Arria 10 および インテル Cyclone 10 GX デバイス) に関する内容を更新しました。 ドキュメントの構成を更新しました。 Advanced SEU Detection IP コア、バージョン 17.1 のユーザーガイドのアーカイブへのリンクを修正しました。 |
| 2018.05.16 | 18.0 | <ul style="list-style-type: none"> オンチップ・プロセスにおける Advanced SEU Detection コアの信号およびオフチップ・プロセスにおける Advanced SEU Detection コアの信号に注記を追加し、emr の予約されているビットを示しました。 インテルへのブランド変更により、「インテル FPGA Advanced SEU Detection」から「Advanced SEU Detection インテル FPGA IP」に名称を変更しました。 Intel Quartus Prime Pro Edition Handbook からの次の内容を追加しました。 <ul style="list-style-type: none"> オンチップ・センシティブティティー・プロセッサの章 オフチップ・センシティブティティー・プロセッサとサブトピック |

| 日付 | バージョン | 変更内容 |
|----------|------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| 2017年11月 | 2017.11.06 | <ul style="list-style-type: none"> ブランド名をインテルに変更しました。 インテル Cyclone 10 GX デバイスのサポートを追加しました。 |
| 2016年10月 | 2016.10.31 | <ul style="list-style-type: none"> Stratix V, Arria 10, Arria V, Arria V GZ, Cyclone V でサポートされる機能としてセンシティブティティー・プロセスを追加しました。 センシティブティティー・マップ・ヘッダー情報の名前を更新しました。 |
| 2016年5月 | 2016.05.02 | リビジョン 1 の .smh ファイルに関してフレーム情報のアレイ情報を明確にしました。 |
| 2015年11月 | 2015.11.02 | <ul style="list-style-type: none"> SMH リビジョン 3 でのルックアップにおける Arria 10 のサポート情報を追加しました。 SMH リビジョン 2 でのルックアップに関する情報を更新しました。 オンチップとオフチップの処理信号を更新しました。 Quartus II のリファレンスを Quartus Prime に変更しました。 |
| 2015年5月 | 2015.05.04 | <ul style="list-style-type: none"> sensitivity_data_tag_size フィールドで使用可能な値に注記を追加しました。 Altera Advanced SEU Detection IP コア・パラメーターの最大 ASD 領域 ID を更新しました。 リビジョン 1 と 2 におけるルックアップの実行に関してサポートされるデバイスを更新しました。 |

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。



| 日付 | バージョン | 変更内容 |
|----------|------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| | | <ul style="list-style-type: none">機能とデバイスファミリーのサポートを表にまとめることで更新しました。オフチップ・プロセス信号の表から重複していた信号を削除しました。SMH フレーム情報のアレイの説明を更新し、冗長さを改善しました。 |
| 2014年6月 | 2014.06.30 | <ul style="list-style-type: none">サポートされるデバイスを更新しました。MegaWizard Plug-in Manager についての情報を IP Catalog に置き換えました。 |
| 2012年12月 | 1.0 | 初版 |