



インテル Advanced SEU Detection IP コア・ユーザーガイド

インテル® Quartus® Prime 開発デザインスイートの更新情報: **17.1**



ALTADVSEU | 2017.11.06

最新版をウェブからダウンロード: [PDF](#) | [HTML](#)



目次

1	インテル® FPGA Advanced SEU Detection IP コア・ユーザーガイド	3
1.1	機能概要.....	4
1.1.1	オンチップ・ルックアップ・センシティブィティ・プロセッシング.....	4
1.1.2	オフチップ・ルックアップ・センシティブィティ・プロセッシング.....	7
1.2	インテル FPGA Advanced SEU Detection IP コアの使用.....	16
1.2.1	IP コアのカスタマイズと生成.....	17
1.2.2	インテル FPGA Advanced SEU Detection IP コア・パラメーター.....	23
1.3	CRAM アレイでの SEU の緩和	23
1.3.1	インテル Quartus Prime ソフトウェアでの Advanced SEU Detection 機能の有効化.....	23
1.3.2	階層的タグ付け.....	23
1.3.3	センシティブィティ・マップ・ヘッダー・ファイルのルックアップ.....	24
1.4	インテル FPGA Advanced SEU Detection IP コア・ユーザーガイド・アーカイブ.....	28
1.5	インテル FPGA Advanced SEU Detection IP コア・ユーザーガイドの改訂履歴.....	28



1 インテル® FPGA Advanced SEU Detection IP コア・ユーザーガイド

インテル® FPGA Advanced SEU Detection IP コアは、次を実行することができます。

- 階層的タグ付け — SEU (シングル・イベント・アップセット) に関するデザイン階層の各部分の重要性を記述し、デザイン段階での階層的タグ付けを実行する。
- センシティブィティ・プロセッシング — EDCRC (エラー検出巡回冗長検査) ハード IP による SEU 検出と位置の重要性を決定する。オンチップとオフチップのセンシティブィティ・プロセッシングを有し、システムの実行時にセンシティブィティ・プロセッシングを実行する。

表 1. デバイスファミリーのサポート機能

機能	サポートされるデバイス
階層タグ付けとセンシティブィティ・プロセッシング	インテル Arria® 10、インテル Cyclone® 10 GX、Stratix® V、Arria V、Cyclone V
センシティブィティ・プロセッシング	Stratix IV、Arria II GX、Arria II GZ

インテル Advanced SEU Detection IP コアは、インテル Quartus® Prime ソフトウェアの IP Catalog とパラメーター・エディターから選択およびコンフィグレーションができます。

インテル FPGA Advanced SEU Detection IP コアは、インテル FPGA EMR Unloader IP コアとともに使用する必要があります。インテル FPGA EMR Unloader IP コアは、EDCRC エラーの検出のたびにエラー・メッセージ・レジスター (EMR) の内容を提供します。インテル FPGA EMR Unloader IP バリエーションからの emr、emr_valid、および emr_error 信号を、対応する インテル FPGA Advanced SEU Detection IP バリエーションの入力に接続します。

関連情報

- [Intel FPGA Error Message Register Unloader IP Core User Guide](#)
- [インテル FPGA IP コアについて](#)
パラメーター化、アップグレード、IP コアのシミュレーションを含むすべてのインテル FPGA IP コアに関する基本的な情報を提供します。
- [Creating Version-Independent IP and Qsys Simulation Scripts](#)
ソフトウェアあるいは IP のバージョンのアップグレードのためのマニュアルでの更新を必要としないシミュレーション・スクリプトの作成について詳しい情報を提供します。
- [Project Management Best Practices](#)
プロジェクトと IP ファイルの効果的な管理および移植性のためのガイドラインを提供します。
- [インテル FPGA Advanced SEU Detection IP コア・ユーザーガイド・アーカイブ \(28 ページ\)](#)
旧バージョンの インテル Advanced SEU Detection IP コア・ユーザーガイドのリストを提供します。

1.1 機能概要

次のインテル FPGA デバイスは、CRAM フレームあたりの巡回冗長検査 (CRC) の値を有します。また、EDCRC ロジックは、アップセットの位置とタイプの特定制もできます。

- 32 ビット CRC 値を有する インテル Arria 10、インテル Cyclone 10 GX、Stratix V、Arria V、および Cyclone V デバイスファミリー
- 16 ビット CRC 値を有する Stratix IV と Arria II デバイスファミリー

インテル Quartus Prime ソフトウェアは、SEU にセンシティブなデザインのコンフィグレーション領域の Sensitivity Map Header ファイル (.smh) を生成します。ソフトウェアでは、デザイン階層と割り当てられた ASD (advanced SEU detection) 領域を使用して .smh ファイルを作成します。センシティブなプロセッシングの間、インテル FPGA Advanced SEU Detection IP コアは、EMR デバイスにある位置情報から .smh 内のアップセットの位置を探索し、ビットがデザインにとってクリティカルかどうかを返します。

インテル FPGA Advanced SEU Detection IP コアは、次の設定でインスタンス化が可能です。

- オンチップ・ルックアップ・センシティブなプロセッシング — エラー位置の報告とルックアップを提供するセンシティブなプロセッシング・ソフト IP
- オフチップ・ルックアップ・センシティブなプロセッシング — EMR 情報を使用してエラー位置の探索を実行するマイクロプロセッサなどの外部ユニット

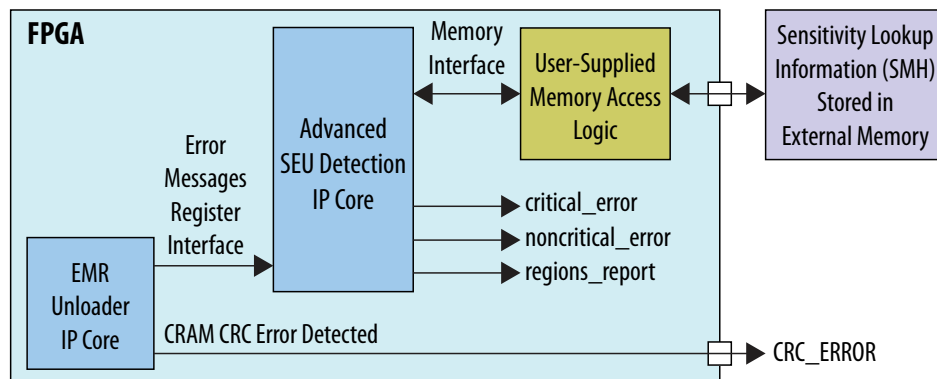
関連情報

[SMH ファイルの種類 \(12 ページ\)](#)

1.1.1 オンチップ・ルックアップ・センシティブなプロセッシング

SEU 検出をサポートするすべてのデバイスファミリーは、ハードエラー検出ブロックが含まれています。このブロックは、サポートされるデバイスのソフトエラーを検出し、1 ビット・エラーと隣接する 2 ビット・エラーの位置を提供します。インテル FPGA Advanced SEU Detection IP コアはエラー検出ブロックのエラー検出レジスターをリードし、センシティブなマップで 1 ビット・エラー位置を比較します。このチェックは、障害がデバイス動作に影響を与えるかどうかを判断します。

図 -1: オンチップ・ルックアップ・センシティブなプロセッシングのシステム概要



インテル FPGA Advanced SEU Detection IP コアは、EMR Unloader IP コアまたはユーザーロジックで提供される EMR 内容にアクセスして EMR 内容を分析し、センシティブなマップを含む外部メモリーに照会を発行します。システム設計者は、メモリー・アクセス・ロジックと外部メモリーの情報を提供する必要があります。



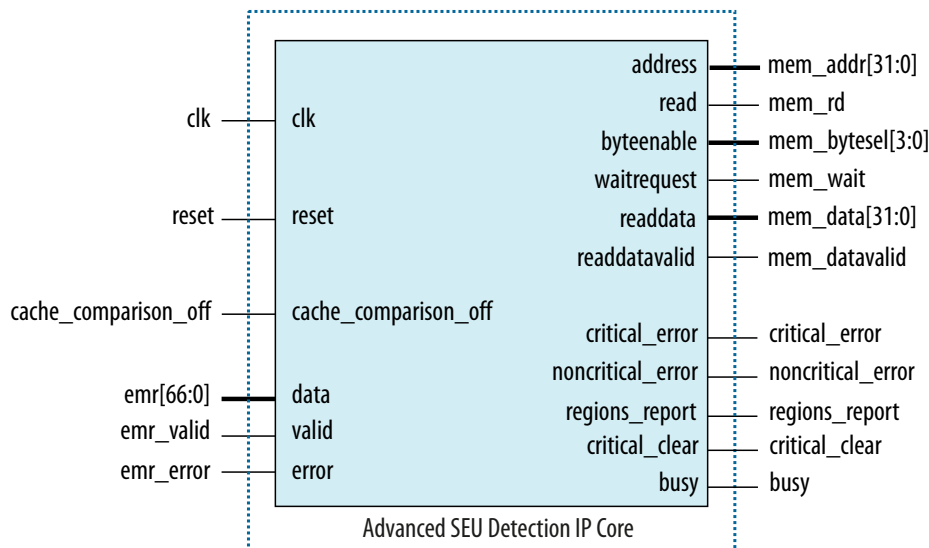
エラー検出ロジックでの SEU の緩和は、ロジックのソフトエラーを許容する SEU 検出回路を実装します。例えば、デザインで インテル FPGA Advanced SEU Detection IP コアの 2 つのインスタンスをインスタンス化し、インスタンス出力を比較します。IP コアの各インスタンスは、他のインスタンスで発生したエラーを「クリティカル」としてハイライトします。

関連情報

- [Intel FPGA Error Message Register Unloader IP Core User Guide](#)
- [Configuration, Design Security, and Remote System Upgrades in Stratix V Devices](#)
Stratix V デバイスのデザイン・セキュリティについて詳しい情報を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Stratix IV Devices](#)
Stratix IV デバイスのデザイン・セキュリティについて詳しい情報を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Arria 10 Devices](#)
Arria 10 デバイスのデザイン・セキュリティについて詳しい情報を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Arria V Devices](#)
Arria V デバイスのデザイン・セキュリティについて詳しい情報を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Cyclone V Devices](#)
Cyclone V デバイスのデザイン・セキュリティについて詳しい情報を提供します。

1.1.1.1 オンチップ・プロセッシング信号

図 -2: オンチップ・プロセッシングでの インテル FPGA Advanced SEU Detection IP コア信号



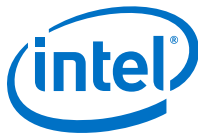


表 2. オンチップ・プロセッシングでの インテル FPGA Advanced SEU Detection IP コア信号

インターフェイス	信号	入力 / 出力	幅	説明
クロックとリセット	clk	入力	1	<ul style="list-style-type: none"> クロック入力 EMR Unloader IP コアと同じ入力クロックを使用する。入力周波数は、次の内容が有効になる前に EMR 内容の処理に十分である必要がある。例えば、Stratix V デバイスで推奨される最小周波数は 30 MHz である。 周波数が低すぎて IP コアが現在の内容の処理中に新しい EMR 内容が有効になると、critical_error 信号をアサートする。
	reset	入力	1	アクティブ High リセット
キャッシュ・コンフィグレーション	cache_comparison_off	入力	1	<ul style="list-style-type: none"> スタティック入力信号 IP コアがキャッシュ比較をバイパスするように命令する。EMR 値は、すでにキャッシュに存在していても格納される。 カスタムデザインでの内部スクラブ機能で使用可能である。
Avalon Streaming (Avalon-ST) シンク・インターフェイス信号 ⁽¹⁾	emr	入力	<ul style="list-style-type: none"> 46 (Stratix IV) 67 (Cyclone V, Arria V, Stratix V) 119 (インテル Arria 10, インテル Cyclone 10 GX) 	インテル FPGA EMR Unloader IP コアからのエラー・メッセージ・レジスター (EMR) データ入力
	emr_valid	入力	1	emr データ入力が有効であることを示す。
	emr_error	入力	1	<ul style="list-style-type: none"> emr データ入力がエラーにより無効であることを示す。 このエラーは インテル FPGA EMR Unloader IP コアからのデータ・オーバーラン時に発生する可能性がある。
エラー	noncritical_error	出力	1	SMH ルックアップで EDCRC エラーがクリティカルではない領域にあると判断されたことを示す。
	critical_error	出力	1	SMH ルックアップで EDCRC エラーがクリティカルな領域にあると判断されたことを示す。
	regions_report	出力	1	<ul style="list-style-type: none"> SMH ルックアップにより報告されたエラーの ASD (advanced SEU detection) 領域 Largest ASD region ID used パラメータをこのポート幅に設定する。
	critical_clear	入力	1	<ul style="list-style-type: none"> オプション入力信号 この信号をアサートし、最終処理の EMR データ入力の error report をクリアする。 critical_error と regions_report、または noncritical_error をクリアする。

continued...

⁽¹⁾ Avalon-ST (Avalon Streaming) シンク・インターフェイスを EMR Unloader IP コアの対応する Avalon-ST ソース・インターフェイスに接続します。



インターフェイス	信号	入力 / 出力	幅	説明
	busy	出力	1	<ul style="list-style-type: none"> オプション出力信号 ロジック High は ASD IP が EMR データ入力の処理で busy 状態であることを示す。 処理の完了後に critical_error または noncritical_error 信号がアサートされると、信号は Low に入る。
外部メモリー Avalon Memory Mapped (Avalon-MM) マスター	mem_addr	出力		<ul style="list-style-type: none"> ユーザーロジックへ出力 リードされる 32 ビット・ワードのバイトアドレス
	mem_rd	出力		<ul style="list-style-type: none"> ユーザーロジックへ出力 リード動作を要求するためのユーザーロジックへの信号
	mem_bytesel	出力		<ul style="list-style-type: none"> ユーザーロジックへ出力 IP コアが必要とするバイトを選択する4ビット信号。IP コアが 32 ビットすべてを必要としない場合、リード数の最適化のために 16 または 8 ビット・メモリーを使用可能する。mem_bytesel のビット 0 が 0 の場合、IP コアは mem_data のビット 0 から 7 までを無視する。同様に、mem_bytesel のビット 0 が 0 の場合、IP コアはビット 1 から 3 までを無視する。
	mem_wait	入力		<ul style="list-style-type: none"> ユーザーロジックからの入力 リード動作が実行中であることをメモリー・インターフェイスに通知する。mem_rd がアサートされた後、IP コアを待機状態で保つために始めの立ち上がりクロックにより High である必要がある。
	mem_data	入力		<ul style="list-style-type: none"> ユーザーロジックからの入力 32 ビット・データ・バス。mem_wait が High になる場合、および mem_rd が low に戻る場合は、データが存在している必要がある。
	mem_datavalid	入力		<ul style="list-style-type: none"> ユーザーロジックからの入力 前の mem_rd 要求に応答し、mem_data 信号に有効データがあることを示す信号

関連情報

[Intel FPGA Error Message Register Unloader IP Core User Guide](#)

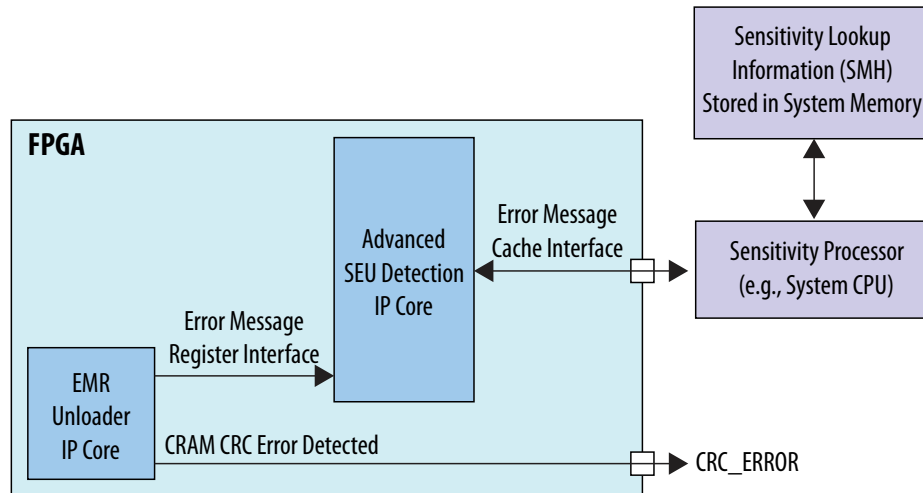
1.1.2 オフチップ・ルックアップ・センシティビティー・プロセッシング

インテル FPGA Advanced SEU Detection IP コアは、エラー検出ブロックの EMR 内容を分析し、システム・プロセッサに情報を提供します。システム・プロセッサは、障害がデバイスの動作に影響を与えるかどうかを判断します。システム・プロセッサは、.smh に対してルックアップ実行のアルゴリズムを実装します。

オフチップ・センシティビティー・プロセッシングは、次の2つのコンポーネントで構成されています。

- CRC ブロックの EMR 内容を解釈し、情報をプロセッサ・インターフェイスに提示するためのデザインロジック
- オフロードされた EMR の内容を格納するキャッシュ

図 -3: オフチップ・ルックアップ・センシビティ・プロセッシングのシステム概要



EMR 処理装置は、SEU 上の EMR Unloader IP コアにより CRC ブロックからオフロードされた EMR の内容を分析します。EMR 処理装置はキャッシュが満量になるまでキャッシュに各固有の EMR 値をライトします。キャッシュが満量になると、システム・インターフェイスにキャッシュ・オーバーフロー・フラグがアサートされます。

キャッシュに新しい値がライトされるたびに、EMR 処理装置はプロセッサに割り込みをアサートします。システム・プロセッサは EMR 値をリードし、CRAM の位置の重要度を判断するために .smh に対してルックアップを実行します。システム・プロセッサが割り込みを実行した後、キャッシュに未処理の EMR 値がある場合、EMR 処理装置はキャッシュラインを進め、追加割り込みアサーションを生成します。

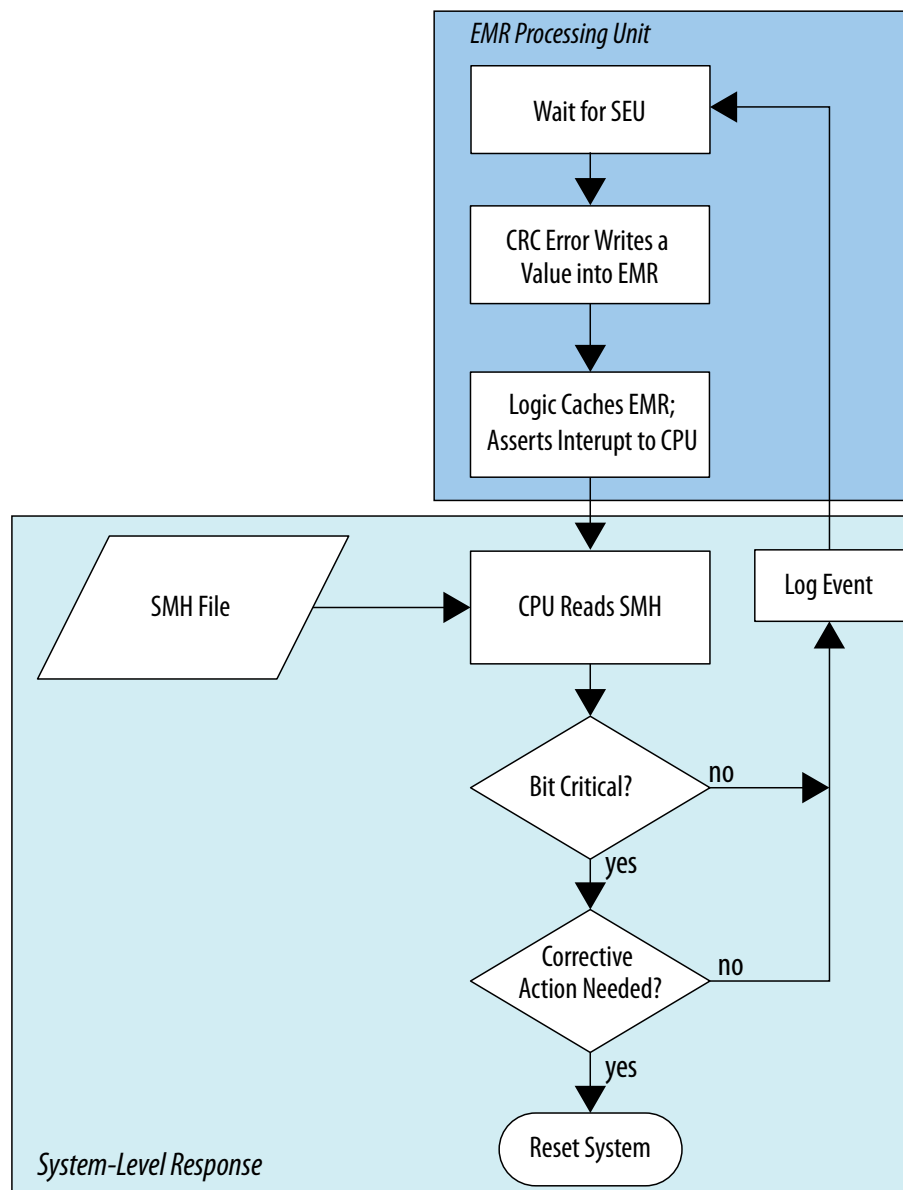
SMH ルックアップの後、システム・プロセッサは必要な是正応答を決定します。

関連情報

- [Intel FPGA Error Message Register Unloader IP Core User Guide](#)
- [Configuration, Design Security, and Remote System Upgrades in Stratix V Devices](#)
Stratix V デバイスのデザイン・セキュリティについて詳しい情報を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Stratix IV Devices](#)
Stratix IV デバイスのデザイン・セキュリティについて詳しい情報を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Arria 10 Devices](#)
Arria 10 デバイスのデザイン・セキュリティについて詳しい情報を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Arria V Devices](#)
Arria V デバイスのデザイン・セキュリティについて詳しい情報を提供します。
- [Configuration, Design Security, and Remote System Upgrades in Cyclone V Devices](#)
Cyclone V デバイスのデザイン・セキュリティについて詳しい情報を提供します。

1.1.2.1 オフチップ・ルックアップ・センシティビティ・プロセッシングの動作フロー

図 -4: オフチップ・ルックアップ・センシティビティ・プロセッシングの動作フロー



関連情報

SMH ルックアップ (11 ページ)

1.1.2.2 オフチップ・プロセッシング信号

オフチップとオンチップのセンシティビティ・プロセッシングでは、オフチップ・センシティビティ・プロセッシングが外部メモリー・インターフェイスに代わって EMR キャッシュ・インターフェイスを使用することを除き、同様の信号が使用されます。

図 -5: オフチップ・プロセッシングでの インテル FPGA Advanced SEU Detection IP コア信号

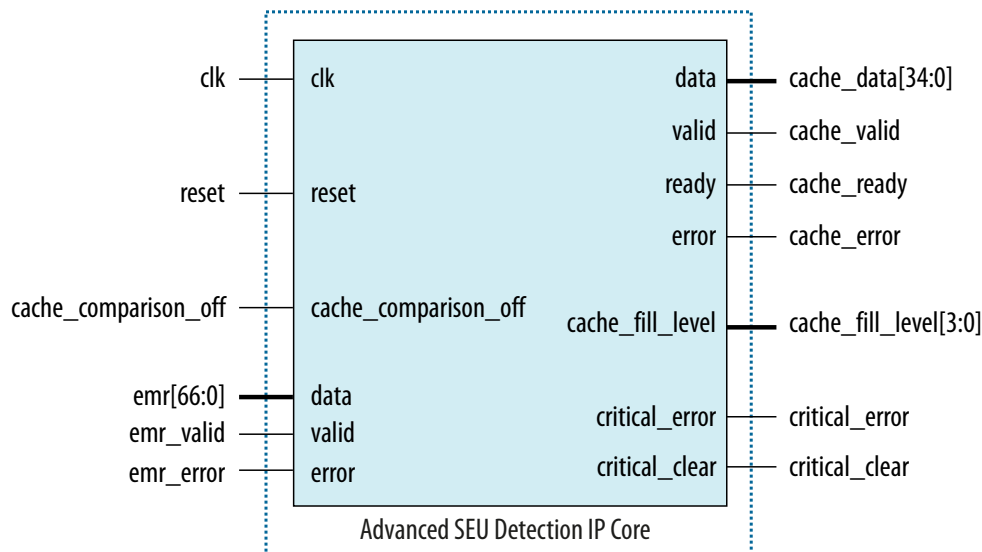


表 3. オフチップ・プロセッシングでの インテル FPGA Advanced SEU Detection IP コア信号

インターフェイス	信号	入力 / 出力	幅	説明
クロックとリセット	clk	入力	1	<ul style="list-style-type: none"> クロック入力 EMR Unloader IP コアと同じ入力クロックを使用する。入力周波数は、次の内容が使用可能になる前に EMR 内容の処理に十分である必要がある。例えば、Stratix V デバイスで推奨される最小周波数は 30 MHz である。 周波数が低すぎて IP コアが現在の内容の処理中に新しい EMR 内容が有効になると、critical_error 信号をアサートする。
	reset	入力	1	アクティブ High リセット
キャッシュ・コンフィグレーション	cache_comparison_off	入力	1	<ul style="list-style-type: none"> スタティック入力信号 IP コアがキャッシュ比較をバイパスするように命令する。 カスタムデザインでの内部スクラブ機能で使用可能である。
Avalon-ST シンク・インターフェイス信号 ⁽²⁾	emr	入力	<ul style="list-style-type: none"> 46 (Stratix IV) 67 (Cyclone V、Arria V、Stratix V) 119 (インテル Arria 10、インテル Cyclone 10 GX) 	インテル FPGA EMR Unloader IP コアからのエラー・メッセージ・レジスター (EMR) データ入力
	emr_valid	入力	1	emr データ入力が有効であることを示す。

continued...

⁽²⁾ Avalon-ST (Avalon Streaming) シンク・インターフェイスを EMR Unloader IP コアの対応する Avalon-ST ソース・インターフェイスに接続します。



インターフェイス	信号	入力 / 出力	幅	説明
	emr_error	入力	1	<ul style="list-style-type: none"> emr データ入力がエラーにより無効であることを示す。 このエラーは インテル FPGA EMR Unloader IP コアからのデータ・オーバーラン時に発生する可能性がある。
エラー	critical_error	出力	1	重要な EDCRC エラーが検出されたことを示す。次のいずれかの状態が起こると、IP コアはこの信号をアサートする。 <ul style="list-style-type: none"> emr_data は、重要な EDCRC エラーを示す。 emr_error がアサートされ、失った EMR 内容を示す。 新しい emr_data が前のデータの処理前に使用可能になること、つまり、emr_data のオーバーランを示す。
	critical_clear	入力	1	<ul style="list-style-type: none"> オプション入力信号 この信号をアサートし、critical_error 信号をクリアする。
Avalon-ST ソース・インターフェイス信号	cache_data	出力	<ul style="list-style-type: none"> 30 (Stratix IV) 35 (Cyclone V, Arria V, Stratix V) 78 (インテル Arria 10, インテル Cyclone 10 GX) 	<ul style="list-style-type: none"> キャッシュデータのエラー EMR キャッシュエントリーの位置情報を提供する。
	cache_valid	出力	1	cache_data の内容が有効であることを示す。
	cache_ready	入力	1	Avalon-ST インターフェイスが準備完了であることを示す。
	cache_error	出力	1	キャッシュのオーバーフロー状態を示す Avalon-ST コントロール信号。新しい EMR データがフルキャッシュ (cache_fill_level = cache_depth) で使用可能になると、IP コアはこの信号をアサートする。
キャッシュ状態	cache_fill_level	出力	4	キャッシュ内のエントリー数を示す。

関連情報

[Intel FPGA Error Message Register Unloader IP Core User Guide](#)

1.1.2.3 SMH ルックアップ

.smh ファイルは、デザイン上の CRAM ビット設定のハッシュを表します。CRAM に関連するグループはセンシティブティアー・アレイ内のシグナルビットにマッピングされます。SEU イベント中、アプリケーションは .smh に対してルックアップを実行し、ビットが使用されているかどうかを判断します。ビットの位置についての情報の使用により、動作システムの有効なソフト・エラー・レートを低減できます。

デザイン内の CRAM の位置の重要性は、次の基準で決定されます。

- ルーティング — 使用されたルーティング・ラインを制御するすべてのビット
- アダプティブ・ロジック・モジュール (ALM) — ALM をコンフィグレーションすると、IP コアはその ALM センシティブに関連するすべての CRAM ビットを考慮します。
- ロジック・アレイ・ブロック (LAB) 制御ライン — LAB で ALM を使用すると、IP コアは LAB センシティブに供給する制御信号に関連するすべてのビットを考慮します。
- M20K メモリー・ブロックとデジタル信号処理 (DSP) ブロック — ブロックを使用すると、IP コアはそのブロック・センシティブに関連するすべての CRAM ビットを考慮します。

関連情報

[オフチップ・ルックアップ・センシティブィー・プロセッシングの動作フロー \(9 ページ\)](#)

1.1.2.3.1 SMH ファイルの種類

.smh はインテル規格の 16 進数のファイルです。次の **.smh** ファイルのリビジョンを生成することができます。

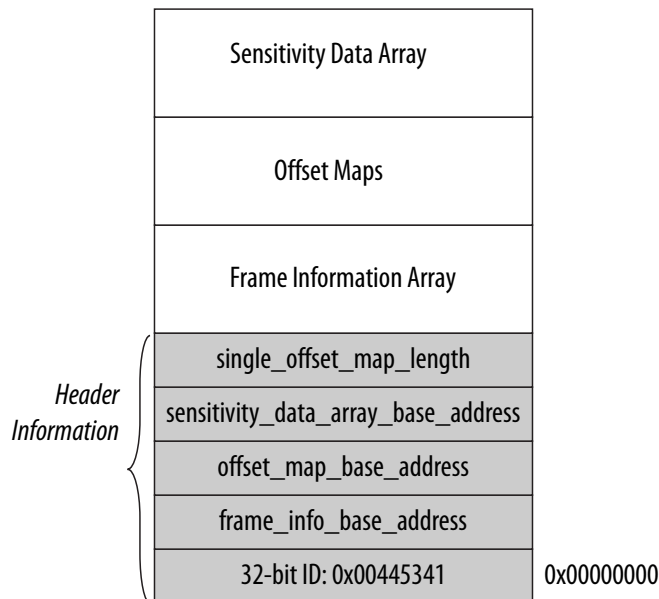
- リビジョン 1 — Stratix IV と Arria II デバイスファミリー向けに生成されます。このリビジョンは階層タグ付けをサポートせず、タグサイズや領域マップ情報を含んでいません。
- リビジョン 2 — Stratix V、Arria V、および Cyclone V デバイスファミリー向けに生成されます。生成された **.smh** はタグサイズと領域マップ情報を含んでいます。
- リビジョン 3 — インテル Arria 10 と インテル Cyclone 10 GX デバイスファミリー向けに生成されます。生成された **.smh** はタグサイズと領域マップ情報を含んでおり、より長いセンシティブィー・データ・アドレスに対応します。

SMH リビジョン 1

リビジョン 1 のファイルでは、センシティブィー・マップ・ヘッダーは **.smh** フォーマットに関する基本情報を提供します。この情報は、フレーム情報のベースアドレス、オフセットマップとシングル・オフセットマップの長さ、およびセンシティブィー・データ・アレイを含みます。



図 -6: SMH リビジョン 1



リビジョン 1 のファイルは次のアレイを含んでいます。

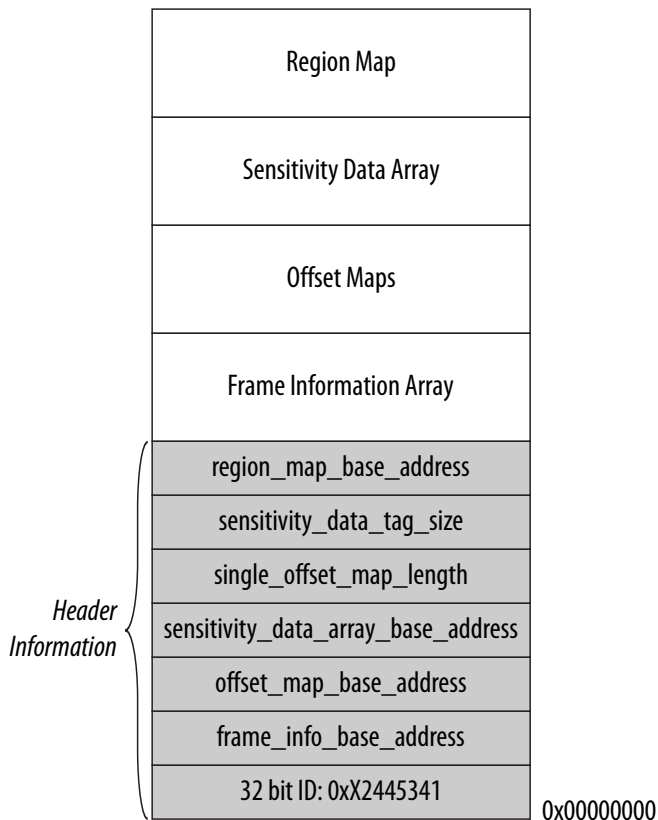
- フレーム情報アレイ — デバイスの各フレームに 32 ビット列が含まれています。フレーム数はフレーム情報列のインデックスです。各フレーム情報は、次の情報を提供します。
 - offset_map_array_index(ビット 7:0) — このフレームが使用するオフセット・マップ・アレイのインデックス
 - frame_info_data_offset(ビット 31:8) — このフレームでのセンシティブィー・アレイの 24 ビット・アドレス・オフセット

注 Stratix IV と Arria II デバイスではフレーム情報アレイに CRAM とエンベデッド RAM フレーム列がリストされています。ただし、EDCRC 回路とセンシティブィー・プロセッシングが CRAM フレームのみを修正するため、.smh はエンベデッド RAM フレーム列をフレーム情報アレイのエントリー内の 0xFFFFFFFF に設定します。その他のすべてのデバイスファミリーでは、フレーム情報アレイに CRAM フレーム列のみがリストされます。
- オフセット・マップ・アレイ — オフセットマップ情報アレイは、16 ビットのオフセットマップを含むアレイのセットです。各オフセットマップ値は、フレームグループのセンシティブィー・アレイ内への追加のオフセットを表します。各オフセットマップ値は 16 ビットです。各オフセット・マップ・アレイのサイズはヘッダー情報内の offset_map_length 列により定義されます。
- センシティブィー・データ・アレイ — センシティブィー・データ・アレイは、1 がセンシティブィー・ビット、0 が非センシティブィー・ビットを指定するフラットビット・ベクトルです。

SMH リビジョン 2

リビジョン 2 のファイルでは、センシティブィー・マップ・ヘッダーはリビジョン 1 ヘッダー・フォーマットの拡張です。ヘッダー情報は、.smh リビジョン 2 の基本情報とすべてのリビジョン 1 のヘッダー情報フィールドを含んでいます。追加のフィールドには、ビットのセンシティブィー・データ・タグサイズ、領域マップのベースアドレス、および対応する .sof ファイルの 32 ビット CRC シグネチャーを含みます。

図 -7: SMH リビジョン 2



リビジョン 2 のセンシティブティイー・マップ・ヘッダーでの 32 ビット ID は、次を定義します。

- ビット 23:0 — インテル FPGA のセンシティブティイー・マップ・ヘッダー ID 0x445341
- ビット 24:27 — ヘッダー情報のビットマスク
 - ビット 24 — 予約済み
 - ビット 25 — **.smh** ファイル内のセンシティブティイー・タグ情報の存在を示します。
 - ビット 26:27 — 予約済み
- ビット 28 — 対応する**.sof**の 32 ビット CRC シグネチャーの存在を示します。
- ビット 29:31 — 予約済み



リビジョン 2 のファイルは次のアレイを含んでいます。

- フレーム情報アレイ — デバイスの各フレームに 32 ビット列が含まれています。フレーム番号はフレーム情報列のインデックスです。各フレーム情報列は、次の情報を提供します。
 - offset_map_array_index(ビット 7:0) — このフレームが使用するオフセット・マップ・アレイでのインデックス
 - frame_info_data_offset(ビット 31:8) — このフレームでのセンシティブィティ・アレイの 24 ビット・アドレス・オフセット
- オフセット・マップ・アレイ — オフセットマップ情報アレイは、16 ビットのオフセットマップを含むアレイのセットです。各オフセットマップ値はフレームグループのセンシティブィティ・アレイ内への追加のオフセットを表します。各オフセットマップ値は 16 ビットです。各オフセット・マップ・アレイのサイズはヘッダー情報の offset_map_length 列により定義されます。
- センシティブィティ・データ・アレイ — シングル・センシティブィティ・データ・エントリーまたはタグ (sensitivity_data_tag_size) のサイズは、ビット単位で 2 の累乗に揃えられます。センシティブィティ・データ・アレイは、0 のセンシティブィティ・タグがすべての領域でビット・インセンシティブを指定し、ゼロ以外のタグが領域マップ内のオフセットを指定するフラット・センシティブィティ・タグ・ベクトルです。
- 領域マップ情報アレイ — 領域マップ情報アレイは、ゼロ以外の各センシティブィティ・タグの 16 ビット列を含んでいます。センシティブィティ・データ・タグは領域マップアレイでインデックス 1 となります。文字列は領域のビットマスクで、ビットはセンシティブです。各領域は mask 1 << (Region ID - 1)によりビットマスクで識別されます。

表 4. センシティブィティ・タグに基づいたリビジョン 2 の SMH ファイルのサイズと ASD 領域

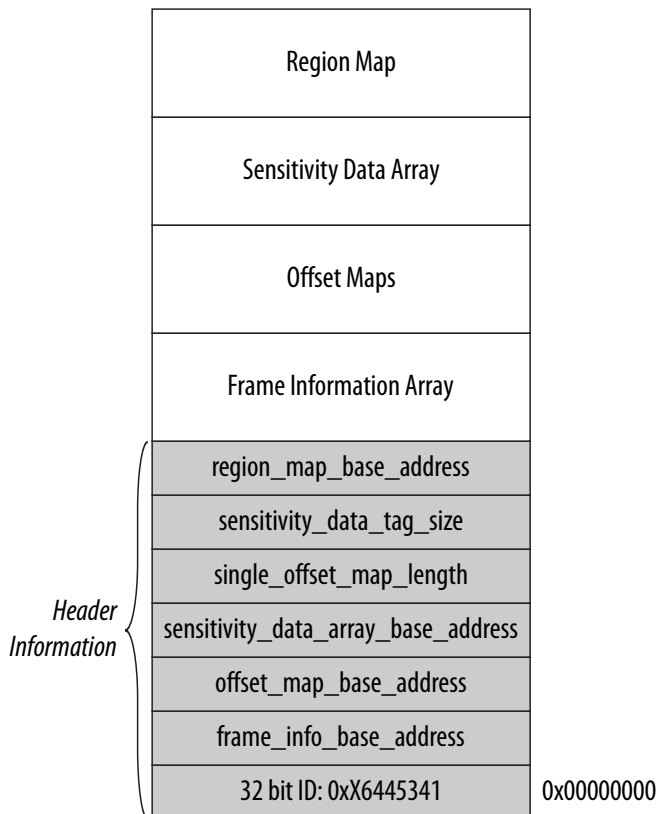
下の表に、SOF サイズが 31,731,193 バイトの Stratix V 5SGXEA7 デバイス向けの SMH ファイルのサイズを示します。

ASD 領域の数	センシティブィティ・タグ・サイズ (ビット)	SMH ファイルサイズ (バイト)
1	1	2,296,736
2-3	2	3,984,920
3-15	4	7,361,308
10-127	8	14,114,024

SMH リビジョン 3

リビジョン 3 の SMH ファイルは、より長いセンシティブィティ・データ・アドレスに対応可能なリビジョン 2 ヘッダー・フォーマットの拡張です。

図 -8: SMH リビジョン 3



ファイルヘッダー情報は、異なる 32 ビット ID:0xX6445341 を除いてリビジョン 2 と同様です。センシティブティター・マップ・ヘッダーの定義である 32 ビット ID は、ビット 26 が示すより長いセンシティブティター・データ・アドレスの使用を除き、リビジョン 2 と同様です。

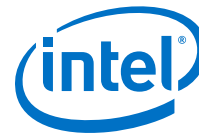
フレーム情報アレイは、デバイスの各フレームでの 48 ビット・エントリーを含みます。リビジョン 2 と同様に、フレーム数はフレーム情報エントリーのインデックスになります。各フレーム情報エントリーは次を含みます。

- `offset_map_array_index`— ビット [47:32] はオフセット・マップ・アレイの 16 ビット・インデックス
- `frame_info_data_offset`— ビット [31:0] は `sensitivity_data_tag_size = 1` のセンシティブティター・アレイ内の 32 ビット・アドレス・オフセット

オフセット・マップ・アレイ、センシティブティター・データ・アレイ、および領域マップ情報アレイは、リビジョン 2 と同様の定義です。

1.2 インテル FPGA Advanced SEU Detection IP コアの使用

インテル FPGA Advanced SEU Detection IP コアのインスタンスの生成は、インテル Quartus Prime のパラメーター・エディターを使用します。IP コアの使用にはライセンスが必要です。OpenCore Plus の機能では評価できません。



1.2.1 IP コアのカスタマイズと生成

IP コアをカスタマイズし、多種多様なアプリケーションのサポートが可能です。インテル Quartus Prime IP Catalog とパラメーター・エディターの使用で、IP コアのポート、機能、および出力ファイルをすばやく選択し、コンフィグレーションすることができます。

1.2.1.1 IP Catalog とパラメーター・エディター

IP Catalog 内には、プロジェクトで使用可能な IP コアが表示されます。IP コアを検索してカスタマイズするには、IP Catalog 機能から次の手順を行います。

- IP Catalog を **Show IP for active device family** または **Show IP for all device families** でフィルターします。プロジェクトを開いていない場合は、IP Catalog 内で **Device Family** を選択します。
- IP Catalog に完全な、または部分的な IP コア名を検索フィールドに入力し、検索します。
- IP コアを右クリックしてサポートされるデバイスの詳細を IP Catalog に表示し、IP コアのインストール・フォルダーを開いて、IP ドキュメントへのリンクをクリックします。
- **Search for Partner IP** をクリックし、アルテラのウェブサイト上でパートナーの IP 情報へアクセスします。

パラメーター・エディターは、IP バリエーション名、オプションのポート、出力ファイルの生成オプションを指定するように促します。パラメーター・エディターは、インテル Quartus Prime 開発ソフトウェア・プロ・エディションのプロジェクト内で IP バリエーションのトップレベルのインテル Quartus Prime IP ファイル (.ip) を生成します。

パラメーター・エディターはインテル Quartus Prime スタンダード・エディションのプロジェクトで IP バリエーションのトップレベルの Quartus IP ファイル (.qip) を生成します。これらのファイルはプロジェクト内の IP バリエーションを表示し、パラメーター化の情報を格納します。

図 -9: IP パラメーター・エディター (インテル Quartus Prime 開発ソフトウェア・プロ・エディション)

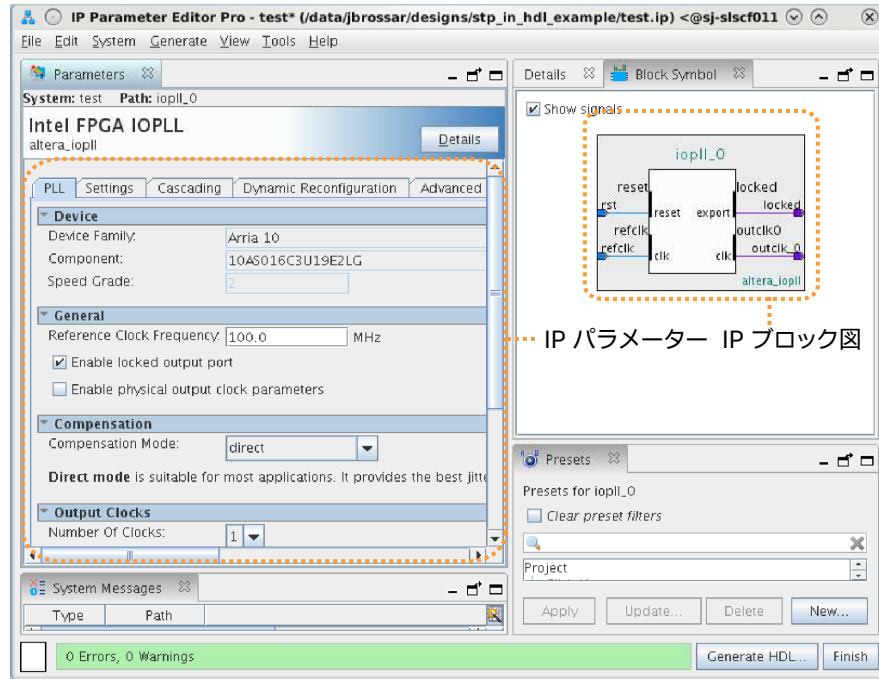
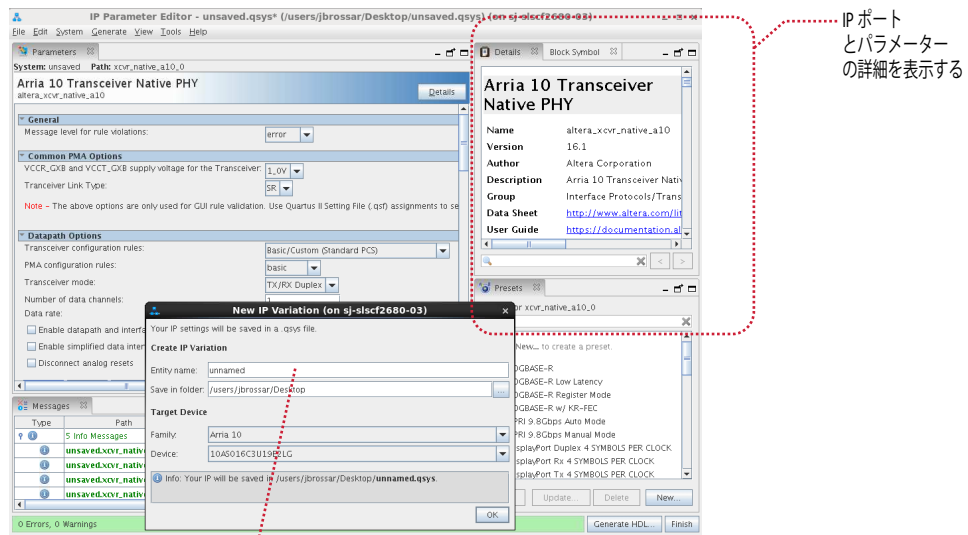


図 -10: IP パラメーター・エディター (インテル Quartus Prime スタンダード・エディション)



IP バリエーション名と...
ターゲットするデバイスを指定する

1.2.1.2 パラメーター・エディター

パラメーター・エディターでは、IP コアのポート、パラメーター、および出力ファイルの生成オプションが設定できます。基本的なパラメーター・エディターの制御は次のとおりです。



- **Presets** ウィンドウを使用し、特定のアプリケーションにプリセット・パラメーター値を適用します。(選択コア用)
- **Details** ウィンドウを使用し、ポートとパラメーターの内容を表示し、ドキュメントへのリンクをクリックします。
- **Generate > Generate Testbench System** をクリックし、テストベンチ・システムを生成します。(選択コア用)
- **Generate > Generate Example Design** をクリックし、デザイン例を生成します。(選択されたコア用)
- **Validate System Integrity** をクリックし、コンパニオン・ファイルに対してシステムの汎用コンポーネントを検証します。(Qsys Pro システムのみ)
- **Sync All System Infos** をクリックし、コンパニオン・ファイルに対してシステムの汎用コンポーネントを検証します。(Qsys Pro システムのみ)

IP Catalog は、Platform Designer (**View > IP Catalog**) でも使用可能です。Platform Designer の IP Catalog には、排他的なシステム・インターコネクト、ビデオと画像処理、並びに インテル Quartus Prime の IP Catalog では使用できないその他のシステムレベルの IP が含まれています。Platform Designer (Standard) および Platform Designer の IP 使用について詳しくは、*Creating a System with Platform Designer* または *Creating a System with Platform Designer (Standard)* を参照してください。

関連情報

- [Creating a System with Platform Designer](#)
- [Creating a System with Platform Designer \(Standard\)](#)

1.2.1.3 IP コアのパラメーターとオプションの指定

IP コアのパラメーターとオプションを指定するには、次のステップを実行します。

1. Platform Designer の IP Catalog (**Tools > IP Catalog**) 内で、カスタマイズする IP コア名を検索し、ダブルクリックします。パラメーター・エディターが表示されます。
2. カスタム IP バリエーションのトップレベル名を指定します。この名前は、プロジェクトの IP コア・バリエーションのファイル名になります。プロンプトが表示されたら、ターゲット FPGA デバイスファミリーと出力ファイルの HDL プリファレンスも指定します。**OK** をクリックします。
3. IP バリエーションのパラメーターとオプションを指定します。



- 必要に応じてプリセット・パラメーター値を選択します。プリセットは、(提供されている) 特定のアプリケーションのすべての初期パラメーター値を指定します。
 - IP コアの機能、ポートの構成、およびデバイス固有の機能を定義するパラメーターを指定します。
 - タイミング・ネットリスト、シミュレーション・モデル、テストベンチ、またはデザイン例 (該当する場合) の生成オプションを指定します。
 - 他の EDA ツールで IP コアのファイル进行处理するオプションを指定します。
4. **Finish** をクリックし、IP バリエーションの仕様に一致する合成およびその他のオプションファイルを生成します。パラメーター・エディターは、合成とシミュレーションのためのトップレベルの .qip IP バリエーション・ファイルと HDL ファイルを生成します。また、一部の IP コアは、ハードウェアをテストするにあたり、テストベンチやデザイン例を同時に生成します。
 5. シミュレーション・テストベンチを生成するために、**Generate > Generate Testbench System** をクリックします。シミュレーション・テストベンチを提供していない一部の IP コアでは、**Generate Testbench System** は使用できません。
 6. ハードウェアの検証のトップレベル HDL 例を生成するために、**Generate > HDL Example** をクリックします。一部の IP コアでは **Generate > HDL Example** は使用できません。

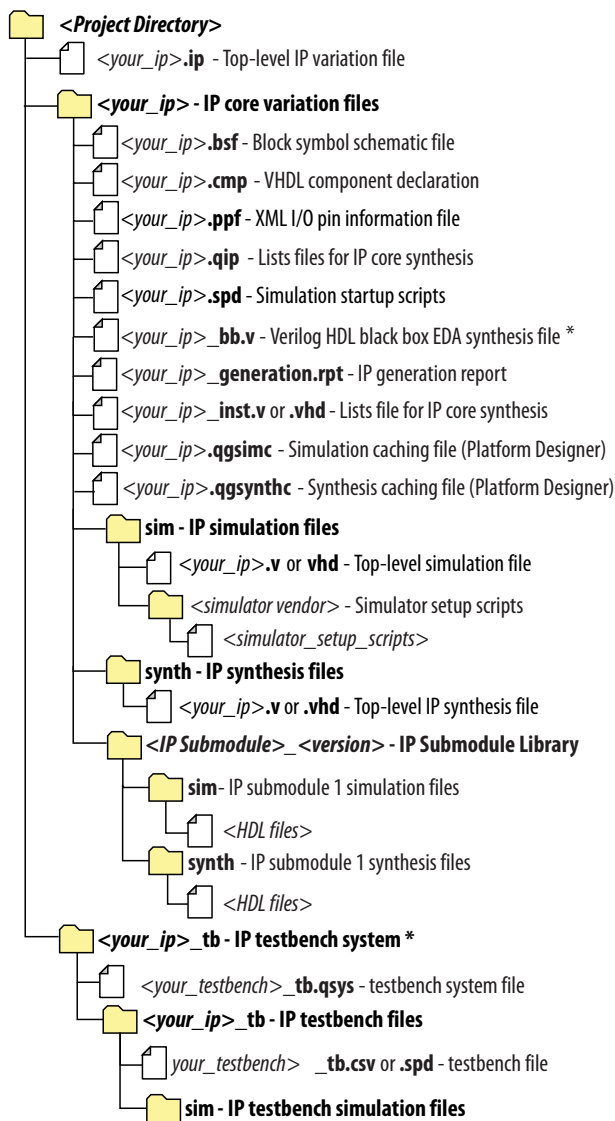
トップレベルの IP バリエーションは現在の インテル Quartus Prime プロジェクトに追加されません。 .qsys (インテル Quartus Prime スタンダード・エディション) ファイルまたは .ip (インテル Quartus Prime 開発ソフトウェア・プロ・エディション) ファイルを手動でプロジェクトに追加するために、 **Project > Add/Remove Files in Project** をクリックします。適切なピン割り当てでポートに接続する必要があります。

1.2.1.3.1 IP コア生成の出力 (インテル Quartus Prime 開発ソフトウェア・プロ・エディション)

インテル Quartus Prime ソフトウェアは Platform Designer システムの一部ではない、個別の IP コアにおいて次の出力ファイル構造を生成します。



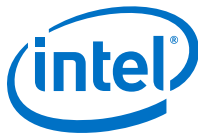
図 -11: 個々の IP コアの生成された出力 (インテル Quartus Prime 開発ソフトウェア・プロ・エディション)



* If supported and enabled for your IP core variation.

表 5. インテル FPGA IP 生成の出力ファイル

ファイル名	説明
<your_ip>.ip	プロジェクトでの IP コアのパラメーター化を含むトップレベルの IP バリエーション・ファイル。IP バリエーションが Platform Designer システムの一部の場合、パラメーター・エディターは .qsys ファイルを生成する。
<your_ip>.cmp	VHDL デザインファイルで使用するローカル・ジェネリックとポート定義を含むテキストファイルである .cmp (VHDL Component Declaration) ファイル
<your_ip>_generation.rpt	IP または Platform Designer 生成のログファイル。IP 生成時のメッセージの要約を示す。
continued...	



ファイル名	説明
<your_ip>.qgsimc (Platform Designer システムのみ)	.qsys と .ip ファイルを Platform Designer システムと IP コアの現在のパラメーター化と比較するシミュレーション・キャッシング・ファイル。この比較は、Platform Designer が HDL の再生成をスキップできるかどうかを決定する。
<my_ip>.qgssynth (Platform Designer システムのみ)	.qsys と .ip ファイルを Platform Designer システムと IP コアの現在のパラメーター化と比較する合成キャッシング・ファイル。この比較は、Platform Designer が HDL の再生成をスキップできるかどうかを決定する。
<your_ip>.qip	IP コンポーネントを統合し、コンパイルするためのすべての情報を含む。
<your_ip>.csv	IP コンポーネントのアップグレード・ステータスに関する情報を含む。
<your_ip>.bsf	Block Diagram ファイル (.bdf) で使用する IP バリエーションの表記
<your_ip>.spd	シミュレーション・スクリプトの生成のために ip-make-simscript で必要な入力ファイル。 .spd ファイルは、シミュレーション向けに生成されるファイルのリスト、およびユーザーが初期化するメモリーの情報を含む。
<your_ip>.ppf	Pin Planner で使用するために作成する IP コンポーネントのポートとノードの割り当てを格納する Pin Planner ファイル (.ppf)
<your_ip>_bb.v	ブラックボックスとして使用するために、empty のモジュール宣言として使用する _bb.v (Verilog blackbox) ファイル
<your_ip>_inst.v or _inst.vhd	HDL 例のテンプレート・インスタンス。IP バリエーションのインスタンス化には、このファイル内容をコピーして、HDL ファイルに張り付ける。
<your_ip>.regmap	IP がレジスター情報を含む場合、インテル Quartus Prime ソフトウェアは .regmap ファイルを生成する。 .regmap ファイルは、マスターおよびスレーブ・インターフェースのレジスターマップ情報を記述している。このファイルは、システムに関するより詳細なレジスター情報を提供することで、.sopcinfo ファイルを補充する。このファイルにより、System Console のレジスター・ディスプレイビューとユーザーのカスタマイズ可能な統計が可能となる。
<your_ip>.svd	Platform Designer システム内で HPS に接続されているペリフェラルのレジスターマップを HPS System Debug ツールで表示できるようにする。 合成中、インテル Quartus Prime ソフトウェアは、デバッグセクションで System Console マスターが認識可能なスレーブ・インターフェースの .svd ファイルを .sof ファイルに格納する。System Console はこのセクションをリードし、これにより Platform Designer がレジスターマップ情報を照会する。システムスレーブに対しては、Platform Designer は名称によりそのレジスターにアクセスする。
<your_ip>.v <your_ip>.vhd	合成またはシミュレーション向けに各サブモジュールまたは IP コアをインスタンス化する HDL ファイル
mentor/	シミュレーションの設定と実行のための ModelSim スクリプトである msim_setup.tcl を含む。
aldec/	シミュレーションの設定と実行のために Riviera*-PRO スクリプトである rivierapro_setup.tcl を含む。
/synopsys/vcs /synopsys/vcsmx	VCS シミュレーションの設定と実行のためのシェルスクリプトである vcs_setup.sh を含む。 VCS MX* シミュレーションの設定と実行のためのシェルスクリプトである vcsmx_setup.sh および synopsys_sim.setup ファイルを含む。
/cadence	NCSIM シミュレーションの設定と実行のためのシェルスクリプトである ncsim_setup.sh およびその他の設定ファイルを含む。
/submodules	IP コア・サブモジュールの HDL ファイルを含む。
<IP submodule>/	Platform Designer は、Platform Designer が生成する各 IP サブモジュール・ディレクトリーの /synth および /sim サブディレクトリーを生成する。



1.2.2 インテル FPGA Advanced SEU Detection IP コア・パラメーター

パラメーター・グループ	パラメーター		説明
	名称	有効値	
General	CRC error cache depth	2, 4, 8, 16, 32, 64	<ul style="list-style-type: none"> 無視するクリティカルではない巡回冗長検査 (CRC) エラーの数を指定する。 デフォルト値は8
	Largest ASD region ID	1 ~ 16	<ul style="list-style-type: none"> デザインでの最大 ASD SEU 検索領域 ID を示す。 regions_report ポートの幅を指定する。 デフォルト値は1
Sensitivity Data Access	Use on-chip sensitivity processing	ON, OFF	<ul style="list-style-type: none"> オンチップまたはオフチップ・センシティブティティー・プロセッシングで使用する IP コアをコンフィグレーションする。 イネーブル時、IP に外部メモリー・インターフェイスを実装する。
	Memory interface address width	—	<ul style="list-style-type: none"> 外部メモリー・インターフェイスに接続されたアドレスバスの幅を指定する。 デフォルト値は 32 オンチップ・センシティブティティー・プロセッシング向けのみ
	Sensitivity data start address	—	<ul style="list-style-type: none"> 外部メモリー・インターフェイスが生成するすべてのアドレスに追加されたオフセットを指定する。 デフォルト値は 0x0 オンチップ・センシティブティティー・プロセッシング向けのみ

1.3 CRAM アレイでの SEU の緩和

クリティカル・アプリケーションは SEU 回復ストラテジーが必要です。インテル Quartus Prime ソフトウェアは SEU 検出を提供し、SEU 中断を軽減するための回復応答のデザインを可能にします。

1.3.1 インテル Quartus Prime ソフトウェアでの Advanced SEU Detection 機能の有効化

インテル Quartus Prime ソフトウェアで Advanced SEU Detection 機能を有効にして .smh を生成するには、**Device and Pin Options** ダイアログボックス (**Assignments > Device > Device and Pin Options**) にある **Generate SEU sensitivity map file (.smh)** をオンにします。

注意: SMH ファイルの生成には、ライセンスバージョンの インテル Quartus Prime ソフトウェアが必要です。

1.3.2 階層的タグ付け

インテル Quartus Prime の階層的タグ付け機能では、ソフトエラーの影響を受けやすいデザインロジックを示すことにより、カスタマイズされたソフトエラーの分類を可能にします。階層的タグ付けは、デバイス動作のクリティカル・ロジックのみにタグ付けすることにより、デザイン効率の FIT レートを改善させます。また、SEU で損なわれたロジック知識に基づき、システムの回復手順が定義できます。この技術は、FPGA と FPGA が存在するシステムの中断時間を軽減します。インテル Arria 10、インテル Cyclone 10 GX、Stratix V、Arria V、および Cyclone V デバイスファミリーは階層的タグ付けをサポートしています。

.smh は、圧縮形式のデザイン・センシティブィー・ビットのマスクを含んでいます。インテル Quartus Prime ソフトウェアは、デザイン全体のセンシティブィー・マスクを生成します。階層的タグ付けには次の利点があります。

- 致命的ではないエラーに対する中断の回復手順を回避によるシステムの安定性の向上
- 異なるデザインロジックに対する多様な修正措置が可能

1.3.2.1 パーティションを使用したロジック・センシティブィー ID の指定

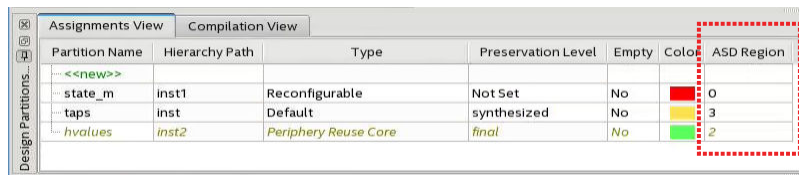
インテル Quartus Prime ソフトウェアでは、デザインブロックをデザイン・パーティションとして設計できます。パーティションに 0 ~ 16 のセンシティブィー値を割り当てます。値はパーティションに関連するセンシティブィー・タグを表します。

- センシティブィー・タグ 1 は割り当てなしと同様で、「デザインで使用される領域」の基本センシティブィー・レベルを表します。ソフトエラーがこのパーティションで発生すると、インテル FPGA Advanced SEU Detection IP コアはセンシティブィー領域 1 でクリティカル・エラーとして通知します。
- センシティブィー・タグ 0 は予約済で、未使用の CRAM ビットを表します。パーティションがクリティカルでないことを示すために明示的にパーティションを 0 に設定します。この設定はセンシティブィー・マップからのパーティションを除外します。

注意: 複数のデザイン・パーティションに同じセンシティブィー・タグを使用できます。

Design Partitions ウィンドウの **ASD Region** 列でパーティションに割り当てられるセンシティブィー ID を指定します。

図 -12: Design Partitions ウィンドウの ASD Region 列



Partition Name	Hierarchy Path	Type	Preservation Level	Empty	Color	ASD Region
<<new>>						
state_m	inst1	Reconfigurable	Not Set	No	Red	0
taps	inst	Default	synthesized	No	Green	3
hvalues	inst2	Periphery Reuse Core	final	No	Yellow	2

または、次の割り当てを使用します。

```
set_global_assignment -name PARTITION_AS_REGION_ID <asd_id> -section_id <partition_name>
```

1.3.3 センシティブィー・マップ・ヘッダー・ファイルのルックアップ

.smh には、デザインについてのクリティカルなビット情報が含まれています。インテル Quartus Prime ソフトウェアは、.sof の生成中に、インテル規格の 16 進数 (ビッグ・エンディアン) の .smh ファイルとしてセンシティブィー・データを生成します。

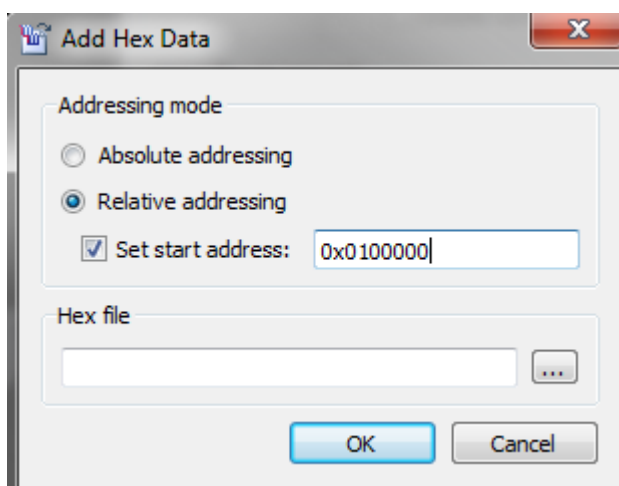
1.3.3.1 メモリー内のセンシティブィー・マップ・ヘッダー・ファイルのプログラミング

.smh はどのタイプのメモリー内でもプログラムすることができます。例えば、CFI フラッシュメモリーを使用するには次の手順を行います。



1. .smh の名称を <file_name>.hex に変更、または、必要に応じてリトル・エンディアンで <file_name>.hex に変換します。
2. インテル Quartus Prime ソフトウェアで、**File > Convert Programming Files** をクリックします。
3. **Output programming file** 内の **Convert Programming Files** ウィンドウで、目的のオプションを選択します。
4. 次の手に従って、16 進データを追加します。
 - a. **Add Hex Data** をクリックします。
 - b. **Add Hex Data** ダイアログボックスで、**Set start address** をオンにし、開始アドレスを入力します。
 - c. **Hex file box** で、ブラウズをクリックして .hex ファイルを選択し、**OK** をクリックします。

図 -13: 16 進データ・ダイアログボックスの追加



5. **Generate** をクリックします。

1.3.3.2 SMH リビジョン 1 でのルックアップの実行 (Stratix IV、Arria II デバイス)

Stratix IV と Arria II デバイスでのセンシティブティ・マップ・ヘッダー・データへのルックアップは、EMR からのビット、バイト、およびフレーム数を使用して実行します。

1. フレーム数の 32 ビット・フレーム情報列をリードします。
 - アドレス = <frame_info_base_address> + (frame*4)
 - 戻り値 = (frame_info_data_offset, offset_map_array_index)
 2. フレームのオフセットマップ情報をリードします。オフセットマップ情報の戻り値は 16 ビットです。
 - アドレス = offset_map_base_address + 現在のフレームのオフセットアレイ + 現在のバイトとビットのオフセットデータ値
- 位置 :



- 現在のフレームのオフセットアレイ = $\text{offset_map_array_index} * \text{offset_map_length}$
 - 現在のバイトとビットのオフセットデータ値 = $[(\text{byte} * 8) + \text{bit}] * 2$
 - 戻り値 = offset_map_value
3. 8 ビットのセンシティブィティ値をリードします。
 - アドレス = $\text{sensitivity_data_array_base_address} + \text{frame_info_data_offset} + (\text{offset_map_value}/8)$
 - 戻り値 = $\text{sensitive_bit_word}[7:0]$
 4. センシティブィットをリードします。オフセットマップ値はセンシティブィット・インデックスを提供します。値 1 はクリティカルィットを示し、値 0 は非クリティカルィットを示します。
 - センシティブィット = $\text{sensitive_bit_word}[\text{bit_index}]$位置：
 - $\text{bit_index} = \text{offset_map_value}[2:0]$

1.3.3.3 SMH リビジョン 2 でのルックアップの実行 (Stratix V、Arria V、Cyclone V デバイス)

Stratix V、Arria V、および Cyclone V デバイスでのセンシティブィティ・マップ・ヘッダー・データへのルックアップは、EMR からのビット、バイト、フレーム数を使用して実行します。

1. フレーム数の 32 ビット・フレーム情報列をリードします。
 - アドレス = $\langle \text{frame_info_base_address} \rangle + (\text{frame} * 4)$
 - 戻り値 = $(\text{frame_info_data_offset}, \text{offset_map_array_index})$
2. フレームのオフセットマップ情報をリードします。戻り値は 16 ビットです。
 - アドレス = $\text{offset_map_base_address} + \text{現在のフレームのオフセットマップ} + \text{現在のバイトとビットのオフセットデータ値}$位置：
 - 現在のフレームのオフセットアレイ = $\text{offset_map_array_index} * \text{offset_map_length}$
 - 現在のバイトとビットのオフセットデータ値 = $[(\text{byte} * 8) + \text{bit}] * 2$
 - 戻り値 = offset_map_value
3. 8 ビット・センシティブィティ値をリードします。
 - アドレス = $\text{sensitivity_data_array_base_address} + \text{frame_info_data_offset} + (\text{offset_map_value} * \text{sensitivity_data_tag_size} / 8)$
 - 戻り値 = $\text{sensitive_bit_word}[7:0]$
4. センシティブィティ・データ・タグをリードします。オフセットマップ値はセンシティブィット・インデックスを提供します。センシティブィティ・タグの戻り値は $\text{sensitivity_data_tag_size}$ ビット長です。ゼロタグはビットがどの領域でもクリティカルではないことを、ゼロ以外のタグは領域マップでオフセットであることを示します。
$$\text{sensitive_tag} = (\text{sensitive_data word} \gg \text{tag_shift}) \& \text{tag_mask}$$



位置 :

- $\text{tag_shift} = (\text{offset_map_value} * \text{sensitivity_data_tag_size})[2:0]$
- $\text{tag_mask} = (0x1 \ll \text{sensitivity_data_tag_size}) - 1$

5. 領域マスクでゼロ以外のセンシティブィティ・タグのみをリードします。領域マスクの戻り値は 16 ビットです。

$\text{region_mask} = \text{region_map_base_address} + (\text{sensitivity_data_tag} - 1) * 2$

1.3.3.4 SMH リビジョン 3 でのルックアップの実行 (インテル Arria 10、インテル Cyclone 10 GX デバイス)

インテル Arria 10、インテル Cyclone 10 GX デバイスでのセンシティブィティ・マップ・ヘッダー・データへのルックアップは、EMR からのビット、バイト、フレーム数を使用して実行します。

1. フレーム情報エントリーの最初の 16 ビットをリードし、オフセット・マップ・アレイのインデックスのフレーム数を取得します。
 - $\text{アドレス} = \text{frame_info_base_address} + (\text{frame} * 4)$
 - $\text{戻り値} = \text{offset_map_array_index}$
2. フレーム情報エントリーの次の 32 ビットをリードし、フレーム・センシティブィティ・データ・オフセットのフレーム数を取得します。
 - $\text{アドレス} = \text{frame_info_base_address} + (\text{frame} * 4) + 2$
 - $\text{戻り値} = \text{frame_info_data_offset}$
3. フレームのオフセットマップ情報をリードします。戻り値は 16 ビットです。
 - $\text{アドレス} = \text{offset_map_base_address} + \text{現在のフレームのオフセットマップ} + \text{現在のバイトとビットのオフセットデータ値}$

位置 :

- $\text{現在のフレームのオフセットアレイ} = \text{offset_map_array_index} * \text{offset_map_length}$
 - $\text{現在バイトとビットのオフセットデータ値} = [(\text{byte} * 8) + \text{bit}] * 2$
 - $\text{戻り値} = \text{offset_map_value}$
4. 8 ビット・センシティブィティ値をリードします。
 - $\text{アドレス} = \text{sensitivity_data_array_base_address} + \text{frame_info_data_offset} * \text{sensitivity_data_tag_size} + (\text{offset_map_value} * \text{sensitivity_data_tag_size} / 8)$
 - $\text{戻り値} = \text{sensitive_bit_word}[7:0]$
 5. センシティブィティ・データ・タグをリードします。オフセットマップ値はセンシティブィティ・ビット・インデックスを提供します。センシティブィティ・タグの戻り値は $\text{sensitivity_data_tag_size}$ ビット長です。ゼロタグはビットがどのアレイ領域でもクリティカルではないことを、ゼロ以外のタグは領域マップでオフセットを示します。

$\text{sensitive_tag} = (\text{sensitive_data_word} \gg \text{tag_shift}) \& \text{tag_mask}$



位置 :

- $tag_shift = (offset_map_value * sensitivity_data_tag_size)[2:0]$
- $tag_mask = (0x1 \ll sensitivity_data_tag_size) - 1$

6. 領域マスクでゼロ以外のセンシティブィー・タグのみをリードします。領域マスクの戻り値は 16 ビットです。

$region_mask = region_map_base_address + (sensitivity_data_tag - 1) * 2$

1.4 インテル FPGA Advanced SEU Detection IP コア・ユーザーガイド・アーカイブ

IP コアのバージョンが記載されていない場合は、以前の IP コア・バージョン用のユーザー・ガイドを適用してください。

IP コア バージョン	ユーザーガイド
16.1	アルテラ Advanced SEU Detection IP コアユーザーガイド
16.0	アルテラ Advanced SEU Detection IP コアユーザーガイド

1.5 インテル FPGA Advanced SEU Detection IP コア・ユーザーガイドの改訂履歴

日付	バージョン	変更内容
2017 年 11 月	2017.11.06	<ul style="list-style-type: none"> • 商標を「インテル」へ変更。 • インテル Cyclone 10 GX デバイスのサポートを追加。
2016 年 10 月	2016.10.31	<ul style="list-style-type: none"> • Stratix V, Arria 10, Arria V, Arria V GZ, Cyclone V でのセンシティブィー・プロセッシングのサポート機能を追加。 • センシティブィー・マップ・ヘッダー情報名を更新。
2016 年 5 月	2016.05.02	リビジョン 1 .smh ファイルのアレイ情報でフレーム情報を明記。
2015 年 11 月	2015.11.02	<ul style="list-style-type: none"> • SMH リビジョン3でのルックアップに関する Arria 10 のサポート情報を追加。 • SMH リビジョン2でのルックアップの情報を更新。 • オンチップとオフチップのプロセッシング信号を更新。 • 表記を Quartus II から Quartus Prime へ変更。
2015 年 5 月	2015.05.04	<ul style="list-style-type: none"> • sensitivity_data_tag_size フィールドでの使用可能な値を注記し、追加。 • アルテラ Advanced SEU Detection IP コア・パラメーターでの最大 ASD 領域 ID を更新。 • リビジョン1と2でのルックアップの実行でサポートされるデバイスを更新。 • 表の統合による機能とデバイスファミリーのサポートを更新。 • オフチップ・プロセッシングの表から重複信号を削除。 • 冗長性を減らすために SMH フレーム情報のアレイ説明を更新。
2014 年 6 月	2014.06.30	<ul style="list-style-type: none"> • サポートされているデバイスを更新。 • IP Catalog での MegaWizard Plug-in Manager についての情報を変更。
2012 年 12 月	1.0	初版