


Turbo IP コア

のユーザー・ガイド

 更新情報

 フィードバック

UG-TURBO
2015.11.11

101 Innovation Drive
San Jose, CA 95134
www.altera.com

ALTERA
now part of Intel

目次

Turbo IP コアについて.....	1-1
アルテラ DSP IP コアの機能.....	1-1
Turbo IP コアの特長.....	1-1
DSP IP コアをサポートするデバイス・ファミリ.....	1-2
Turbo IP コアリリース情報.....	1-3
DSP IP コアの検証.....	1-3
Turbo IP コア・パフォーマンスとリソース使用率.....	1-3
ターボ・コードのライセンス・プログラム.....	1-5
Turbo IP コアの使用開始に際して.....	2-1
IP コアのライセンス.....	2-1
OpenCore Plus IP 評価機能.....	2-1
Turbo IP コアの OpenCore Plus のタイムアウト動作.....	2-2
IP カタログとパラメータ・エディタ.....	2-3
IP コアの生成.....	2-4
アルテラ IP コア向けに生成されるファイル.....	2-6
他の EDA ツールでのアルテラ IP コアのシミュレーション.....	2-10
DSP Builder のデザイン・フロー.....	2-12
Turbo IP コア機能の説明.....	3-1
ターボ・エンコーダ.....	3-1
ターボ・エンコーダのデータ・フォーマット.....	3-2
ターボ・エンコーダのレイテンシの計算.....	3-2
ターボ・デコーダ.....	3-2
ターボ・デコーダのデータ・フォーマット.....	3-3
CRC24A または CRC24B 早期終了.....	3-4
デコーダのレイテンシの計算.....	3-4
Turbo IP コアのパラメータ.....	3-5
Turbo IP コアのインタフェースとシグナル.....	3-5
DSP IP コア内の Avalon-ST インタフェース.....	3-9
パケット・フォーマット・エラーの処理.....	3-10
ターボ・スループット.....	3-11
改訂履歴.....	4-1

2015.11.11

UG-TURBO



更新情報



フィードバック

関連情報

- **アルテラ IP コアについて**
すべてのアルテラ IP コアについて、パラメータ化、アップグレード、IP のシミュレーションといった基本的な情報を提供します。
- **バージョンに依存しない IP および Qsys シミュレーションスクリプトの作成**
ソフトウェアあるいは IP のバージョンのアップグレードのためのマニュアルでの更新を必要としないシミュレーション・スクリプトの作成について詳しい情報を提供します。
- **プロジェクト管理のベストプラクティス**
プロジェクトおよび IP ファイルの効果的な管理および移植性のためのガイドラインを提供します。

アルテラ DSP IP コアの機能

- Avalon[®] Streaming (Avalon-ST) インタフェース
- DSP Builder Ready
- IP コアを検証するためのテストベンチ
- アルテラでサポートしている VHDL、Verilog HDL シミュレータ上で使用可能な IP ファンクション・シミュレーション・モデル

Turbo IP コアの特長

- 3GPP LTE に準拠。
- 40 から 5114 までのブロック・サイズをサポート付き準拠する 3GPP UMTS。
- 性能シミュレーションまたは RTL テスト・ベクトルの生成のための C/MATLAB のビット精度のモデル。

© 2016 Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Megacore, NIOS, Quartus and Stratix words and logos are trademarks of Intel Corporation in the US and/or other countries. Other marks and brands may be claimed as the property of others. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
登録済

ALTERA
now part of Intel

デコーダ機能：

- LTE にわたって強化する LTE-A チャネル・コーディングのための Successive Interface Cancellation (SIC)。
- インタリーバのサイズと反復数は実行時パラメータです。
- CRC (Cyclic Redundancy Check) による早期終了のサポート。
- パラレル・エンジンの数、デコーディング・アルゴリズムの選択、入力精度、および出力サイズはコンパイル時パラメータです。
- ダブル・バッファリングは、以前のデータ・ブロックの処理中にデコーダがデータを受信できるようにすることで低レイテンシのリアル・タイム・アプリケーションをサポートしています。
- 外部終端は必要ありません。

エンコーダ機能

- 3GPP LTE および LTE-A 準拠。
- 3GPP UTMS は、40 から 5114 までのブロックサイズのサポートに準拠。
- ファイル名を指定してインタリーバ・ブロック・サイズは実行時選択可能です。
- コード・レートは 1/3 のみ。
- 他のコード・レートに対して外部レート・マッチングを使用してください。
- ダブル・バッファリングは以前のデータ・ブロックの処理中にエンコーダがデータを受け取ることができます。

DSP IP コアをサポートするデバイス・ファミリ

Altera®では、アルテラ® IP コアに対して以下に示すデバイス・サポート・レベルがあります。

- 暫定サポート — アルテラは、このデバイス・ファミリの暫定タイミング・モデルで IP コアを検証しています。IP コアはデバイス・ファミリの機能要件をすべて満たしていますが、タイミング解析は実施中である場合があります。量産デザインでの使用には注意が必要です。
- 最終サポート — アルテラは、このデバイス・ファミリの最終タイミング・モデルで IP コアを検証しています。IP コアはデバイス・ファミリの機能要件とタイミング要件をすべて満たしており、量産デザイン使用可能です。

表 1-1: DSP IP コアをサポートするデバイス・ファミリ

デバイス・ファミリ	サポート
Arria® II GX	最終
Arria II GZ	最終
Arria V	最終
Arria 10	最終
Cyclone® IV	最終
Cyclone V	最終
MAX® 10 FPGA	最終

デバイス・ファミリ	サポート
Stratix® IV GT	最終
Stratix IV GX/E	最終
Stratix V	最終
その他のデバイス・ファミリ	サポート無し

Turbo IP コアリリース情報

IP コアのライセンスを取得するときに、リリース情報を使用してください。

表 1-2: リリース情報

項目	説明
バージョン	15.1
リリース時期	2015 年 11 月
製品コード	IP-TURBO (IPR-TURBO)
プロダクト ID	00FC
ベンダ ID	6AF7

アルテラは、Quartus Prime のソフトウェアの現在のバージョンは、各 IP コアの以前のバージョンをコンパイルするかどうかを確認します。アルテラは、Quartus Prime のソフトウェアは、以前のバージョンよりも古い IP コアのバージョンをコンパイルしていることを確認していません。アルテラの IP リリースノートには、任意の例外を示します。

関連情報

- [Altera IP Release Notes](#)
- [Knowledge Base の Turbo IP コアのエラーッタ](#)

DSP IP コアの検証

アルテラは、IP コアのバージョンをリリースする前に総合的なリグレッション・テストを行い、品質と正確さを検証しています。アルテラは、カスタム・バリエーションの IP コアを作成して様々なパラメータ・オプションでの動作を試し、得られたシミュレーション・モデルをマスタ・シミュレーション・モデルの検証結果と併せて徹底的にシミュレートします。

Turbo IP コア・パフォーマンスとリソース使用率

表 1-3: パフォーマンスおよびリソース使用率

Arria V (5AGXFB3H4F35C5)、Cyclone V (5CGXFC7C7F23C8)、および Stratix V (5SGXEA7H3F35C3) デバイスとの Quartus Prime ソフトウェアを使用して Turbo IP コアの標準的な性能。

デバイス	パラメータ				ALM 数	メモリ		fMAX (MHz)
	Codec のタイプ	スタンダード	入力ビット	エンジン		M20K	M10K	
Arria V	エンコーダ	LTE			434	-	2	237
Cyclone V	エンコーダ	LTE			435	-	2	175
Stratix V	エンコーダ	LTE			430	2	-	344
Arria V	エンコーダ	UMTS			959	-	4	151
Cyclone V	エンコーダ	UMTS			961	-	4	103
Stratix V	エンコーダ	UMTS			954	4	-	245
Arria V	デコーダ	LTE	4	2	4,497	--	40	167
Cyclone V	デコーダ	LTE	4	2	4,505	--	40	121
Stratix V	デコーダ	LTE	4	2	4,138	27	-	251
Arria V	デコーダ	LTE	4	4	6,194	--	37	175
Cyclone V	デコーダ	LTE	4	4	6,221	--	37	132
Stratix V	デコーダ	LTE	4	4	5,774	21	-	273
Arria V	デコーダ	LTE	4	8	9,893	--	37	179
Cyclone V	デコーダ	LTE	4	8	9,881	--	37	130
Stratix V	デコーダ	LTE	4	8	9,049	21	-	253
Arria V	デコーダ	LTE	8	2	5,998	--	58	156
Cyclone V	デコーダ	LTE	8	2	6,001	--	58	122
Stratix V	デコーダ	LTE	8	2	5,370	39	-	251
Arria V	デコーダ	LTE	8	4	8,482	--	55	168
Cyclone V	デコーダ	LTE	8	4	8,520	--	55	124
Stratix V	デコーダ	LTE	8	4	7,658	30	--	256
Arria V	デコーダ	LTE	8	8	13,672	--	54	161
Cyclone V	デコーダ	LTE	8	8	13,690	--		117
Stratix V	デコーダ	LTE	8	8	12,246	30	--	250
Arria V	デコーダ	UMTS	4	2	3,935	--	81	133

デバイス	パラメータ				ALM 数	メモリ		fMAX (MHz)
	Codec のタイプ	スタンダード	入力ビット	エンジン		M20K	M10K	
Stratix V	デコーダ	UMTS	4	2	3,622	71	--	217
Arria V	デコーダ	UMTS	4	4	6,161	--	83	137
Cyclone V	デコーダ	UMTS	4	4	6,141	--	83	100
Stratix V	デコーダ	UMTS	4	4	5,661	73	--	215
Arria V	デコーダ	UMTS	8	2	5,394	--	91	124
Cyclone V	デコーダ	UMTS	8	2	5,390	--	91	93
Stratix V	デコーダ	UMTS	8	2	4,646	81	--	194
Arria V	デコーダ	UMTS	8	4	8,189	--	93	125
Cyclone V	デコーダ	UMTS	8	4	8,190	--	93	92
Stratix V	デコーダ	UMTS	8	4	7,381	78	--	188

ターボ・コードのライセンス・プログラム

自分自身と特定の他の当事者のための France Telecom は、Turbo Codes の技術をカバーする特定の知的財産権を主張し、およびこれらの権利をライセンスすることを決定するために、Turbo Codes Licensing Program と呼ばれるライセンス・プログラムに基づきます。この IP コアの供給は、France Telecom、TDF または GET が所有するすべての Turbo Codes でライセンスを提供せずまたは使用する権利を意味するものではありません。Turbo Codes Licensing Program について詳しくは、以下のアドレスに France Telecom に連絡してください。

France Telecom R&D

VAT/TURBOCODES

38, rue du Général Leclerc

92794 Issy Moulineaux

Cedex 9

France

2015.11.11

UG-TURBO



更新情報

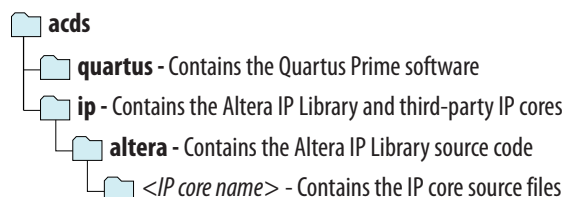


フィードバック

IP コアのライセンス

アルテラの IP ライブラリは、追加ライセンスを購入することなく、本番用の多くの有用な IP コア機能を提供します。いくつかのアルテラの MegaCore® IP ファンクションを使用すると、本番用の個別のライセンスを購入することを要求します。しかし、この OpenCore 機能®は、ソフトウェアのシミュレーションとコンパイルに任意のアルテラ IP コアを評価することができます。機能とパフォーマンスに満足している後、任意のアルテラ製品のライセンス番号を取得するためにセルフ・サービス・ライセンス・センターにアクセスしてください。

図 2-1: IP コアのインストール・パス



注意: Windows のデフォルトの IP のインストールディレクトリ： <drive>:\altera\<version number>; Linux のデフォルトの IP のインストールディレクトリ：<home directory> / altera/ <version number>.

OpenCore Plus IP 評価機能

アルテラの無償の OpenCore® Plus 機能を使用すると、購入前シミュレーションおよびハードウェアで、ライセンスの MegaCore IP コアを評価することができます。生産にデザインを取ることになった場合のみの MegaCore IP コアのライセンスを購入する必要があります。OpenCore Plus は、以下の評価をサポートしています。

- システム内でのライセンスされた IP コアの動作シミュレーション
- IP コアのサイズとスピードの迅速かつ容易な確認
- メガファンクションを含むデザインに対し、時間制限付きのデバイス・プログラミング・ファイルの生成
- ハードウェア上でのデバイスのプログラミングとデザインの検証

© 2016 Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Megacore, NIOS, Quartus and Stratix words and logos are trademarks of Intel Corporation in the US and/or other countries. Other marks and brands may be claimed as the property of others. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
登録済

ALTERA
now part of Intel

OpenCore Plus ハードウェア評価機能は、以下の 2 種類の動作モードでメガファンクションの実機評価をサポートします。

- Untethered—限定された時間内でライセンスを取得した IP を含むデザインを実行します。
- Tethered—より長い時間または無期限のライセンスを取得した IP を含むデザインを実行します。ボードとホスト・コンピュータ間に接続が必要です。

注意: デザインでの任意の IP コアのタイム・アウトのときの同時にの OpenCore Plus のタイムアウトを使用するすべての IP コア。

関連情報

- [アルテラのライセンス・サポート](#)
- [「Altera Software Installation and Licensing」マニュアル](#)

Turbo IP コアの OpenCore Plus のタイムアウト動作

最も限定的な評価時間に達すると、デバイス内のすべての IP コアが同時にタイム・アウトします。デザインが複数の IP コアを有している場合、他の IP コアのタイムアウト動作は、特定の IP コアのタイムアウト動作をマスクすることができます。

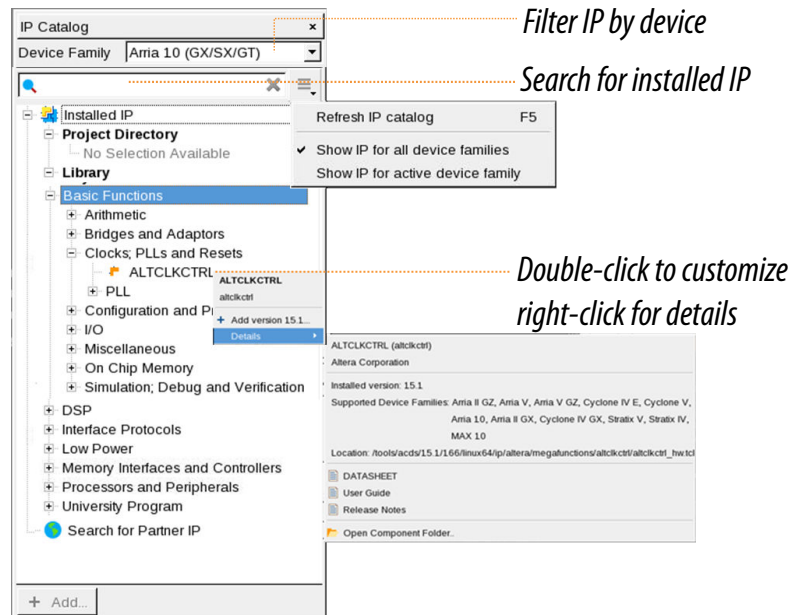
Untethered タイム・アウトは 1 時間、Tethered タイム・アウト値は無制限です。ハードウェア評価期限経過後にデザインは動作を停止します。Quartus Prime ソフトウェアはの OpenCore Plus 評価プログラムの使用を識別するために、プロジェクト・ディレクトリでの OpenCore Plus ファイル (.ocp) を使用しています。この機能をアクティブにした後、これらのファイルを削除しないでください。評価時間が経過すると、データ出力ポート RESET_N は Low になり、リセット状態に永続的に IP コアを保持します。

関連情報

[AN 320: OpenCore Plus Evaluation of Megafunctions](#)

IP カタログとパラメータ・エディタ

Quartus II の IP カタログ (Tools > IP Catalog) とパラメータ・エディタは、IP コアのカスタマイズや IP コアのプロジェクトへの統合を容易にします。IP カタログとパラメータ・エディタを使用して、カスタム IP のバリエーションを表すファイルを選択、カスタマイズ、および生成することができます。



IP カタログは、デザインで使用可能なインストール済みの IP コアが表示されます。パラメータエディタを起動し、IP の変動を表すファイルを生成するために、任意の IP コアをダブルクリックします。迅速に見つけ、IP コアを選択するには、次の機能を使用します。

- IP Catalog を **Show IP for active device family** または **Show IP for all device families** でフィルタします。開いているプロジェクトがない場合、IP Catalog の **Device Family** を選択します。
- 検索フィールドを使用し、IP Catalog 内にある完全な IP コアまたは部分的な IP コアの名称を検索します。
- IP Catalog 内で IP コアを右クリックして、サポートされるデバイスを表示し、IP コアのインストール・フォルダを開き、ドキュメントへのリンクを確認します。
- **Search for Partner IP** をクリックし、アルテラのウェブサイト上でパートナーの IP 情報へアクセスします。

パラメータ・エディタは、IP バリエーション名、オプションのポート、および出力ファイルの生成オプションを指定するように求められます。パラメータ・エディタは、プロジェクト内の IP コアを表すトップ・レベルの Qsys システム・ファイル ((.qsys)) または IP ファイル ((.qip))、を生成します。また、開いているプロジェクトなしで IP バリエーションをパラメータ化することができます。

IP Catalog は、Qsys の (View > IP Catalog) でも利用可能です。の IP Catalog では、専用のシステム・インタコネク、ビデオ、画像処理、および Quartus II IP Catalog には含まれないその他の

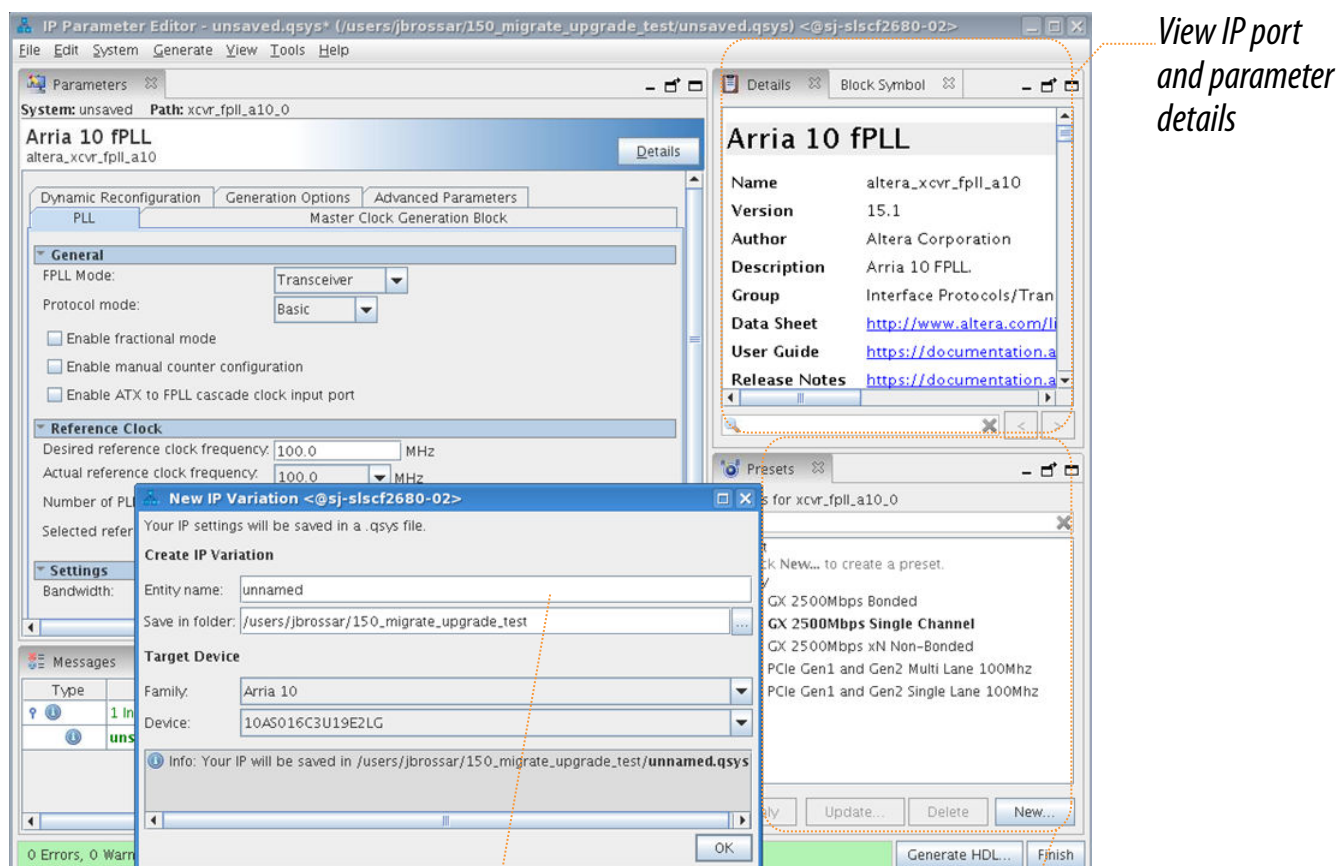
システムレベル IP が利用可能です。Qsys の IP Catalog の使用方法の詳細については、ハンドブックの *Creating a System with Qsys* を参照してください。

注意: Quartus II ソフトウェア・バージョン 14.0 以降、IP の選択とパラメータ化には MegaWizard™ Plug-In Manager に代わって IP Catalog (**Tools > IP Catalog**) と Parameter Editor が使用されます。アルテラ IP コアの検索およびパラメータ化を実行するには、IP Catalog と Parameter Editor を使用します。

IP コアの生成

パラメータ・エディタを使用すれば、カスタム IP バリエーションを簡単に設定することができます。パラメータ・エディタで IP コアのオプションやパラメータを指定するには、以下の手順を実行します。

図 2-2: IP パラメータ・エディタ

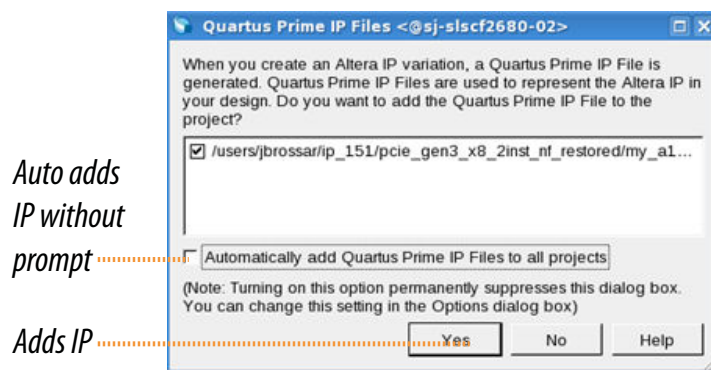


Specify your IP variation name and target device

Apply preset parameters for specific applications

1. IP カタログ (**Tools > IP Catalog**) で、カスタマイズする IP コアの名前を探し、ダブル・クリックします。パラメータ・エディタが表示されます。
2. カスタム IP バリエーションのトップレベルの名称を決定します。Parameter Editor は、`<your_ip>.qsys` という名称のファイルに IP バリエーションの設定を保存します。OK をクリックします。
3. パラメータ・エディタで、IP バリエーションに対してパラメータと 1 つあるいは複数のオプションを以下から選択し指定します。特定の IP コア・パラメータの詳細については、IP コアのユーザー・ガイドを参照してください。
 - 使用する IP コアにパラメータ値のプリセットが提供されている場合は、必要に応じてそれらを選択します。プリセットは、それぞれのアプリケーションの初期パラメータ値を指定します。
 - IP コアの機能、ポートの構成、およびデバイス固有の機能を定義するパラメータを指定します。
 - 他の EDA ツールで IP コア・ファイル进行处理するオプションを指定します。
4. **Generate HDL** をクリックして、**Generation** ダイアログ・ボックスを表示します。
5. 出力ファイルの生成オプションを指定し、**Generate** をクリックします。IP バリエーション・ファイルが仕様に応じて生成されます。
6. シミュレーション・テストベンチを生成するには、**Generate > Generate Testbench System** の順でクリックします。
7. テキスト・エディタにコピー・アンド・ペーストが可能な HDL インスタンス化のテンプレートを生成するには、**Generate > HDL Example** をクリックします。
8. **Finish** をクリックします。プロジェクトに IP の変動を表すファイルを追加するように求められた場合、**Yes** をクリックします。オプションで **Automatically add Quartus Prime IP Files to All Projects** をオンにします。いつでも IP ファイルを追加するには **Project > Add/Remove Files in Project** をクリックします。

図 2-3: プロジェクトへの IP のファイルを追加します



Arria 10 デバイス以降の場合、生成された .qsys ファイルには、IP および Qsys システムを有効するために、プロジェクトに追加する必要があります。前の Arria 10 デバイスに放出デバイスの場合、生成された .qip と .sip ファイルは、IP および Qsys システムのためにプロジェクトに追加する必要があります。

生成された .qsys ファイルには、IP および Qsys システムを表現するために、プロジェクトに追加する必要があります。

9. IP バリエーションの生成とインスタンス化の完了後は、適切にピンを割り当て、ポートを接続します。

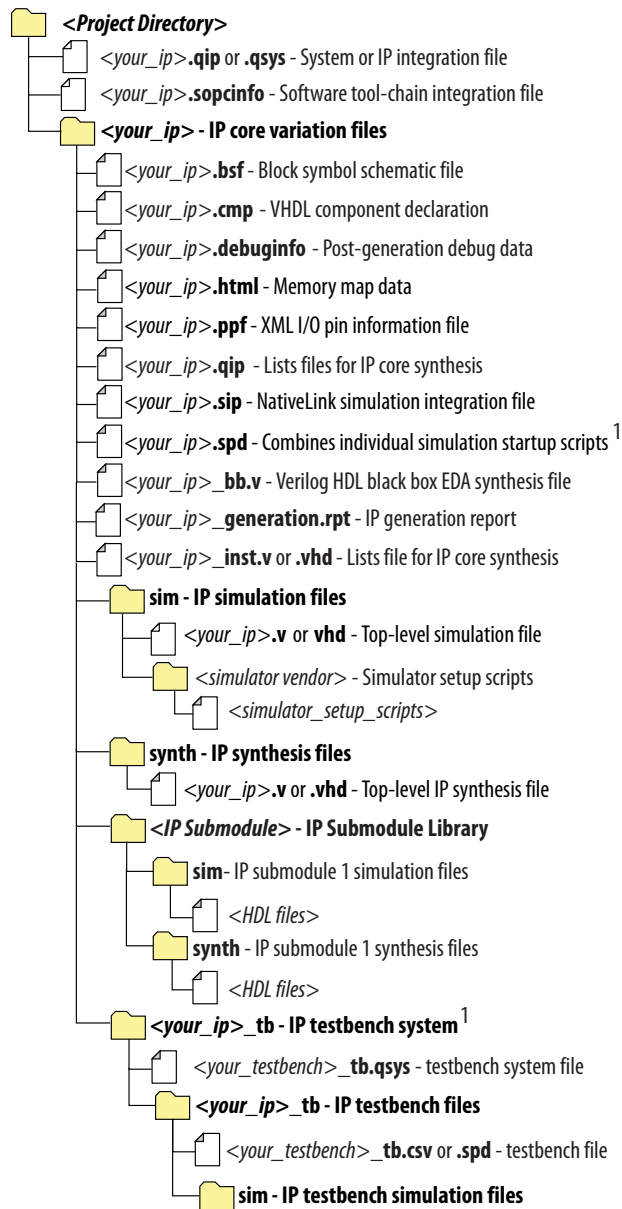
関連情報

- [IP User Guide Documentation](#)
- [Altera IP Release Notes](#)

アルテラ IP コア向けに生成されるファイル

ソフトウェアは、IP コアおよび Qsys システムのための次の出力ファイル構造を生成します。Arria 10 デバイス以降の場合、生成された .qsys ファイルには、IP および Qsys システムを有効するために、プロジェクトに追加する必要があります。前の Arria 10 デバイスに放出デバイスの場合、生成された .qip と .sip ファイルは、IP および Qsys システムを有効するために、プロジェクトに追加する必要があります。ソフトウェアは、IP コアとの Qsys システムのための次の出力ファイル構造を生成します。生成された .qsys ファイルには、IP および Qsys システムを表現するために、プロジェクトに追加する必要があります。

図 2-4: IP コアおよび Qsys システム 用に生成されたファイル



1. If supported and enabled for your IP core variation.

表 2-1: IP コアおよび Qsys のシミュレーション生成されたファイル

ファイル名	概要
<my_ip>.qsys	Qsys のシステムまたはトップ・レベルの IP バリエーション・ファイル。<my_ip>は IP 変化の名前です。Arria 10 および Stratix 10 デバイス・ファミリのための NativeLink を有効にするには、Quartus プロジェクトに.qsys ファイルを追加する必要があります。 Qsys システムあるいはトップレベルの IP バリエーション・ファイルです。<my_ip>の部分には、ユーザーが IP バリエーション向けに入力した名称が入ります。
<system>.sopcinfo	Qsys システムでの接続および IP コンポーネントの各パラメータが記述されています。IP コンポーネント向けソフトウェア・ドライバを開発する際に、この内容を解析することにより要件を取得できます。 Nios II ツール・チェーンのようなダウンストリームのツールがこのファイルを使用します。Nios II ツール・チェーン向けに生成される sopcinfo ファイルと system.h ファイルは、各スレーブへの、そのスレーブにアクセスする各マスタと相対するアドレス・マップの情報を含みます。それぞれのマスタが、特定のスレーブ・コンポーネントへアクセスするために異なるアドレス・マップを有することがあります。
<my_ip>.cmp	.cmp (VHDL Component Declaration) ファイルは、VHDL デザイン・ファイルで使用する、ローカル・ジェネリックおよびポート定義を含むテキスト・ファイルです。
<my_ip>.html	接続情報、マスタが接続されている各スレーブのそのマスタに対するアドレスを示すメモリ・マップ、およびパラメータ・アサインメントを含むレポートです。
<my_ip>_generation.rpt	IP または Qsys 生成のログ・ファイルであり、IP 生成時のメッセージのまとめです。
<my_ip>.debuginfo	生成後の情報を含みます。システム・コンソールおよび Bus Analyzer Toolkit に Qsys インタコネクタに関する情報を受け渡すために使用します。Bus Analyzer Toolkit は、このファイルを Qsys インタコネクタでのデバッグ・コンポーネントを識別するために使用します。
<my_ip>.qip	Quartus II ソフトウェアで IP コンポーネントを統合およびコンパイルするために必要な、その IP コンポーネントに関する情報を含みます。
<my_ip>.csv	IP コンポーネントのアップグレード・ステータスに関する情報を含みます。

ファイル名	概要
<my_ip>.bsf	Quartus II の .bdf (Block Diagram Files) で使用する、 .bsf (Block Symbol File) 表記の IP バリエーションです。
<my_ip>.spd	ip-make-simscript で、サポートされるシミュレーション向けシミュレーション・スクリプトを生成するために必要な入力ファイルです。 .spd ファイルは、シミュレーション向けに生成されたファイルのリスト、ならびにユーザーが初期化できるメモリの情報を含みます。
<my_ip>.ppf	.ppf (Pin Planner File) は、Pin Planner で使用する、IP コンポーネント向けのポートおよびノードの割り当てを格納しています。
<my_ip>_bb.v	_bb.v (Verilog black-box) ファイルは、ブラック・ボックスとして使用する空のモジュール宣言として使用できます。
<my_ip>.sip	IP コンポーネントの NativeLink シミュレーションに必要な情報が含まれています。Arria II、Arria V、Cyclone IV、Cyclone V、MAX 10、MAX II、MAX V、Stratix IV、および Stratix V デバイスのための NativeLink を有効にするには、Quartus プロジェクトに .sip ファイルを追加する必要があります。
<my_ip>_inst.v または _inst.vhd	HDL のテンプレート・インスタンス例です。IP バリエーションをインスタンス化するために、このファイルの内容を HDL ファイルにコピーして張り付けることができます。
<my_ip>.regmap	IP がレジスタ情報を含む場合に、 regmap ファイルを生成します。 regmap ファイルは、マスタおよびスレーブ・インタフェースのレジスタ・マップ情報を記述しています。このファイルは、システムに関するより詳細なレジスタ情報を提供することにより .sopcinfo ファイルを補完します。これにより、システム・コンソールでのレジスタ・ディスプレイ・ビューおよびユーザーによるカスタマイズ可能な統計が可能になります。
<my_ip>.svd	Qsys システムで HPS に接続されているペリフェラルのレジスタ・マップを HPS System Debug ツールで表示できるようにします。 合成時に、システム・コンソール・マスタに提供されるスレーブ・インタフェースの svd ファイルは、 .sof ファイルのデバッグ・セクションに格納されています。システム・コンソールはこのセクションを読み出し、これにより Qsys がレジスタ・マップ情報の照会をできるようになります。システム・スレーブに対しては、Qsys は名称ごとにレジスタにアクセスできます。
<my_ip>.v または <my_ip>.vhd	合成またはシミュレーション向けに各サブモジュールまたは子 IP コアをインスタンス化する HDL ファイルです。

ファイル名	概要
mentor/	シミュレーションの設定および動作のための ModelSim® スクリプト <code>msim_setup.tcl</code> を含みます。
aldec/	シミュレーションの設定および動作のために Riviera-PRO スクリプト <code>rivierapro_setup.tcl</code> を含みます。
/synopsys/vcs /synopsys/vcsmx	VCS® シミュレーションの設定および動作のためのシェル・スクリプト <code>vcs_setup.sh</code> を含みます。 VCS MX® シミュレーションの設定および動作のためのシェル・スクリプト <code>vcsmx_setup.sh</code> および <code>synopsys_sim.setup</code> ファイルを含みます。
/cadence	NCSIM シミュレーションの設定および動作のためのシェル・スクリプト <code>ncsim_setup.sh</code> および その他の設定ファイルを含みます。
/submodules	IP コア・サブモジュール向けの HDL ファイルを含みます。
<IP submodule>/	生成されたそれぞれの子 IP コア・ディレクトリに対して、Qsys は /synth および /sim サブ・ディレクトリを生成します。

他の EDA ツールでのアルテラ IP コアのシミュレーション

ソフトウェアは、サポートされる EDA シミュレータでのアルテラ IP コアの RTL の、またゲート・レベルでのデザイン・シミュレーションをサポートしています。シミュレーションには、シミュレータの動作環境の設定、シミュレーション・モデル・ライブラリのコンパイル、およびシミュレーションの実行が含まれます。

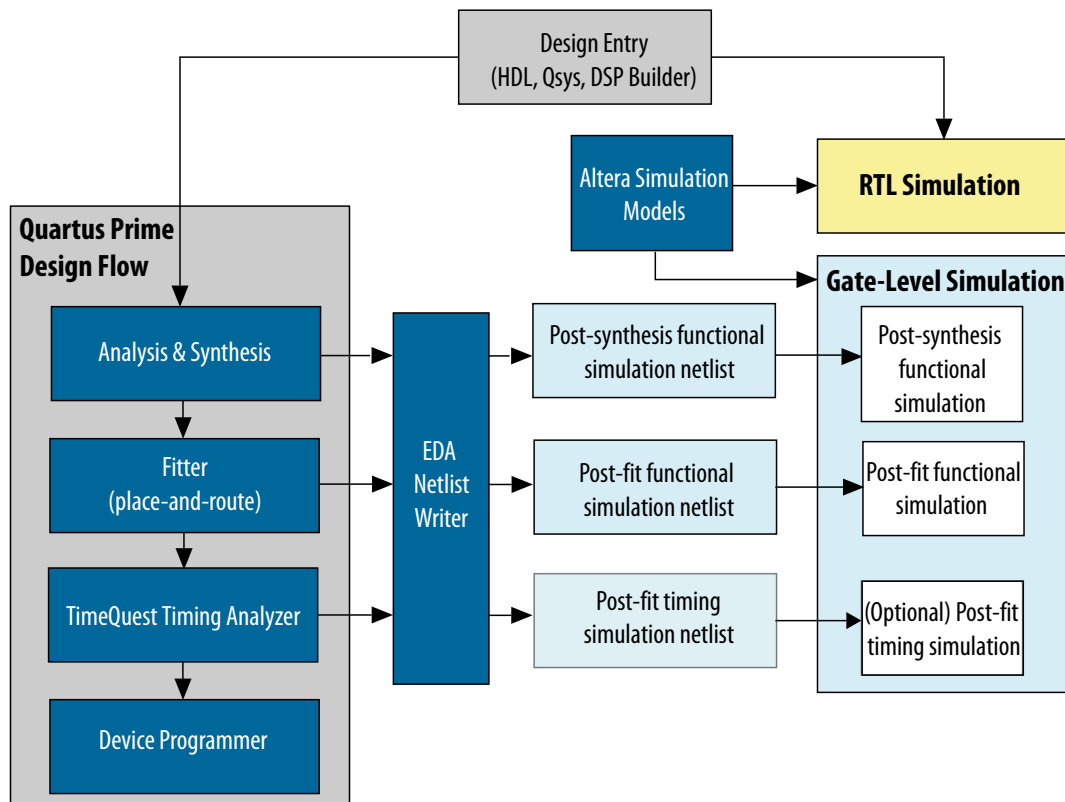
シミュレーションに、IP コアとともに生成された機能シミュレーション・モデルとテストベンチまたはデザイン例を使用することができます。機能シミュレーション・モデルとテストベンチのファイルは、プロジェクトのサブディレクトリに生成されます。テストベンチのコンパイルおよび動作のスクリプトもこのディレクトリに含められます。IP コアのシミュレーションに必要なモデルやライブラリの完全なリストについては、テストベンチとともに生成されたスクリプトを参照してください。

Quartus II の NativeLink 機能を使用して、シミュレーション・ファイルとスクリプトを自動的に生成することができます。NativeLink は、ソフトウェア内部から、選択されたシミュレータを起動します。デザインのすべてのアルテラの IP コアのための統一された、バージョンに依存しない IP シミュレーションスクリプトを生成するには、`ip-setup-simulation` のユーティリティを使用することができます。トップレベルのスクリプトに IP シミュレーション/スクリプトを組み込むことができます。

デザインのすべてのアルテラの IP コアのための統一された、バージョンに依存しない IP シミュレーション・スクリプトを生成するには、`ip-setup-simulation` のユーティリティを使用するこ

とができます。トップ・レベルのスキプトに IP シミュレーション・スキプトを組み込むことができます。

図 2-5: デザイン・フローのシミュレーション



注意: 現在のバージョンのソフトウェアでは、フィッティング後のタイミング・シミュレーションは Stratix IV および Cyclone IV デバイス向けにのみサポートされています。Pro Edition ソフトウェアは、NativeLink RTL シミュレーションをサポートしていません。アルテラの IP は、シミュレーションに特化した IP 機能シミュレーション・モデルや暗号化された RTL モデル、あるいはプレーン・テキストの RTL モデルを含む、幅広いシミュレーション・モデルをサポートしています。これらはすべてサイクル精度のモデルです。モデルは、業界標準の VHDL または Verilog HDL シミュレータを使用する、IP コア・インスタンスの高速な機能シミュレーションをサポートしています。一部のコアでは、プレーン・テキストの RTL モデルのみが生成され、そのモデルしかシミュレーションできません。シミュレーション・モデルはシミュレーションのみに使用し、合成やその他の目的のために使用しないでください。これらのモデルを合成に使用すると、機能しないデザインが作成されます。

注意: アルテラの IP は、シミュレーションに特化した IP 機能シミュレーション・モデルや暗号化された RTL モデル、あるいはプレーン・テキストの RTL モデルを含む、幅広いシミュレーション・モデルをサポートしています。これらはすべてサイクル精度のモデルです。モデルは、業界標準の VHDL または Verilog HDL シミュレータを使用する、IP コア・インスタンスの高速な機能シミュレーションをサポートしています。一部のコアでは、プレーン・

ン・テキストの RTL モデルのみが生成され、そのモデルしかシミュレーションできません。シミュレーション・モデルはシミュレーションのみに使用し、合成やその他の目的のために使用しないでください。これらのモデルを合成に使用すると、機能しないデザインが作成されます。

関連情報

[Simulating Altera Designs](#)

DSP Builder のデザイン・フロー

DSP Builder は、デザイナーがアルゴリズム開発の環境下で行った DSP デザインをハードウェアで実現するための支援を行い、デジタル信号処理 (DSP) のデザイン・サイクルを短縮します。

この IP コアは、DSP Builder をサポートしています。IP コアのバリエーションが含まれる DSP Builder のモデルを作成する場合、DSP Builder フローを使用します。デザインに手動でインスタンス化できる IP コアのバリエーションを作成する場合、IP カタログを使用します。

関連情報

[DSP Builder のハンドブックの MegaCore ファンクションの章の使用](#)

2015.11.11

UG-TURBO



更新情報



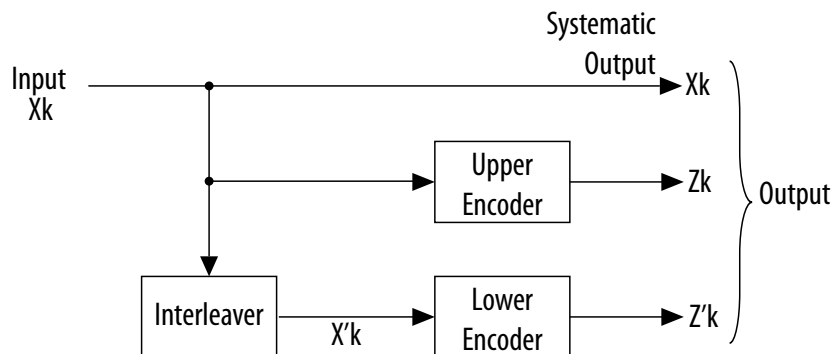
フィードバック

このトピックでは、IP コアのアーキテクチャ、インタフェース、および信号を説明しています。エンコーダまたはデコーダとして Turbo IP コアをパラメータ化することができます。

ターボ・エンコーダ

3GPP Turbo は並列連結された畳み込みコードを使用しています。情報シーケンスは畳み込みコードによってエンコードされ、そして情報シーケンスのインターリーブ・バージョンは別の畳み込みコードによってエンコードされます。ターボ・エンコーダは、2つの8状態の構成エンコーダとターボ・コードの内部インターリーバを使用して実装されます。

図 3-1: デコーダおよびエンコーダのブロック図



ターボ・コーダからの出力は次の通りです。

$X_0, Z_0, Z'_0, X_1, Z_1, Z'_1, \dots, X_{K-1}, Z_{K-1}, Z'_{K-1}$

ここで、

- ビット X_0, X_1, \dots, X_{K-1} は最初の8状態の構成符号器および内部インターリーバ (K はビット数である) の両方への入力です。
- ビット Z_0, Z_1, \dots, Z_{K-1} および $Z'_0, Z'_1, \dots, Z'_{K-1}$ は第一および第二の8状態の構成エンコーダからの出力です。
- (第8状態の構成エンコーダへの入力) 内部インターリーバからのビット出力は $X'_0, X'_1, \dots, X'_{K-1}$ です。

© 2016 Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Megacore, NIOS, Quartus and Stratix words and logos are trademarks of Intel Corporation in the US and/or other countries. Other marks and brands may be claimed as the property of others. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
登録済

ALTERA
now part of Intel

ターボ・エンコーダのデータ・フォーマット

サイズ K のブロックに必要な入力データの順序は次のとおりです。 $X_0, X_1, X_2, \dots, X_{K-1}$ 。出力データは 3 ビット幅です。

表 3-1: K サイズのブロックのためのターボ・エンコーダの出力データの順序

出力データ	source_data		
	2	1	0
0	Z'_0	Z_0	X_0
1	Z'_1	Z_1	X_1
...
$K-1$	Z'_{K-1}	Z_{K-1}	X_{K-1}
K	X_{K+1}	Z_K	X_K
$K+1$	Z_{K+2}	X_{K+2}	Z_{K+1}
$K+2$	X'_{K+1}	Z'_K	X'_K
$K+3$	Z'_{K+2}	X'_{K+2}	$I_{K=1}$

ターボ・エンコーダのレイテンシの計算

エンコーディング遅延 D はデータのブロック全体をエンコードするために消費されるクロック・サイクル数です。 K はブロックサイズである場合、 $D = K + 14$ になります。エンコーディング遅延は、負荷の遅延を含まれていないで、入力バッファに入力データをロードするためにブロック・サイズを K としてクロック・サイクルの同じ数が必要です。

例：

- $K = 6144$ のとき、 $D = 6144 + 14 = 6158$
- $K = 40$ のとき、 $D = 40 + 14 = 54$

レイテンシのエンコーディング（ブロックの全体をエンコードするエンコーダが要した時間）は、次の式で計算されます。

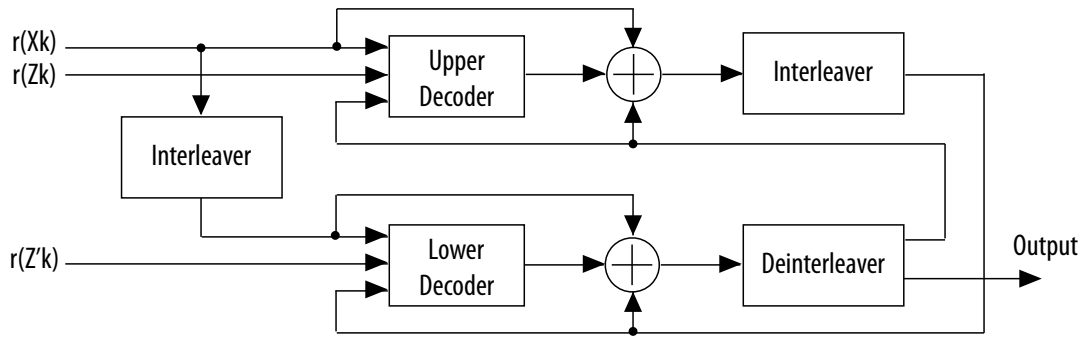
$$L = D / f_{\text{MAXbps}}$$

ここで、 f_{MAX} はシステムのクロック・スピードです。

ターボ・デコーダ

ターボ・デコーダは反復作業の 2 つソフト・イン・ソフト・アウト（SISO）デコーダで構成されます。第一（上部デコーダ）の出力は、ターボ・デコーダの反復を形成する第二に供給します。インターリーバとデインターリーバブロックはこのプロセスでデータの順序を変更します。

図 3-2: ターボ・デコーダのブロック図



ターボ・デコーダは MaxLogMAP 復号化アルゴリズムをサポートしています。このアルゴリズムは、より少ないロジック・リソースを使用し、LogMAP に対してわずかに減少した BER 性能を提供する、LogMAP の簡易バージョンです。

ターボ・デコーダのデータ・フォーマット

入力

表 3-2: K サイズのブロックのためのターボ・エンコーダ出力データの順序

出力データ	sink_data		
	ビット $N1 \sim 2$	N まで1から $2N$	ビット $N1 \sim 0$
0	Z'_0	Z_0	X_0
1	Z'_1	Z_1	X_1
...
$K-1$	Z'_{K-1}	Z_{K-1}	X_{K-1}
K	X_{K+1}	Z_K	X_K
$K+1$	Z_{K+2}	X_{K+2}	Z_{K+1}
$K+2$	X'_{K+1}	Z'_K	X'_K
$K+3$	Z'_{K+2}	X'_{K+2}	Z'_{K+1}

ターボ・デコーダは対数尤度のフォーマットになるようにすべてのデータが必要です。接続されたシステムは、次の式に従ってパリティ 1 およびパリティ 2 のビット・シーケンスを含むソフトの情報を提供する必要があります。

$$L(x) = \log[P(x=1)/(x=0)]$$

対数尤度の値は、受信したビットが 1 である確率の対数であり、0 であるビットの確率で割って、2 の補数として表されます。これは、2 の補数として表現されます。ゼロの値が 1 および 0 の値は等しい確率を示し、デパンクチャリングに使用すべきです。デコーダは数値のバランスを考慮して、2 の補数での最小値を使用していません。

表 3-3: 4 ビットマッピング入力値

RCLK[2048..4]	値
0111	1 の最も可能性
...	...
0001	1 の最低の可能性
0000	0 または 1 と等しい確率
1111	0 の最低の可能性
...	...
1001	0 の最も可能性
1000	未使用

出力

出力ビットの数は、1 ビットまたは 8 ビットであることができます。1 ビットの場合、順序は次のとおりです。 X_0 、 X_1 、 X_2 、...、 X_{K-1}

表 3-4: 8 ビット出力データ・オーダリング

出力順	source_data							
	7	6	5	4	3	2	1	0
1	X_7	X_6	X_5	X_4	X_3	X_2	X_1	X_0
2	X_{15}	X_{14}	X_{13}	X_{12}	X_{11}	X_{10}	X_9	X_8
...
$K/8$	X_{K-1}	X_{K-2}	X_{K-3}	X_{K-4}	X_{K-5}	X_{K-6}	X_{K-7}	X_{K-8}

CRC24A または CRC24B 早期終了

早期終了は、電力消費および全体的な待ち時間を低減し、大幅にスループットを増加させます。また、デコーダの BER のパフォーマンスを向上させることができます。

IP コアは、デコーダが生成する CRC チェックサムを毎繰り返し後にチェックします。ターボ・デコーディングは、すぐに CRC が成功するように停止します。ターボ・デコーディングは CRC が成功した場合、即座に停止します。利得は、受信したデータ・ブロックの信号対雑音比 (SNR)、ブロック・サイズ、および指定した反復の最大数に依存します。

デコーダのレイテンシの計算

復号遅延 D は、IP コアは、データのブロック全体を復号するために消費するクロックサイクル数です。 D は、ブロック・サイズ、実行する反復数、およびデコーダで使用可能なエンジンの数に依存します。

次の計算は早期終端が行われていないと仮定した最悪のレイテンシです。

以下の式のいずれかを使用して復号遅延 D を計算することができます。

- もし、 $K < 264$: $D = 26 + (2 \times f(K,N) + 14) \times 2 \times I$
- もし、 $K > 264$: $D = 26 + (f(K,N) + 46) \times 2 \times I$

ここでは、

- K は、ブロック・サイズである
- R はチェック・シンボル数である
- N は、デコーダで指定されたエンジンの数である
- K は N で割り切れる場合、 $f(K,N) = K/N$ ；または K は N で割り切れない場合、 $f(K,N) = K/8$ である
- $D = 26 + (6144/8 + 46) \times 2 \times 8 = 13,050$, if $K = 6144$, $N = 8$, $I = 8$.
- $D = 26 + (2 \times 40/8 + 14) \times 2 \times 8 = 410$, if $K = 40$, $N = 8$, $I = 8$.

デコーディング・レイテンシ（デコーダは、デコードされたデータにブロック全体をデコードするのにかかる時間は、出力の準備ができています）は、次式を使用して計算することができます。

$$L = D/f_{MAX}$$

ここで、 f_{MAX} はシステムのクロック・スピードです。

Turbo IP コアのパラメータ

表 3-5: パラメータ

パラメータ	範囲	説明
Codec type	エンコーダ/デコーダ	エンコーダまたはデコーダを選択します。
Standard	LTE や UMTS	LTE や UMTS を選択します。
Number of processors	2、4、8	デコーダが使用するエンジンの数を選択します。
Log-MAP Calculation	MaxLogMAP	デコードするアルゴリズムです。
Number of input bits	4, 5, 6, 7, 8	デコーダへの入力ビット数を選択します。
Number of output bits	8	デコーダからの出力ビット数です。

Turbo IP コアのインタフェースとシグナル

ターボ IP コアを含むデータパスをデザインするときに、ダウストリームのコンポーネントは常にデータを受信できることを知っている場合、バックプレッシャを必要としない場合があります。

す。Turbo IP コアの Avalon-ST インタフェースは、ゼロの `READY_LATENCY` 値を持っています。High で `source_ready` 信号を駆動することにより、そして `sink_ready` 信号を接続しないことにより、より高いクロック速度を達成することができます。

表 3-6: ターボ・エンコーダ・ファンクション

信号	入力/出力	説明
clk	入力	すべての内部レジスタをクロックするクロック信号です。
reset_n	入力	アクティブ Low のリセット信号。IP コアは、常にデータを受信する前にリセットする必要があります。メガファンクションがリセットされていない場合、ターボ・エンコーダがフィードバック信号により、予期せぬ結果を招くかもしれません。
sink_blk_size	入力	受信ブロック・サイズを指定します。
sink_data	入力	入力データです。
sink_eop	入力	受信パケットの終了をマークします。
sink_sop	入力	受信パケットの開始をマークします。
sink_valid	入力	<code>sink_data</code> でデータが有効であるときにアサートされます。 <code>sink_valid</code> ディアサートすると、 <code>sink_valid</code> 再確認するまで、IP コアは処理を停止します。
source_ready	入力	データを受け入れることができる場合、ダウンストリーム・モジュールによってアサートされます。
sink_error	入力	入力側の Avalon-ST プロトコル違反を示すエラー信号を出力します。 <code>sink_error</code> 上の任意の非ゼロ値は、ターボ・エンコーダが現在のデータ・ブロックを無視することになります。IP コアは、数サイクル後に <code>source_error</code> 出力ポートに受信した値を書き込みます。
sink_ready	出力	IP コアがデータを受け入れることができることを示します。
source_blk_size	出力	送受信ブロック・サイズを指定します。
source_data	出力	出力データです。
source_eop	出力	送受信パケットの終了をマークします。
source_error	出力	ソース側の Avalon - ST プロトコル違反を示すエラー信号： <ul style="list-style-type: none"> • 00: No error • 01: Missing start of packet • 10: Missing end of packet • 11: Unexpected end of packet 他のエラーは 11 にマークします。
source_sop	出力	送受信パケットの開始をマークします。

信号	入力/出力	説明
source_valid	出力	有効なデータが出力に利用可能であるときに、IP コアによってアサートされます。

表 3-7: ターボ・デコーダ・ファンクション

信号	入力/出力	説明
clk	入力	すべての内部レジスタをクロックするクロック信号です。
reset_n	入力	アクティブ Low のリセット信号。それはデータを受信する前には、必ず IP コアをリセットする必要があります。リセットされない場合、ターボ・エンコーダがフィードバック信号により、予期せぬ結果を招くかもしれません。
CRC_pass	出力	CRC が成功したかどうかを示します。 <ul style="list-style-type: none"> • 0: Fail • 1: Pass • LTE のみ。
CRC_type	出力	現在のデータブロックのために使用された CRC のタイプを示しています。 <ul style="list-style-type: none"> • 0: CRC24A • 1: CRC24B • LTE のみ。
sel_CRC24A	入力	現在のデータ・ブロックのために必要な CRC のタイプを指定します。 <ul style="list-style-type: none"> • 0: CRC24A • 1: CRC24B • LTE のみ。
sink_blk_size	入力	受信ブロック・サイズを指定します。
sink_data	入力	入力データです。
sink_eop	入力	受信パケットの終了をマークします。
sink_error	入力	入力側の Avalon-ST プロトコル違反を示すエラー信号を出力します。sink_error ポート上の任意の非ゼロ値は、現在のデータ・ブロックを無視するようにターボ・デコーダを引き起こします。IP コアは、それが数サイクル後に source_error 出力ポートに受信した値を書き込みます。
sink_max_iter	入力	半反復の最大数を指定します。
sink_ready	出力	IP コアがデータを受け入れることができることを示します。
sink_sop	入力	受信パケットの開始をマークします。

信号	入力/出力	説明
sink_valid	入力	sink_data でデータが有効であるときにアサートします。 sink_valid がアサートされていない場合、sink_valid 再確認するまで、処理が停止します。
source_blk_id	出力	送受信ブロック・サイズを指定します。
source_blk_size	出力	送受信ブロック・サイズを指定します。
source_data	出力	出力データです。
source_eop	出力	送受信パケットの終了をマークします。
source_error	出力	ソース側の Avalon - ST プロトコル違反を示すエラー信号： <ul style="list-style-type: none"> • 00：エラーなし • SOP の欠落 • EOP の欠落 • 予期しない EOP 他のエラーは 11 にマークします。
source_iter	出力	ターボ・デコーダは、現在のデータ・ブロックの処理を停止した後に半分の反復回数を示しています。
source_ready	入力	データを受け入れることができる場合、ダウンストリーム・モジュールによってアサートされます。
source_sop	出力	送受信パケットの開始をマークします。
source_valid	出力	出力への有効データが存在するときに FIR フィルタによりアサートされます。

Qsys Systems の信号

Qsys のシステムは、Avalon-ST データ・バスの一部として、すべての Turbo IP コア信号をインスタンス化します。

表 3-8: ターボ・エンコーダデータ入力

ビット	信号
RCLK[13..1]	sink_blk_size
0	sink_data

表 3-9: ターボ・エンコーダのデータ出力

ビット	信号
15:3	source_blk_size

ビット	信号
2:0	source_data

表 3-10: ターボ・デコーダのデータ入力

IW は、入力精度のビット数です。

ビット	信号
3..18	sel_crc24a (LTE のみ)
$3 \cdot IW + 17 : 3 \cdot IW + 13$	sink_max_iter
$3 \cdot IW + 12 : 3 \cdot IW$	sink_blk_size
$3 \cdot IW - 1 : 0$	sink_data

表 3-11: LTE ターボ・デコーダデータ出力

ビット	信号
27	CRC_Pass
26	CRC_type
25:21	source_iter
20:8	source_blk_size
7:0	source_data

表 3-12: UMTS ターボ・デコーダデータ出力

ビット	信号
RCLK[13..1]	source_blk_size
0	source_data

DSP IP コア内の Avalon-ST インタフェース

Avalon-ST インタフェースは、シンク・インタフェースの送信元インタフェースからのデータ転送のための柔軟な標準、およびモジュール式のプロトコルを定義します。

入力インタフェースは、Avalon-ST シンクで、出力インターフェースは、Avalon-ST 源です。Avalon-ST インタフェースは、複数のチャンネルを通してインターリーブ・パケットとパケット転送をサポートしています。

Avalon-ST インタフェース信号は、チャンネルやパケット境界の知識がなくても、単一のデータ・ストリームをサポートする従来のストリーミング・インタフェースを記述することができます。このようなインタフェースは、通常、データ、ready 信号および valid 信号が含まれています。また、Avalon-ST インタフェースは、複数のチャンネルにわたってインターリーブされたパケットでバーストとパケット転送のために、より複雑なプロトコルをサポートすることができます。Avalon-ST インタフェースは、本質的に複雑な制御ロジックを実装せずに効率的な達成を可能にするマルチチャンネル・デザイン、時間多重実装を同期させます。

Avalon-ST インタフェースは、シンクがデータの送信を停止するようにソースに信号を送ることができるフロー・コントロール・メカニズムである背圧をサポートしています。シンクは通常、FIFO バッファがいっぱいである場合、または、その出力で輻輳が発生しているときにデータの流れを止めるためにバックプレッシャーを使用します。

関連情報

Avalon Interface Specifications

パケット・フォーマット・エラーの処理

ターボ IP コアは、システム内のデータ・エラーを通信するために 2 つのエラー信号があります。

- `sink_error` は、アップ・フロントのエラー信号を受信するために 2 ビットの入力です。
- `source_error` はエラー状態 (前のブロックでターボ IP コアまたは他の場所のいずれかで捕捉されるエラー) があることを示すための 2 ビットの出力です。

IP コアは、データ・ブロックの入力中の `sink_error` からエラー・コードを受信した場合、IP コアは、現在のデータ・ブロックがいくつかのエラーがあることを前提としています。そして、データを廃棄します。エラー信号が Low にアサートされると、IP コアは、フレッシュ・スタート・オブ・パケット (`sink_sop=1` は、`sink_valid=1`) を期待し、それがフレッシュ・パケットを受信するまで、データ入力を無視します。

見当違いのスタート・オブ・パケット (`sink_sop`) またはエンド・オブ・パケット (`sink_eop`) エラーの場合は、IP コードは、エラーの種類に応じてエラー・コードを示します。

- 01: 欠落しているスタート・オブ・パケット
- 10: 欠落しているエンド・オブ・パケット
- 11: 予想外のスタート・オブ・パケットおよび予想外のエンド・オブ・パケット

LTE 規格ではデータ・ブロック・サイズをサポートしていない場合、IP コアは、値 11 のエラー信号を示し、パケットのフレッシュ・スタートになるまでデータ・ブロックの残りの部分を無視します。

入力と出力のデータ・ブロックとダブル・バッファリングの処理時間が長いので、IP コアは、エラーが発生すると、入力データにすぐに報告します。`source_error` 信号は、前のブロックの出力中の任意の時点で High にアサートされる可能性があります。IP コアがエラーを検出した場合、エラー・コードは、1 クロック・サイクルだけのために出現します。特定のデータ・ブロックに関連する複数のエラーがある場合、IP コアは、最初に検出されたエラーのエラー・コードが表示されます。`source_error` で検出されたエラーを報告するために、いくつかのクロック・サイクルを要します。

IP コアは、以下の場合ですぐにエラーから回復しない可能性があります。

- 検出されたエラーではエンド・オブ・パケットの境界に非常に近い場合 (例えば、欠落しているエンド・オブ・パケット、または予想外のスタート・オブ・パケットおよび予想外のエンド・オブ・パケット)
- ブロックが前のブロックに異なる CRC タイプとの誤ったブロックの後に続く場合

ただし、`source_error` は、すべての状況でのエラーを示しています。

ターボ・スループット

以下の等式を用いて、ウェイクアップ時間を求めることができます。

$$T = K \times f_{\text{MAX}} / D \text{ bps}$$

2015.11.11

UG-TURBO



更新情報



フィードバック

Turbo IP コアのユーザー・ガイドの改訂履歴。

日付	バージョン	変更内容
2015.11.11	15.1	<ul style="list-style-type: none"> 性能表の M20K および ALM のエントリを修正。 デコーダのブロック図を更新。 Arria 10 パフォーマンス・テーブル・エントリを削除。
2015.11.01	15.1	初版。

© 2016 Intel Corporation. All rights reserved. Intel, the Intel logo, Altera, Arria, Cyclone, Enpirion, MAX, Megacore, NIOS, Quartus and Stratix words and logos are trademarks of Intel Corporation in the US and/or other countries. Other marks and brands may be claimed as the property of others. Intel warrants performance of its FPGA and semiconductor products to current specifications in accordance with Intel's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Intel assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Intel. Intel customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

ISO
9001:2008
登録済