



オープン・プログラマブル・アクセラレーション・エンジンに向けたネットワーキング・インターフェイス

インテル®プログラマブル・アクセラレーション・カード (インテル® Arria® 10 GX FPGA 搭載版)

Updated for Intel® Acceleration Stack for Intel® Xeon® CPU with FPGAs: **1.2**

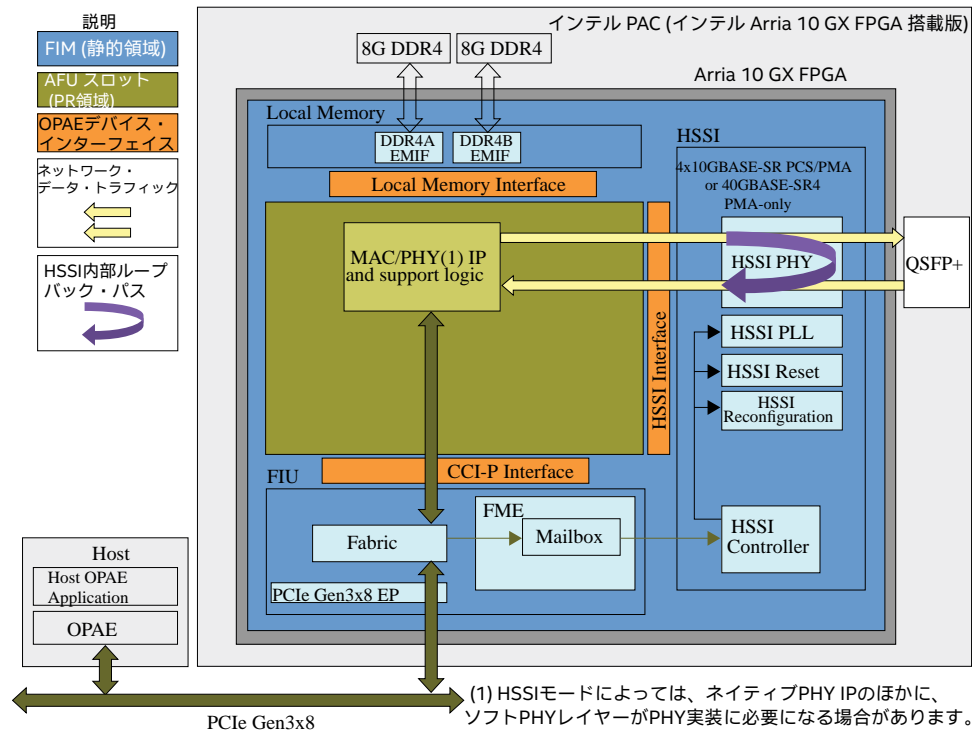
目次

1. 概要	3
1.1. このガイドの利用方法.....	4
2. AFU のデザイン	5
2.1. HSSI デバイス・インターフェイス.....	5
2.1.1. HSSI クロック.....	6
2.1.2. HSSI 統一データ・インターフェイス.....	7
2.1.3. HSSI PHY コントロールおよびステータス.....	9
2.1.4. HSSI PR 管理.....	9
2.1.5. HSSI のリセット・コントロールとステータス.....	10
2.1.6. 初期化.....	10
2.2. MAC と HSSI PHY の接続.....	11
2.2.1. 4x10GBASE-SR モード.....	11
2.2.2. 40GBASE-SR4 モード.....	14
2.3. ネットワーク・ポート機能の検証.....	17
3. OPAE サポート	18
3.1. OPAE ドライバーの HSSI sysfs ファイル.....	18
3.1.1. board_id sysfs.....	18
3.1.2. eeprom sysfs.....	19
3.1.3. config sysfs.....	19
3.1.4. equalizer_tune sysfs.....	19
3.2. ネットワーク・ポートの管理.....	24
3.2.1. ネットワーク・ポートのコンフィグレーション.....	25
3.2.2. インテル PAC (インテル Arria 10 GX FPGA 搭載版)からのベース MAC アドレスの 読み取り.....	25
3.2.3. HSSI PHY トランシーバーの PMA 設定の変更.....	25
4. オープン・プログラマブル・アクセラレーション・エンジンに向けたネットワーキング・インターフェイス: イン テル PAC (インテル Arria 10 GX FPGA 搭載版) の改訂履歴	27

1. 概要

インテル®プログラマブル・アクセラレーション・カード (インテル Arria® 10 GX FPGA 搭載版) は、4x10GBASE-SR または 40GBASE-SR4 動作にコンフィグレーション可能な QSFP+ ネットワーク・ポートを備えています。このガイドは、アクセラレーター・ファンクショナル・ユニット (AFU) デザインにおけるネットワーク・ポート・フィーチャーのデザイン方法および、オープン・プログラマブル・アクセラレーション・エンジン (OPAE) ドライバーとツールを使用しホストからそれをプロビジョニングする方法について説明します。次の図は、インテル PAC (インテル Arria 10 GX FPGA 搭載版) OPAE のハードウェア・プラットフォームの概要を表しています。

図 -1: インテル PAC (インテル Arria 10 GX FPGA 搭載版) の概要



ホスト側またはクライアント側のネットワーク・パケットは、コア・キャッシュ・インターフェイス (CCI-P) を介して AFU に実装されている MAC/PHY IP に渡されます。MAC/PHY IP は、FPGA インターフェイス・マネージャー (FIM) の高速シリアル・インターフェイス (HSSI) PHY に、hssi デバイス・インターフェイスを介して接続しています。ホストは OPAE カーネルドライバーを使用して HSSI PHY をコンフィグレーションし、MAC アドレス情報を取得します。OPAE カーネルドライバーは、FPGA 管理エンジン (FME) メールボックスを介して FIM の HSSI コントローラーと通信し、コンフィグレーションおよび情報 (MAC アドレスを含む) の要求を開始します。

FMEに関する詳細は、*Intel Acceleration Stack Quick Start Guide for Intel Programmable Acceleration Card with Intel Arria 10 GX FPGA* を参照ください。

関連情報

[Intel Acceleration Stack Quick Start Guide for Intel Programmable Acceleration Card with Intel Arria 10 GX FPGA](#)

1.1. このガイドの利用方法

インテル PAC (インテル Arria 10 GX FPGA 搭載版) のネットワーク・ポート・フィーチャーを利用できるようにする主要なコンポーネントは 2 つあります。まずホストは、ハードウェア・プラットフォームの FIM にある HSSI PHY を、サポートされているモード (4x10GBASE-SR もしくは 40GBASE-SR4) のいずれかに向けてコンフィグレーションする必要があります。次にホストは、ネットワーク・ポート・フィーチャーをサポートするアクセラレーター機能 (AF) をロードする必要があります。

AFU のデザイン の章は、ネットワーク・ポート・フィーチャーを有効にするための AFU デザインにおける要件を説明します。このセクションでは、AFU デザインに実装する必要があるネットワーク MAC および PHY コンポーネントと、それらを hssi デバイス・インターフェイスを介して FIM の HSSI PHY に接続する方法を説明しています。このセクションはまた、ハードウェアでのネットワーク・ポート接続に向けた AFU の実装を検証するためのガイダンスも提供しています。

OPAE のサポート の章は、OPAE ドライバーとツールを使用するホストからのネットワーク・ポート・フィーチャーのプロビジョニングについて説明します。これには、目的の動作モードに向けての HSSI PHY のコンフィグレーション、ネットワーク対応 AF のロード、インテル PAC (インテル Arria 10 GX FPGA 搭載版) からの情報取得 (MAC アドレスなど) に関する内容が含まれています。

関連情報

- [AFU のデザイン](#) (5 ページ)
- [OPAE サポート](#) (18 ページ)

2. AFU のデザイン

インテル PAC (インテル Arria 10 GX FPGA 搭載版) でネットワーク・ポート・フィーチャーを有効にするには、次の表にある MAC および PHY IP ブロックを AFU に実装する必要があります。

表 1. 必要な MAC および PHY IP ブロック

ネットワーク・ポートのモード	AFU で必要な IP ブロック	HSSI PHY モード
4x10GBASE-SR	AFU でサポートされるチャネル (最大 4) ごとに 1 つの 10 GbE MAC	4x10GBASE-SR PCS/PMA
40GBASE-SR4	1 つの 40 GbE MAC 1 つの 40 GbE フィジカル・コーディング・サブレイヤー (PCS) PHY	40GBASE-SR4 PMA-only

AFU はまた、上記のネットワーク IP ブロックのほかに、次のサポート・インフラストラクチャーを実装する必要があります。

- ホストまたはローカルメモリー、AFU ワークロード・ストリーム、およびネットワーク・ポート間でデータを移動するために必要なクライアント側のデータ・インターフェイスと DMA
- MAC/PHY コントロールおよびステータスレジスター (CSR)、ネットワーク統計、および同様の情報へのホストアクセスのための MMIO アクセス (cci-p デバイス・インターフェイスを介して)

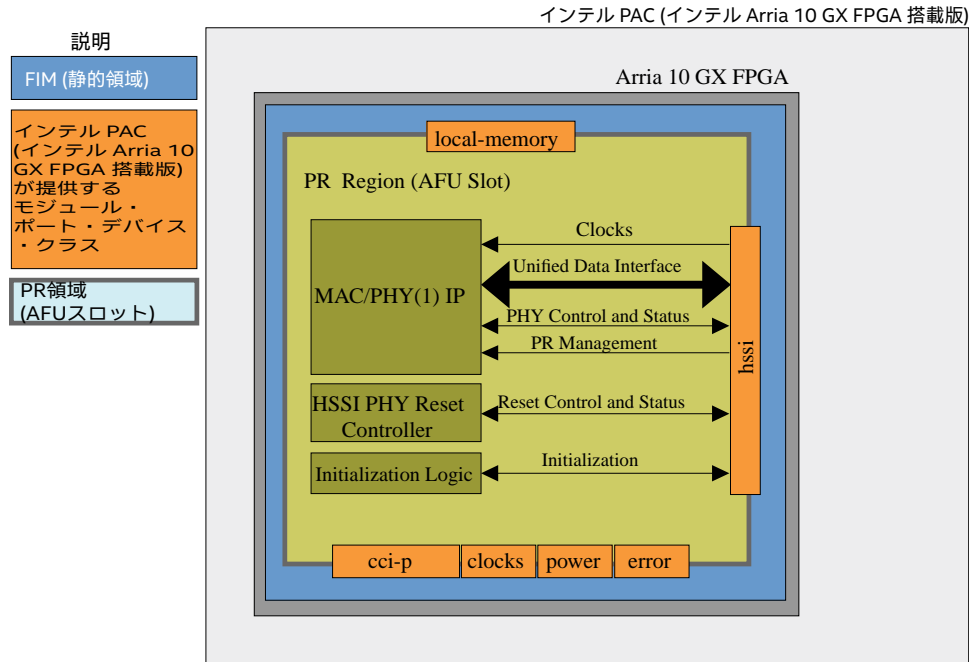
FIM は、cci-p および hssi デバイス・インターフェイスを介し、クライアントおよび PHY インターフェイスにクロックリソースを提供します。

このセクションではそのほかにも、hssi デバイス・インターフェイスについて、および hssi インターフェイスを使用し AFU に実装されている MAC および PHY IP を HSSI PHY に接続する方法について説明します。

2.1. HSSI デバイス・インターフェイス

AFU は、hssi:raw_pr デバイス・インターフェイスを使用し、インテル PAC (インテル Arria 10 GX FPGA 搭載版) のネットワーク・ポートと接続します。次の上位レベル・インターフェイス・ブロック図に概要を表します。

図 -2: MAC/PHY IP と hssi インターフェイスの接続の概要



(1) HSSIモードによっては、ネイティブPHY IPのほかに、ソフトPHYレイヤーがPHY実装に必要な場合があります。

統一データ・インターフェイスは、ネットワーク・ポートを MAC/PHY IP に接続します。これは、インテル FPGA IP、サードパーティーの IP、またはご自身の独自の IP になります。統一データ・インターフェイスは、コンフィグレーションされた HSSI PHY モードに基づき特定の信号機能にマッピングされる物理ポートの固定セットで構成されます。hssi:raw_pr インターフェイスはまた、同期のためのクロックおよび、HSSI PHY 管理のための信号サポートを提供します。

AFU は、hssi:raw_pr インターフェイスによって提供されるリセット・コントロールおよびステータス信号を使用し、HSSI PHY のリセットロジックを実装する必要があります。詳細は、*HSSI のリセット・コントロールとステータス*の章を参照ください。

pr_hssi_if.vh SystemVerilog*ヘッダーは、hssi:raw_pr インターフェイスを定義します。また、OPAE SDK 内の インテル PAC (インテル Arria 10 GX FPGA 搭載版) ハードウェア・プラットフォーム・データベース・ライブラリーにあります。

```
$OPAE_PLATFORM_ROOT/hw/lib/build/platform/pr_hssi_if.vh
```

以降の章では、hssi:raw_pr インターフェイスに含まれるポートの詳細を説明します。

関連情報

[HSSI のリセット・コントロールとステータス \(10 ページ\)](#)

2.1.1.1. HSSI クロック

hssi インターフェイスのクロックは、MAC/PHY IP と HSSI PHY 間の統一データ・インターフェイスを同期します。



表 2. HSSI クロック

hssi ポートの記載されている信号方向は、FIM から見たものです。

hssi ポート名	幅	方向	4x10GBASE-R モードの説明	40GBASE-SR4 モードの説明
f2a_tx_clk	1	出力	HSSI PHY のクロック生成ブロック (CGB) tx_pma_div_clkout クロック出力から派生する 156.25 MHz クロックです。MAC から HSSI PHY への送信データと制御はすべて、f2a_tx_clk に同期しています。	HSSI PHY の CGB tx_pma_div_clkout クロック出力から派生する 312.5 MHz のクロックです。MAC/PHY から HSSI PHY への送信データと制御はすべて、f2a_tx_clk に同期しています。
f2a_tx_clkx2	1	出力	HSSI PHY の CGB tx_pma_div_clkout クロック出力から派生する 312.5 MHz のクロックで、f2a_tx_clk に位相アライメントされています。	PHY の CGB tx_pma_div_clkout クロック出力から派生する 312.5 MHz のクロックで、f2a_tx_clk に位相アライメントされています。
f2a_tx_locked	1	出力	f2a_tx_clk および f2a_tx_clkx2 のロックステータスです。	f2a_tx_clk および f2a_tx_clkx2 のロックステータスです。
f2a_rx_clk_ln0	1	出力	HSSI PHY のトランスミッターおよび受信 CDR PLL クロック入力ファレンスから派生する 156.25 MHz のクロックです。HSSI PHY から MAC への受信データと制御はすべて、f2a_rx_clk_ln0 に同期しています。	HSSI PHY のレーン 0 の受信 CDR から派生する 312.5 MHz のクロックです。HSSI PHY から MAC/PHY への受信データと制御はすべて、f2a_rx_clk_ln0 に同期しています。
f2a_rx_clkx2_ln0	1	出力	HSSI PHY のトランスミッターおよび受信 CDR PLL クロック入力ファレンスから派生する 312.5 MHz のクロックで、f2a_rx_clk_ln0 に位相アライメントされています。	HSSI PHY のレーン 0 の受信 CDR から派生する 312.5 MHz のクロックで、f2a_rx_clk_ln0 に相違アライメントされています。
f2a_rx_locked_ln0	1	出力	f2a_rx_clk_ln0 および f2a_rx_clkx2_ln0 のロックステータスです。	f2a_rx_clk_ln0 および f2a_rx_clkx2_ln0 のロックステータスです。
f2a_rx_clk_ln4	1	出力	予約済み	予約済み
f2a_rx_locked_ln4	1	出力	予約済み	予約済み

2.1.2. HSSI 統一データ・インターフェイス

HSSI 統一データ・インターフェイスは、エンハンスド PCS を備える Arria 10 FPGA トランシーバー・ネイティブ PHY IP に準拠しています。これは、コンフィグレーションされた HSSI PHY モードに基づき特定の信号動作にマッピングされる送信および受信用の汎用パラレルデータとエンコーディング制御インターフェイスで構成されます。統一データ・インターフェイスには、HSSI PHY とのデータの受け渡しを管理するフロー制御ポートも含まれます。

次の表は、hssi:raw_pr 統一データ・インターフェイス信号とエンハンスド PCS を備える Arria 10 FPGA トランシーバー・ネイティブ PHY IP の信号セットの相互参照を示しています。これらの信号の詳細に関しては、次の表で示されている [インテル Arria 10 トランシーバー PHY ユーザーガイド](#) の各内容を参照ください。

表 3. HSSI 統一データ・インターフェイス

hssi ポート名	幅	方向	クロックドメイン	ネイティブ PHY IP ポート名	インテル Arria 10 トランシーバー PHY ユーザーガイドの関連する内容
送信および受信データとエンコーディング制御ポート					
a2f_tx_parallel_data	(4*128)	入力	f2a_tx_clk	tx_parallel_data	エンハンスト PCS ポート内、「エンハンスト TX PCS のパラレルデータ、コントロール、クロック」の表
a2f_tx_control	(4*18)	入力	f2a_tx_clk	tx_control	エンハンスト PCS ポート内、「エンハンスト TX PCS のパラレルデータ、コントロール、クロック」の表
f2a_rx_parallel_data	(4*128)	出力	f2a_rx_clk_ln0	rx_parallel_data	エンハンスト PCS ポート内、「エンハンスト RX PCS のパラレルデータ、コントロール、クロック」の表
f2a_rx_control	(4*20)	出力	f2a_rx_clk_ln0	rx_control	エンハンスト PCS ポート内、「エンハンスト RX PCS のパラレルデータ、コントロール、クロック」の表
フロー制御ポート					
f2a_tx_enh_fifo_full	4	出力	f2a_tx_clk	tx_enh_fifo_full	エンハンスト PCS ポート内、「エンハンスト PCS TX FIFO」の表
f2a_tx_enh_fifo_pfull	4	出力	f2a_tx_clk	tx_enh_fifo_pfull	エンハンスト PCS ポート内、「エンハンスト PCS TX FIFO」の表
f2a_tx_enh_fifo_empty	4	出力	f2a_tx_clk	tx_enh_fifo_empty	エンハンスト PCS ポート内、「エンハンスト PCS TX FIFO」の表
f2a_tx_enh_fifo_pempty	4	出力	f2a_tx_clk	tx_enh_fifo_pempty	エンハンスト PCS ポート内、「エンハンスト PCS TX FIFO」の表
a2f_tx_enh_data_valid	4	入力	f2a_tx_clk	tx_enh_data_valid	エンハンスト PCS ポート内、「エンハンスト PCS TX FIFO」の表
f2a_rx_enh_fifo_full	4	出力	f2a_rx_clk_ln0	rx_enh_fifo_full	エンハンスト PCS ポート内、「エンハンスト PCS RX FIFO」の表
f2a_rx_enh_fifo_pfull	4	出力	f2a_rx_clk_ln0	rx_enh_fifo_pfull	エンハンスト PCS ポート内、「エンハンスト PCS RX FIFO」の表
f2a_rx_enh_fifo_empty	4	出力	f2a_rx_clk_ln0	rx_enh_fifo_empty	エンハンスト PCS ポート内、「エンハンスト PCS RX FIFO」の表
f2a_rx_enh_fifo_pempty	4	出力	f2a_rx_clk_ln0	rx_enh_fifo_pempty	エンハンスト PCS ポート内、「エンハンスト PCS RX FIFO」の表
f2a_rx_enh_data_valid	4	出力	f2a_rx_clk_ln0	rx_enh_data_valid	エンハンスト PCS ポート内、「エンハンスト PCS RX FIFO」の表
a2f_rx_enh_fifo_rd_en	4	入力	f2a_rx_clk_ln0	rx_enh_fifo_rd_en	エンハンスト PCS ポート内、「エンハンスト PCS RX FIFO」の表

関連情報

[インテル Arria 10 トランシーバー PHY ユーザーガイド](#)



2.1.3. HSSI PHY コントロールおよびステータス

hssi インターフェイス上のこのポートセットは、HSSI PHY 受信フィジカル・メディア・アタッチメント (PMA) クロック・データ・リカバリー (CDR) ロック・シーケンス制御、PCS ステータス、およびトランシーバー・ループバック制御を提供します。信号動作は、エンハンスト PCS を備える Arria 10 FPGA トランシーバー・ネイティブ PHY IP に準拠しています。次の表は、ネイティブ PHY ポート名と hssi ポート名を相互参照しています。

表 4. HSSI PHY コントロールおよびステータスポート

これらの信号についての詳細は、次の表で参照されている [インテル Arria 10 トランシーバー PHY ユーザーガイド](#) の各内容を確認ください。

hssi ポート名	幅	方向	クロックドメイン	ネイティブ PHY IP ポート名	インテル Arria 10 トランシーバー PHY ユーザーガイドの関連する内容
a2f_rx_serialpbken	4	入力	Async	rx_serialpbken	PMA ポート内、「TX PMA ポート」の表
a2f_rx_set_locktoref	4	入力	Async	rx_set_locktoref	<ul style="list-style-type: none"> PMA ポート内、「RX PMA ポート」の表 トランシーバー・チャンネルのリセット
f2a_rx_is_lockedtoref	4	出力	Async	rx_is_lockedtoref	<ul style="list-style-type: none"> PMA ポート内、「RX PMA ポート」の表 トランシーバー・チャンネルのリセット
a2f_rx_set_locktodata	4	入力	Async	rx_set_locktodata	<ul style="list-style-type: none"> PMA ポート内、「RX PMA ポート」の表 トランシーバー・チャンネルのリセット
f2a_rx_enh_blk_lock	4	出力	f2a_rx_clk_ln0	rx_enh_blk_lock	エンハンスト PCS ポート内、「ブロック・シンクロナイザー」の表
f2a_rx_enh_highber	4	出力	f2a_rx_clk_ln0	rx_enh_highber	エンハンスト PCS ポート内、「10GBASE-R BER チェッカー」の表

関連情報

[インテル Arria 10 トランシーバー PHY ユーザーガイド](#)

2.1.4. HSSI PR 管理

f2a_prmgmt_ctrl_clk ポートは、100 MHz のフリーランニングのクロックソースです。MAC/PHY IP および関連する AFU ロジックは、このクロックを低速ロジックに使用することができます。f2a_prmgmt_ram_ena ポートは、HSSI PHY から AFU の PCS PHY IP へのリセットソースとして使用されます。

PR 管理バス上のそのほかのポートは、インテル AFU デザイン例において内部使用するためのものです。

表 5. HSSI PR 管理ポートの特性

hssi ポート名	幅	方向	クロックドメイン	説明
f2a_prmgmt_ctrl_clk	1	出力		オプションの低速クロックソース
a2f_prmgmt_fatal_err	1	入力	f2a_prmgmt_ctrl_clk	出力は切断了ままにし、入力は Low に駆動します。
a2f_prmgmt_dout	32	入力	f2a_prmgmt_ctrl_clk	
f2a_prmgmt_cmd	16	出力	f2a_prmgmt_ctrl_clk	

continued...



hssi ポート名	幅	方向	クロックドメイン	説明
f2a_prmgmt_addr	16	出力	f2a_prmgmt_ctrl_clk	
f2a_prmgmt_din	32	出力	f2a_prmgmt_ctrl_clk	
f2a_prmgmt_freeze	1	出力	f2a_prmgmt_ctrl_clk	
f2a_prmgmt_arst	1	出力	Async	
f2a_prmgmt_ram_ena	1	出力	Async	
				HSSI PHY からの MAC 層のリセット

2.1.5. HSSI のリセット・コントロールとステータス

リセット・コントロールとステータスポートは、エンハンスド PCS を備えるネイティブ PHY IP が定義する信号動作に準拠しています。次の表は、hssi ポート名とネイティブ PHY IP ポート名を相互参照しています。

表 6. HSSI のリセット・コントロールとステータスポートの特性

これらの信号についての詳細は、次の表で参照されている *インテル Arria 10 トランシーバー PHY ユーザーガイド* の各内容を確認ください。

hssi ポート名	幅	方向	クロックドメイン	ネイティブ PHY IP ポート名	インテル Arria 10 トランシーバー PHY ユーザーガイドの関連する内容
a2f_tx_analogreset	4	入力	Async	tx_analogreset	<ul style="list-style-type: none"> PMA ポート内、「リセットポート」の表 トランシーバー・チャンネルのリセット
a2f_tx_digitalreset	4	入力	Async	tx_digitalreset	<ul style="list-style-type: none"> PMA ポート内、「リセットポート」の表 トランシーバー・チャンネルのリセット
a2f_rx_analogreset	4	入力	Async	rx_analogreset	<ul style="list-style-type: none"> PMA ポート内、「リセットポート」の表 トランシーバー・チャンネルのリセット
a2f_rx_digitalreset	4	入力	Async	rx_digitalreset	<ul style="list-style-type: none"> PMA ポート内、「リセットポート」の表 トランシーバー・チャンネルのリセット
f2a_tx_cal_busy	1	出力	Async	tx_cal_busy	<ul style="list-style-type: none"> PMA ポート内、「キャリブレーション・ステータス・ポート」の表 トランシーバー・チャンネルのリセット
f2a_tx_pll_locked	1	出力	Async	pll_locked	トランシーバー・チャンネルのリセット
f2a_rx_cal_busy	1	出力	Async	rx_cal_busy	<ul style="list-style-type: none"> PMA ポート内、「キャリブレーション・ステータス・ポート」の表 トランシーバー・チャンネルのリセット
f2a_rx_is_lockedtoday	4	出力	Async	rx_is_lockedtoday	<ul style="list-style-type: none"> PMA ポート内、「RX PMA ポート」の表 トランシーバー・チャンネルのリセット

関連情報

[インテル Arria 10 トランシーバー PHY ユーザーガイド](#)

2.1.6. 初期化

オプションで初期化ハンドシェイク制御を使用し、AFU の MAC/PHY IP と HSSI PHY モードの完了までの準備の順序付けを行うことができます。



表 7. 初期化ハンドシェイク制御ポート

hssi ポート名	幅	方向	クロックドメイン	説明
a2f_init_start	1	入力	Async	AFU の準備が整っていることを示す信号 (オプション)
f2a_init_done	1	出力	Async	選択したモードに対する HSSI PHY の初期化が完了したことを示す信号 (オプション)

2.2. MAC と HSSI PHY の接続

OPAE SDK には、MAC および PHY IP を hssi インターフェイスに接続する方法を示す次の 2 つのサンプル AFU が含まれています。

表 8. サンプル AFU と関連ドキュメント

ネットワーク・ポートのモード	ドキュメント	サンプル AFU の位置
4x10GBASE-SR	10Gbps Ethernet Accelerator Functional Unit (AFU) Design Example User Guide	\$OPAE_PLATFORM_ROOT/hw/samples/eth_e2e_e10
40GBASE-SR4	40Gbps Ethernet Accelerator Functional Unit (AFU) Design Example User Guide	\$OPAE_PLATFORM_ROOT/hw/samples/eth_e2e_e40

MAC と PHY IP を hssi インターフェイスに接続するためのガイダンスとして、この章の内容とこれらのサンプル AFU を使用してください。

以降の章には、Verilog*-2001 インデックス付き部分選択を使用してバス上の接続を定義する接続図が疑似 RTL コードで表されています。

例

```
logic port_name[15:0]; //All hssi port vectors are little endian.
assign port_name[8 +:8] = {8{1'b0}};
```

上記例では、16 ビットベクトル port_name の上位 8 ビット ([15:8]) にすべて 0 を割り当てます。

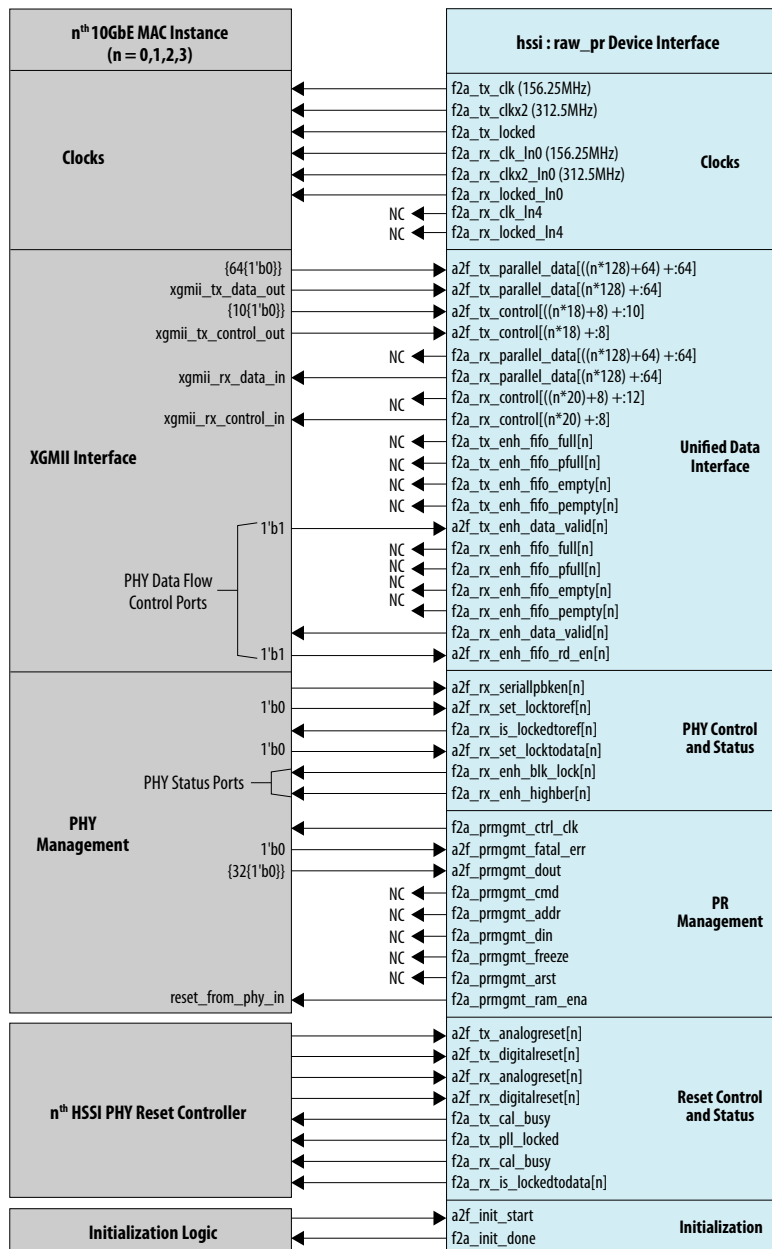
関連情報

- [10Gbps Ethernet Accelerator Functional Unit \(AFU\) Design Example User Guide](#)
- [40Gbps Ethernet Accelerator Functional Unit \(AFU\) Design Example User Guide](#)

2.2.1. 4x10GBASE-SR モード

4x10GBASE-SR モードでは、MAC と HSSI PHY 間のインターフェイスは XGMII にマッピングされます。次の図および以降の章は、hssi インターフェイスを介して 10GbE MAC IP を HSSI PHY に接続する方法を説明しています。

図 -3: 4x10GBASE-SR モードにおける HSSI PHY との接続



2.2.1.1. 4x10GBASE-SR モードにおけるクロック

hssi インターフェイスは、クロックとロック・ステータス・フラグのセットを提供し、10GbE MAC IP をサポートします。このインターフェイスは、156.25 Mhz と 312.5 MHz のクロックソースを送信および受信データパスの両方に提供します。MAC と HSSI PHY 間の XGMII インターフェイスは、送信と受信において、f2a_tx_clk および f2a_rx_clk_ln0 にそれぞれ同期しています。HSSI PHY の fPLL からの 312.5 MHz クロックソースとロックステータス出力は、MAC および関連する AFU ロジックが必要に応じて使用することができます。



2.2.1.2. 4x10GBASE-SR モードにおける統一データ・インターフェイス

10 GbE の各チャネルの XGMII データ・インターフェイスは、統一データ・インターフェイスの送信および受信データポートの 128 ビットセグメントにわたりストライプ化されます。64 ビットの XGMII データは、128 ビットセグメントの下位 64 ビットにマッピングされます。送信データバスセグメントの上位 64 ビットは、静的に Low に駆動する必要があります。受信データバスセグメントの上位 64 ビットは未接続のままにしてください。

10 GbE の各チャネルの XGMII データ制御インターフェイスは、統一データ・インターフェイスの送信および受信データ制御ポートの 18 ビットセグメントにわたりストライプ化されます。制御の 8 ビットは、18 ビットセグメントの下位 8 ビットにマッピングされます。最下位 XGMII データ・バイト・レーンの制御ビット (xgmii_tx_data_out[7:0] など) は、統一データ・インターフェイスの制御ポートの最下位ビットにマッピングされます (例えば、a2f_tx_parallel_control[0] は xgmii_tx_control_out[0] に対応します)。ここで、連続する制御ビットは、統一データ・インターフェイスの制御ポートの同じビット・インデックスに同様にマッピングされます。送信データ・コントロール・セグメントの上位 10 ビットは、静的に Low に駆動する必要があります。受信データ・コントロール・セグメントの上位 10 ビットは未接続のままにしてください。

HSSI PHY FIFO フロー制御ポートは、4x10GBASE-SR モードにおいて使用されません。a2f_tx_enh_data_valid ポートおよび a2f_rx_enh_fifo_rd_en ポートを静的に High に駆動します。

2.2.1.3. 4x10GBASE-SR モードにおける PHY コントロールとステータス

a2f_rx_set_locktoref および a2f_rx_set_locktodata を静的に Low に駆動し、HSSI PHY 受信 PMA CDR を自動ロックモードにします。これらのポートのステータス出力は、MAC および関連する AFU ロジックにおいてオプションで使用可能です。

2.2.1.4. 4x10GBASE-SR モードでの PR 管理

f2a_prmgmt_ctrl_clk クロック出力は、100 MHz のフリーランニングのクロックソースで、MAC および関連する AFU ロジックが、さまざまな低速ロジックにオプションで使用することができます。MAC および関連する AFU ロジックは、オプションで f2a_prmgmt_ram_ena 出力をリセットとして使用できます。

PR 管理バス上のそのほかのポートは、インテルの AFU デザイン例において内部使用するためのものです。a2f_prmgmt_fatal_err および a2f_prmgmt_dout を静的に Low に駆動します。複数チャネルの実装においては、AFU 実装の上位レベルロジックの中心点から駆動します。

2.2.1.5. 4x10GBASE-SR モードにおけるリセット・コントロールとステータス

インテル Arria 10 トランシーバー PHY ユーザーガイドの [トランシーバー・チャンネルのリセット](#) の章で、Quartus Prime プロ・エディションに含まれているインテル・トランシーバー PHY リセット・コントローラー IP もしくはご自身のカスタム・リセット・コントローラーを使用し、HSSI PHY のシリアル・トランシーバー・ブロックに対してリセットを適切に順序付けるための詳細を確認してください。4x10GBASE-SR モードの章にある [4x10GBASE-SR モードにおける HSSI PHY との接続](#) の図は、各チャネルそれぞれに独立したリセット・コントローラーを使用していますが、すべてのチャネル・トランシーバーに単一の中央リセット・コントローラーを実装することも可能です。インテル・トランシーバー PHY リセット・コントローラー IP は、単一もしくは複数のチャネル使用に向けてコンフィギュレーションすることができます。

関連情報

- [4x10GBASE-SR モード \(11 ページ\)](#)
「4x10GBASE-SR モードにおける HSSI PHY との接続」の図
- [インテル Arria 10 トランシーバー PHY ユーザーガイド](#)
- [トランシーバー・チャンネルのリセット](#)
インテル Arria 10 トランシーバー PHY ユーザーガイドのトランシーバー・チャンネルのリセットの章

2.2.1.6. 4x10GBASE-SR モードでの初期化

MAC および関連する AFU ロジックは、AFU と HSSI PHY 間においてハンドシェイク初期化信号をオプションで使用することができます。ハンドシェイク制御を使用しない場合は、静的に a2f_init_start を High に駆動します。

2.2.1.7. 未使用の 10 GbE チャンネル

4x10GBASE-SR HSSI PHY モードは、1 から 4 つの 10 GbE チャンネルをサポートします。4 つのチャンネルを実装しない AFU においては未使用のチャンネルを終端する必要があります。次の表に記されている hssi 入力ポートを、示されているレベルまで静的に駆動してください。

表 9. 未使用 10 GbE チャンネルの終端

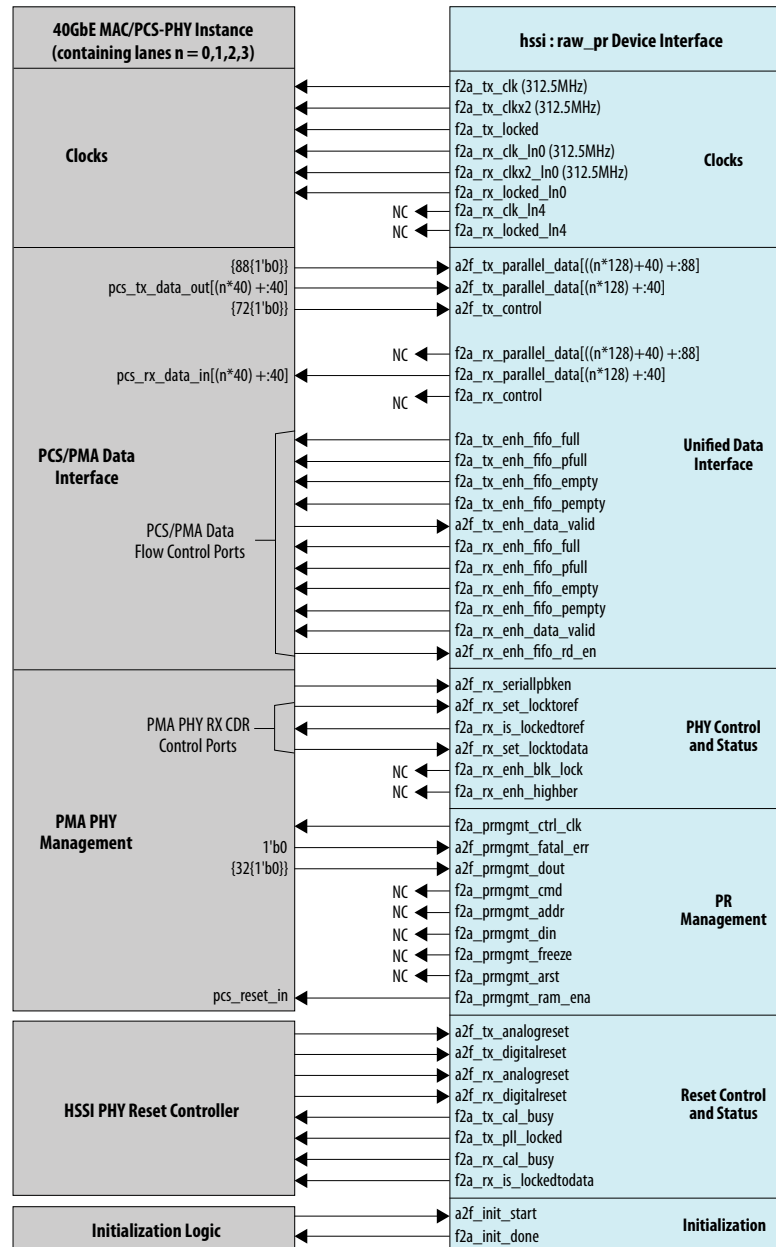
未使用チャンネル「n」の hssi ポート名 (n = 0,1,2,3)	ポート終端値
a2f_tx_analogreset[n]	1'b1
a2f_tx_digitalreset[n]	1'b1
a2f_rx_analogreset[n]	1'b1
a2f_rx_digitalreset[n]	1'b1
a2f_rx_serialpbken[n]	1'b1
a2f_rx_set_locktodata[n]	1'b0
a2f_rx_set_locktoref[n]	1'b0
a2f_tx_enh_data_valid[n]	1'b0
a2f_rx_enh_fifo_rd_en[n]	1'b0
a2f_tx_parallel_data[(n*128) +:128]	{128{1'b0}}
a2f_tx_control[(n*18) +:18]	{18{1'b0}}

2.2.2. 40GBASE-SR4 モード

40GBASE-SR4 モードにおいて AFU は、40GbE MAC と 40GBASE-SR4 PMA-only モードでコンフィグレーションされた HSSI PHY の間に、40GbE PCS 層を実装する必要があります。AFU に実装された 40GbE PCS と HSSI PMA PHY 間のインターフェイスは、フロー制御を備える 40 ビットの送信および受信インターフェイスです。次の図および以降の章では、hssi インターフェイスを介して 40GbE MAC/PCS-PHY IP を HSSI PMA PHY に接続する方法を説明します。



図 -4: 40GBASE-SR4 モードにおける HSSI PHY との接続



2.2.2.1. 40GBASE-SR4 モードでのクロック

hssi インターフェイスは、40GbE MAC/PCS IP をサポートするためのクロックおよびロック・ステータス・フラグのセットを提供します。このインターフェイスは、312.5 MHz のクロックソースを送信および受信データパスの両方に提供します。MAC/PHY と HSSI PHY 間の 40 ビットのインターフェイスは、送信と受信において f2a_tx_clk および f2a_rx_clk_ln0 にそれぞれ同期しています。HSSI PHY の fPLL からのロックステータス出力は、MAC および関連する AFU ロジックが必要に応じて使用



することができます。312.5 MHz クロックソースの追加セット (f2a_tx_clkx2、f2a_rx_clkx2_ln0 など) は位相アライメントされたレプリケーションであり、通常は MAC/PHY および関連する AFU ロジックでは必要ありません。

2.2.2.2. 40GBASE-SR4 モードにおける統一データ・インターフェイス

40GbE PCS PHY データ・インターフェイスの各レーンは、統一データ・インターフェイスの送信および受信データポートの 128 ビット・セグメントにわたりストライプ化されます。40 ビットの各 PCS PHY データレーンは、128 ビットセグメントの下位 40 ビットにマッピングされます。送信データパスセグメントの上位 88 ビットは、静的に Low に駆動する必要があります。受信データパスセグメントの上位 88 ビットは未接続のままにしてください。

統一データ・インターフェイスの送信および受信制御ポートは、40GBASE-SR4 モードにおいて使用されません。a2f_tx_control ポートを静的に Low に駆動し、f2a_rx_control を未接続のままにします。

フロー制御は、40GBASE-SR4 モードにおいて 40GbE PCS と HSSI PHY PMA 層の間で使用されます。フロー制御信号に関する詳細は、*HSSI 統一データ・インターフェイス*の章を参照ください。

関連情報

[HSSI 統一データ・インターフェイス \(7 ページ\)](#)

2.2.2.3. 40GBASE-SR4 モードにおける PHY コントロールとステータス

a2f_rx_set_locktoref および a2f_rx_set_locktodata を積極的に駆動し、f2a_rx_is_lockedtoref をモニターすることで、*HSSI 統一データ・インターフェイス*の章の内容に基づき HSSI PHY 受信 PMA CDR ロック・シーケンスを制御します。f2a_rx_enh_blk_lock ポートおよび f2a_rx_enh_highber ポートは、40GBASE-SR4 モードにおいて使用されません。切断したままにします。

関連情報

[HSSI 統一データ・インターフェイス \(7 ページ\)](#)

2.2.2.4. 40GBASE-SR4 モードでの PR 管理

f2a_prmgmt_ctrl_clk クロック出力は、100 MHz のフリーランニングのクロックソースであり、MAC/PHY および関連する AFU ロジックがさまざまな低速ロジックに対してオプションで使用できるものです。40GbE PCS 層は、f2a_prmgmt_ram_ena 出力をリセットソースとして使用する必要があります。

PR 管理バス上のそのほかのポートは、インテル AFU のデザイン例で内部使用するためのものです。a2f_prmgmt_fatal_err および a2f_prmgmt_dout を静的に Low に駆動してください。

2.2.2.5. 40GBASE-SR4 モードにおけるリセット・コントロールとステータス

インテル *Arria 10* トランシーバー PHY ユーザーガイドの *トランシーバー・チャンネルのリセット*の章で、Quartus Prime プロ・エディションに含まれるインテル・トランシーバー PHY リセット・コントローラー IP もしくはご自身のカスタム・リセット・コントローラーを使用し、HSSI PHY のシリアル・トランシーバー・ブロックに対してリセットを適切に順序付けるための詳細を確認ください。上記の図は単一のコントローラーをすべてのトランシーバー・レーンに使用しています。インテル・トランシーバー PHY リセット・コントローラー IP は、単一もしくは複数レーンの使用に向けてコンフィギュレーション可能です。



関連情報

トランシーバー・チャンネルのリセット

インテル Arria 10 トランシーバー PHY ユーザーガイドのトランシーバー・チャンネルのリセットの章

2.2.2.6. 40GBASE-SR4 モードでの初期化

MAC/PCS および関連する AFU ロジックは、AFU および HSSI PHY 間においてハンドシェイク初期化信号をオプションで使用することができます。初期化ハンドシェイク制御を使用しない場合は、`a2f_init_start` を静的に High に駆動します。

2.3. ネットワーク・ポート機能の検証

OPAE SDK は、AFU シミュレーション環境 (ASE) でのネットワーク・ポートの機能性の検証をサポートしていません。

インテルでは、独立したテストハーネスを開発し、以下のいずれかで MAC とネットワーク・ポートの機能性を検証することを推奨しています。

- インテル FPGA MAC/PHY IP
- サードパーティー IP
- 独自の IP

10 GbE もしくは 40 GbE のサンプル AFU デザインを、テストハーネスの開始点として使用できます。

サンプル AFU デザインは、AFU に実装されているパケット生成およびモニタリング・ブロックを使用し、ネットワーク・ポートのループバック検証を進めます。サンプルにはまた、API を備える OPAE テスト・アプリケーションが含まれており、ホストでのテストおよび結果のリードバックを制御します。

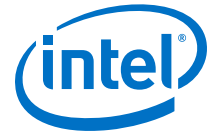
次のドキュメントは、`hssi` との MAC/PHY 接続をテストする独立したネットワーク・ポートに向けてサンプル AFU デザインをテンプレートとして使用するためのガイダンスを提供します。

- *40Gbps Ethernet Accelerator Functional Unit (AFU) Design Example User Guide*
- *10Gbps Ethernet Accelerator Functional Unit (AFU) Design Example User Guide*

ユーザーガイドには、OPAE SDK のサンプル AFU ソースコードへのリンクが提供されています。

関連情報

- [10Gbps Ethernet Accelerator Functional Unit \(AFU\) Design Example User Guide](#)
- [40Gbps Ethernet Accelerator Functional Unit \(AFU\) Design Example User Guide](#)



3. OPAE サポート

OPAE SDK には、インテル PAC (インテル Arria 10 GX FPGA 搭載版) のネットワーク・ポート・フィーチャーに対する次のサポートが含まれています。

- OPAE カーネルドライバの sysfs ファイルは、ネットワーク・ポート・フィーチャーのコンフィグレーションおよび、インテル PAC (インテル Arria 10 GX FPGA 搭載版) 上の関連情報へのホストからのアクセスを可能にします。
 - インテル PAC (インテル Arria 10 GX FPGA 搭載版) の 128 ビット UUID
 - ベース MAC アドレス
 - HSSI PHY モードのコンフィグレーション
 - HSSI PHY PMA のアナログ設定
- 10 GbE および 40 GbE のサンプル AFU デザイン

3.1. OPAE ドライバの HSSI sysfs ファイル

OPAE は以下の sysfs 階層で、列挙されるシステム内の各インテル PAC (インテル Arria 10 GX FPGA 搭載版) の FME に関連付けられたドライバの sysfs ファイルを介し、ホストでの HSSI 管理をサポートします。

```
/sys/class/fpga/intel-fpga-dev.<i>/intel-fpga-fme.<j>/intel-pac-hssi.<m>.auto/hssi_mgmt/
```

- intel-fpga-dev.<i> のインデックス i は、列挙される FPGA コンテナデバイスすべてに連続する番号を付けます。インテル PAC (インテル Arria 10 GX FPGA 搭載版) のハードウェア・プラットフォームにおいて、各 FPGA コンテナデバイスは、システムにインストールされているインテル PAC (インテル Arria 10 GX FPGA 搭載版) に対応します。
- intel-fpga-fme.<j> のインデックス j は、システム内の列挙された FME すべてに連続する番号を付けます。
- intel-pac-hssi.<m>.auto のインデックス m は、システム内の列挙された HSSI コントローラーすべてに連続する番号を付けます。

3.1.1. board_id sysfs

```
.../hssi_mgmt/board_id
```

board_id sysfs は読み取り専用であり、インテル PAC (インテル Arria 10 GX FPGA 搭載版) に関連付けられた 128 ビットの UUID を含みます。これはボードレベルの UUID で、ロードされる AF UUID に依存しません。このファイルの形式は、バイナリーの 128 ビット UUID です。



3.1.2. eeprom sysfs

```
.../hssi_mgmt/eeprom
```

eeprom sysfs は読み取り専用であり、次の表に示すように、LF 文字 (行送り、新行) で区切られている ASCII にエンコードされたフィールドが含まれています。

表 10. EEPROM sysfs フィールド

フィールドの説明	形式 (ASCII)
ベース MAC アドレス	MAC=<hh>:<hh>:<hh>:<hh>:<hh>:<hh>\n
ボードのシリアル番号	SN=<dddddd>\n
ボード情報	PC=A10SA4-0U-B115X2E2Q-22-H501U0R-6\n
ボードのリビジョン	REV=<d>.<d>.<d>.<d>.<d>\n

- 山括弧 (<>) で囲まれた値は、各 インテル PAC (インテル Arria 10 GX FPGA 搭載版) に一意のものであります。
- 山括弧で囲まれた h は、一意の 16 進数を表します。
- d の値は、一意の 10 進数を表します。

3.1.3. config sysfs

```
.../hssi_mgmt/config
```

config sysfs は、特権をもつプロセス (ルートアクセス) からの書き込み専用です。次の表に示すおりに適切な文字列値を config sysfs に書き込み、HSSI PHY モードをコンフィグレーションします。

表 11. HSSI PHY モードに対する config sysfs の値

HSSI PHY モード	config sysfs の書き込み文字列値
4x10GBASE-SR	"10"
40GBASE-SR4	"40"

3.1.4. equalizer_tune sysfs

```
.../hssi_mgmt/equalizer_tune
```

equalizer_tune sysfs は、すべてのプロセスから読み取り可能であり、特権をもつプロセス (ルートアクセス) から書き込み可能です。これは、LF 文字 (行送り、新行) で区切られている ASCII にエンコードされたフィールドのリストとしてフォーマットされます。リストの各フィールドは、特定の HSSI PHY トランシーバー・レーンに対する特定のトランシーバー・アナログ PMA 設定を含みます。レーンは 4 つあり、それぞれのレーンには 8 つのアナログ PMA 設定があります。リストの各フィールドの形式は次のとおりです。

```
<hssi-phy-transceiver-lane-index>:<analog-pma-setting-index>=<analog-pma-setting>\n
```

hssi-phy-transceiver-lane-index サブフィールドは、HSSI PHY トランシーバー・レーンの番号を次の表のように指定します。

表 12. HSSI PHY トランシーバー・レーンのインデックス・サブフィールド

ASCII にエンコードされた文字列値のサポートされる範囲	説明
"0"	HSSI PHY トランシーバー・レーン 0
"1"	HSSI PHY トランシーバー・レーン 1
"2"	HSSI PHY トランシーバー・レーン 2
"3"	HSSI PHY トランシーバー・レーン 3

analog-pma-setting-index サブフィールドは、次の表に示されるようにトランシーバー・アナログ PMA 設置または一連の設定を、hssi-phy-transceiver-lane-index サブフィールドで示される HSSI PHY レーンに指定します。

表 13. HSSI PHY トランシーバー・アナログ PMA 設定のインデックス・サブフィールド

ASCII にエンコードされた文字列値のサポートされる範囲	説明	インテル Arria 10 トランシーバー・PHY ユーザーガイドの関連する内容
"0"	Receiver High Gain Mode Equalizer AC Gain Control (CTLE ACGAIN)	XCVR_A10_RX_ADP_CTLLE_ACGAIN_4S 内の「使用可能なオプション」の表
"1"	Receiver Variable Gain Amplifier Voltage Swing Select (VGA)	XCVR_A10_RX_ADP_VGA_SEL 内の「使用可能なオプション」の表
"2"	Receiver High Gain Mode Equalizer DC Gain Control (CTLE DCGAIN)	XCVR_A10_RX_EQ_DC_GAIN_TRIM 内の「使用可能なオプション」の表
"3"	Transmitter Pre-Emphasis First Post-Tap Magnitude	XCVR_A10_TX_PRE_EMP_SWITCHING_CTRL_1_ST_POST_TAP 内の「使用可能なオプション」の表
"4"	Transmitter Pre-Emphasis Second Post-Tap Magnitude	XCVR_A10_TX_PRE_EMP_SWITCHING_CTRL_2_ND_POST_TAP 内の「使用可能なオプション」の表
"5"	Transmitter Pre-Emphasis First Pre-Tap Magnitude	XCVR_A10_TX_PRE_EMP_SWITCHING_CTRL_P_RE_TAP_1T 内の「使用可能なオプション」の表
"6"	Transmitter Pre-Emphasis Second Pre-Tap Magnitude	XCVR_A10_TX_PRE_EMP_SWITCHING_CTRL_P_RE_TAP_2T 内の「使用可能なオプション」の表
"7"	Transmitter Output Swing Level	XCVR_A10_TX_VOD_OUTPUT_SWING_CTRL 内の「使用可能なオプション」の表

analog-pma-setting サブフィールドで指定される ASCII にエンコードされた文字列値は、hssi-phy-transceiver-lane-index:analog-pma-setting-index サブフィールドで示されるレーン上の HSSI PHY トランシーバー・アナログ PMA 設定のエンコードされた値に対応します。

equalizer_tune sysfs は、analog-pma-setting サブフィールドのアナログ PMA 設定値のエンコーディングを読み取りコンフィグレーションします。それらの設定値のエンコーディングに関する説明は、続く *Encodings* の章を参照ください。

関連情報

- [レシーバーの CTLE AC ゲイン sysfs のエンコーディング \(21 ページ\)](#)
- [レシーバーの VGA sysfs のエンコーディング \(21 ページ\)](#)
- [レシーバーの CTLE DC ゲイン sysfs のエンコーディング \(21 ページ\)](#)
- [トランスミッター・プリエンファシスの最初のポストタップのエンコーディング \(22 ページ\)](#)



- トランスミッター・プリエンファシスの 2 番目のポストタップのエンコーディング (22 ページ)
- トランスミッター・プリエンファシスの最初のプリタップのエンコーディング (23 ページ)
- トランスミッター・プリエンファシスの 2 番目のプリタップのエンコーディング (23 ページ)
- トランスミッター VOD のエンコーディング (24 ページ)

3.1.4.1. レシーバーの CTLE AC ゲイン sysfs のエンコーディング

```
analog-pma-setting-index = "0"
```

HSSI PHY レシーバーの CTLE AC ゲインは、XCVR_A10_RX_ADP_CTLE_ACGAIN_4S パラメーターを使用し指定されます。次の表に、レシーバー CTLE AC ゲインに対してサポートされる値の範囲を、対応する sysfs analog-pma-setting の 16 進文字列値で示します。

表 14. レシーバーの CTLE AC ゲイン sysfs 値のエンコーディング

XCVR_A10_RX_ADP_CTLE_ACGAIN_4S	analog-pma-setting
RADP_CTLE_ACGAIN_4S_ <0 から28>	"0" から"1c"までの文字列値の範囲 (デフォルトは"0")

関連情報

[equalizer_tune sysfs \(19 ページ\)](#)

3.1.4.2. レシーバーの VGA sysfs のエンコーディング

```
analog-pma-setting-index = "1"
```

HSSI PHY レシーバーの可変ゲインアンプ (VGA) の電圧スイング選択は、XCVR_A10_RX_ADP_VGA_SEL パラメーターを使用し指定されます。次の表に、レシーバー VGA 電圧スイングに対してサポートされる値の範囲を、対応する sysfs analog-pma-setting の 16 進文字列値で示します。

表 15. レシーバーの VGA sysfs 値のエンコーディング

XCVR_A10_RX_ADP_VGA_SEL	analog-pma-setting
RADP_VGA_SEL_ <0 から7>	"0"から"7"までの文字列値の範囲 (デフォルトは"4")

関連情報

[equalizer_tune sysfs \(19 ページ\)](#)

3.1.4.3. レシーバーの CTLE DC ゲイン sysfs のエンコーディング

```
analog-pma-setting-index = "2"
```

HSSI PHY レシーバーの CTLE DC ゲインは、XCVR_A10_RX_EQ_DC_GAIN_TRIM パラメーターを使用し指定されます。次の表に、レシーバーの CTLE DC ゲインに対してサポートされる値の範囲を、対応する sysfs analog-pma-setting の 16 進文字列値で示します。

表 16. レシーバーの CTLE DC ゲイン sysfs 値のエンコーディング

XCVR_A10_RX_EQ_DC_GAIN_TRIM	analog-pma-setting
NO_DC_GAIN	"0"
STG1_GAIN7	"7" (デフォルト)

関連情報

[equalizer_tune sysfs \(19 ページ\)](#)

3.1.4.4. トランスミッター・プリエンファシスの最初のポストタップのエンコーディング

```
analog-pma-setting-index = "3"
```

HSSI PHY トランスミッターのプリエンファシスの最初のポストタップは、次の 2 つのパラメーターの組み合わせを使用し指定されます。

- XCVR_A10_TX_PRE_EMP_SIGN_1ST_POST_TAP - 正または負のプリエンファシス極性を指定します。
- XCVR_A10_TX_PRE_EMP_SWITCHING_CTRL_1ST_POST_TAP - プリエンファシスの大きさを指定します。

次の表に、トランスミッター・プリエンファシスの最初のポストタップでサポートされる値の範囲を、対応する sysfs analog-pma-setting の 16 進文字列値で示します。

表 17. トランスミッター・プリエンファシスの最初のポストタップ sysfs 値のエンコーディング

XCVR_A10_TX_PRE_EMP_SWITCHING_CTRL_1ST_POST_TAP	analog-pma-setting
0 から 25 までの 10 進数の値の範囲 XCVR_A10_TX_PRE_EMP_SIGN_1ST_POST_TAP = FIR_POST_1T_POS	"0"から"19"までの文字列値の範囲 (デフォルトは"0")
0 から 25 までの 10 進数の値の範囲 XCVR_A10_TX_PRE_EMP_SIGN_1ST_POST_TAP = FIR_POST_1T_NEG	"40"から"59"までの文字列値の範囲

関連情報

[equalizer_tune sysfs \(19 ページ\)](#)

3.1.4.5. トランスミッター・プリエンファシスの 2 番目のポストタップのエンコーディング

```
analog-pma-setting-index = "4"
```

HSSI PHY トランスミッターのプリエンファシスの 2 番目のポストタップは、次の 2 つのパラメーターの組み合わせを使用し指定されます。

- XCVR_A10_TX_PRE_EMP_SIGN_2ND_POST_TAP - 正または負のプリエンファシス極性を指定します。
- XCVR_A10_TX_PRE_EMP_SWITCHING_CTRL_2ND_POST_TAP - プリエンファシスの大きさを指定します。

次の表に、トランスミッターのプリエンファシスの 2 番目のポストタップでサポートされる値の範囲を、対応する sysfs analog-pma-setting の 16 進文字列値で示します。



表 18. トランスミッターのプリエンファシスの 2 番目のポストタップ sysfs 値のエンコーディング

XCVR_A10_TX_PRE_EMP_SWITCHING_CTRL_2ND_POST_TAP	analog-pma-setting
0 から 12 までの 10 進数の値の範囲 XCVR_A10_TX_PRE_EMP_SIGN_2ND_POST_TAP = FIR_POST_2T_POS	"0"から"c"までの文字列値の範囲
0 から 12 までの 10 進数の値の範囲 XCVR_A10_TX_PRE_EMP_SIGN_2ND_POST_TAP = FIR_POST_2T_NEG	"20"から"2c"までの文字列値の範囲 (デフォルトは"20")

関連情報

[equalizer_tune sysfs \(19 ページ\)](#)

3.1.4.6. トランスミッター・プリエンファシスの最初のプリタップのエンコーディング

```
analog-pma-setting-index = "5"
```

HSSI PHY トランスミッターのプリエンファシスの最初のプリタップは、次の 2 つのパラメーターの組み合わせを使用し指定されます。

- XCVR_A10_TX_PRE_EMP_SIGN_PRE_TAP_1T - 正または負のプリエンファシス極性を指定します。
- XCVR_A10_TX_PRE_EMP_SWITCHING_CTRL_PRE_TAP_1T - プリエンファシスの大きさを指定します。

次の表に、トランスミッターのプリエンファシスの最初のプリタップでサポートされる値の範囲を、対応する sysfs analog-pma-setting の 16 進文字列値で示します。

表 19. トランスミッターのプリエンファシスの最初のプリタップ sysfs 値のエンコーディング

XCVR_A10_TX_PRE_EMP_SWITCHING_CTRL_PRE_TAP_1T	analog-pma-setting
0 から 16 までの 10 進数の値の範囲 XCVR_A10_TX_PRE_EMP_SIGN_PRE_TAP_1T=FIR_PRE_1T_POS	"0"から"10"までの文字列値の範囲
0 から 16 までの 10 進数の値の範囲 XCVR_A10_TX_PRE_EMP_SIGN_PRE_TAP_1T=FIR_PRE_1T_NEG	"20"から"30"までの文字列値の範囲 (デフォルトは"20")

関連情報

[equalizer_tune sysfs \(19 ページ\)](#)

3.1.4.7. トランスミッター・プリエンファシスの 2 番目のプリタップのエンコーディング

```
analog-pma-setting-index = "6"
```

HSSI PHY トランスミッターのプリエンファシスの 2 番目のプリタップは、次の 2 つのパラメーターの組み合わせを使用し指定されます。

- XCVR_A10_TX_PRE_EMP_SIGN_PRE_TAP_2T - 正または負のプリエンファシス極性を指定します。
- XCVR_A10_TX_PRE_EMP_SWITCHING_CTRL_PRE_TAP_2T - プリエンファシスの大きさを指定します。

次の表に、トランスミッターのプリエンファシスの 2 番目のプリタップでサポートされる値の範囲を、対応する sysfs analog-pma-setting の 16 進文字列値で示します。



表 20. トランスミッターのプリエンファシスの 2 番目のプリタップ sysfs 値のエンコーディング

XCVR_A10_TX_PRE_EMP_SWITCHING_CTRL_PRE_TAP_2T	analog-pma-setting
0 から 7 までの 10 進数の値の範囲 XCVR_A10_TX_PRE_EMP_SIGN_PRE_TAP_2T=FIR_PRE_2T_POS	"0"から"7"までの文字列値の範囲
0 から 7 までの 10 進数の値の範囲 XCVR_A10_TX_PRE_EMP_SIGN_PRE_TAP_2T=FIR_PRE_2T_NEG	"10"から"17"までの文字列値の範囲 (デフォルトは"10")

関連情報

[equalizer_tune sysfs \(19 ページ\)](#)

3.1.4.8. トランスミッター VOD のエンコーディング

```
analog-pma-setting-index = "7"
```

HSSI PHY トランスミッター VOD は、XCVR_A10_TX_VOD_OUTPUT_SWING_CTRL パラメータを使用し指定されます。次の表に、トランスミッター VOD でサポートされる値の範囲を、対応する sysfs analog-pma-setting の 16 進文字列値で示します。

表 21. トランスミッター VOD のエンコーディング

XCVR_A10_TX_VOD_OUTPUT_SWING_CTRL	analog-pma-setting
0 から 31 までの 10 進数の値の範囲	"0"から"1f"までの文字列値の範囲 (デフォルトは"1d")

関連情報

[equalizer_tune sysfs \(19 ページ\)](#)

3.2. ネットワーク・ポートの管理

OPAE ドライバーの sysfs ファイルを使用し、ホストからネットワーク・ポートを管理します。以降のセクションでは、いくつかの管理ユースケースを説明します。この機能をホスト・アプリケーションから使用する前に、ネットワーク・ポートのコンフィグレーションの内容をかならずご確認ください。

ここで示される例では、Linux コマンドおよび OPAE ツールを使用し、シェル・ターミナル・ウィンドウからドライバー sysfs ファイルを介してネットワーク・ポートを管理する方法を示します。ホスト・アプリケーションより、open()、read()、write()、close()への呼び出しを sysfs ファイルの stdio ライブラリーから使用し、これまでの章で説明されている形式に従い文字列を解析します。

関連情報

[ネットワーク・ポートのコンフィグレーション \(25 ページ\)](#)



3.2.1. ネットワーク・ポートのコンフィグレーション

ネットワーク・ポートを有効にするには、HSSI PHY モードをコンフィグレーションし、ネットワーク・ポート対応 AF をホストからロードする必要があります。次の手順は、システムにインストールされた単一のインテル PAC (インテル Arria 10 GX FPGA 搭載版) に対し、Linux コマンドおよび OPAE ツールを使用してシェル・ターミナル・ウィンドウから 4x10GBASE-SR の動作をプログラミングする方法を示しています。

1. インテル PAC (インテル Arria 10 GX FPGA 搭載版) 上の HSSI PHY を、ドライバーの `config sysfs` ファイルを使用してコンフィグレーションします。

```
$ sudo sh -c "echo 10 > \  
/sys/class/fpga/intel-fpga-dev.<i>/intel-fpga-fme.<j>/intel-pac-  
hssi.<m>.auto/hssi_mgmt/config"
```

2. コンフィグレーションされた HSSI PHY モードをサポートする AF をロードします。

```
$ sudo fpgaconfig \  
$OPAE_PLATFORM_ROOT/hw/samples/eth_e2e_e10/bin/eth_e2e_e10.gbs
```

上記手順を実行すると、インテル PAC (インテル Arria 10 GX FPGA 搭載版) のネットワーク・ポートは、ロードされた AF と互換性のある OPAE アプリケーションに対応可能になります。

3.2.2. インテル PAC (インテル Arria 10 GX FPGA 搭載版)からのベース MAC アドレスの読み取り

各 インテル PAC (インテル Arria 10 GX FPGA 搭載版) は、連続する 4 つの MAC アドレスを予約します。インテル PAC (インテル Arria 10 GX FPGA 搭載版) は、単一かつ普遍的に一意のベース MAC アドレスを保存します。4x10GBASE-SR モードの場合、インテル PAC (インテル Arria 10 GX FPGA 搭載版) は、続いて連続する 3 つのアドレスを予約します。

次のように、カーネルドライバーの `eeprom sysfs` ファイルを読み取り、ベース MAC アドレスを取得します。

```
$ hexdump -C \  
/sys/class/fpga/intel-fpga-dev.<i>/intel-fpga-fme.<j>/intel-pac-hssi.<m>.auto/  
hssi_mgmt/eeprom
```

フィールドは、LF 文字 (新行) で区切られています。ベース MAC アドレスは最初のフィールドにあります。

3.2.3. HSSI PHY トランシーバーの PMA 設定の変更

HSSI PHY トランシーバーのアナログ PMA 設定の現在のセットを取得し、`equalizer_tune sysfs` ファイルを使用して各トランシーバー・レーンのそれぞれの設定を変更することができます。

次のコマンドは、現在の設定を `stdout` にダンプします。

```
$ cat /sys/class/fpga/intel-fpga-dev.<i>/intel-fpga-fme.<j>/intel-pac-  
hssi.<m>.auto/hssi_mgmt/  
equalizer_tune
```

この `sysfs` ファイルの内容の形式に関する詳細は、`equalizer_tune sysfs` を参照ください。

トランシーバー・レーンのアナログ PMA 設定を変更するには、1 度に 1 つのフィールドを `equalizer_tune sysfs` ファイルに書き込みます。例えば、トランシーバーのレーン 2 に対するトランスミッター・プリエンファシスの 2 番目のプリタップの大きさを 4 に設定するには、次の文字列値を書き込みます。

```
"2:6=4"
```

これをシェル・ターミナル・ウィンドウから実行する例を次に示します。

```
$ sudo sh -c "echo 2:6=4 > \  
/sys/class/fpga/intel-fpga-dev.<i>/intel-fpga-fme.<j>/intel-pac-hssi.<m>.auto/  
hssi_mgmt/equalizer_tune"
```

これを、変更する各レーンまたは各 PMA 設定値に対して個別に行います。

関連情報

[equalizer_tune sysfs \(19 ページ\)](#)

3.2.3.1. HSSI PHY のアナログ PMA プリセット

HSSI PHY のアナログ PMA 設定は、インテル PAC (インテル Arria 10 GX FPGA 搭載版) をネットワークに接続するために使用される特定の QSFP+インターコネクต์・メディアに対してコンフィグレーションする必要があります。インテル・プログラマブル・アクセラレーション・カード (インテル Arria 10 GX FPGA 搭載版) データシートで、アナログ PMA プリセットをサポートされているインターコネクต์・メディアに適用する方法を確認してください。

関連情報

[インテル® プログラマブル・アクセラレーション・カード \(インテル® Arria® 10 GX FPGA 搭載版\) データシート](#)



4. オープン・プログラマブル・アクセラレーション・エンジンに向けたネットワーク・インターフェイス: インテル PAC (インテル Arria 10 GX FPGA 搭載版) の改訂履歴

表 22. オープン・プログラマブル・アクセラレーション・エンジンに向けたネットワーク・インターフェイス: インテル PAC (インテル Arria 10 GX FPGA 搭載版) の改訂履歴

ドキュメント・バージョン	変更内容
2019.08.05	ドキュメントのタイトルを、オープン・プログラマブル・アクセラレーション・エンジンに向けたネットワーク・インターフェイス: インテル・プログラマブル・アクセラレーション・カード (インテル Arria 10 GX FPGA 搭載版) に変更しました。
2018.12.04	メンテナンス・リリース。このドキュメントは、OPAE SDK バージョン 1.1 および 1.2 をサポートします。
2018.08.06	初版

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2015
登録済