



アルテラ SoC エンベデッド・デザイン・スイート・ リリース・ノート

RN-SOCEDS
2016.05.09



目次

1	アルテラ®SoC エンベデッド・デザイン・スイート・リリース・ノート.....	3
2	SoC エンベデッド・デザイン・スイートの改訂履歴.....	4
2.1	SoC エンベデッド・デザイン・スイートへの拡張機能.....	4
2.2	SoC エンベデッド・デザイン・スイートにおけるバグ修正.....	6
2.3	SoC エンベデッド・デザイン・スイートのアップグレード.....	7
2.4	SoC エンベデッド・デザイン・スイートの既知の問題	8
3	改訂履歴.....	10



1 アルテラ®SoC エンベデッド・デザイン・スイート・リリース・ノート

このリリース・ノートでは、SoC (System on chip) EDS (Embedded Design Suite)ソフトウェアのバージョン 16.0 について紹介します。

関連情報

[SoC エンベデッド・デザイン・スイート・サポート情報のページ](#)

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



2 SoC エンベデッド・デザイン・スイートの改訂履歴

2.1 SoC エンベデッド・デザイン・スイートへの拡張機能

バージョン 16.0 向けの拡張機能

以下にバージョン 16.0 向けの拡張機能を示します。

- ARM® Development Studio 5™ Altera® Edition (DS-5 AE)
 - ARM DS-5™ AE バージョン 5.23.1 を含む
- ブートローダ・ジェネレータおよび U-Boot
 - Cyclone V SoC U-Boot
 - SDRAM の ECC が有効にされる場合、SDRAM ECC の完全な初期化が実施
 - GCC5 ツールチェーンへのサポートが有効
 - Arria 10 SoC U-Boot
 - SDRAM ECC のサポートが有効
 - ROM のブートによって初期化されない領域向けの OCRAM ECC の初期化が有効
 - パワーダウンスされる場合、イーサネット PHY がパワーアップ
 - Arria 10 SDRAM ECC でのエラー割り込みが有効
 - セキュア・ブート
 - alt-secure-boot 向けのヘルプ・メニューの使用法ステートメントが実行可能ツールの名に更新
 - Quartus™ Programmer をサポートするプログラミング・セキュア・ブートのヒューズを搭載
- ゴールデン・ハードウェア・レファレンス・デザイン (GHRD)
 - 量産シリコンのリビジョン C 開発キットをサポート
 - SystemID でのリビジョン・ラベルを更新
 - F2SDRAM のポート 0 およびポート 2 が有効
- ハードウェア・ライブラリ (HWLIBs)
 - Arria 10 をサポート
 - SDRAM API の doxygen ヘッダを修正
- ツールチェーン
 - ツールチェーンを gcc v5.2. に更新⁽¹⁾

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



バージョン 15.1.1 向けの拡張機能

- ARM Development Studio 5 Altera Edition (DS-5 AE)
 - ARM DS-5 AE バージョン 5.23 を含む
- ブートローダ・ジェネレータおよび U-Boot
 - Arria® 10 SoC Uboot
 - DesignWare SPI ドライバーのサポートを有効
 - DTB から QSPI/NAND RBF アドレスのロードをサポートするように Uboot ドライバーを機能強化
 - Cyclone® V SoC Uboot
 - 2 GB の SDRAM への SDRAM ECC 初期化サポートを有効
 - Arria 10 BSP エディタ:
 - RBF 向けの Quad SPI ロード・アドレスというパラメータを追加
- ゴールデン・ハードウェア・レファレンス・デザイン (GHRD)
 - PCIe から OCM へロジック使用量を最適化するため、オンチップ・メモリのデータ幅を 128 ビットに更新
- 一般の機能強化
 - 署名ソフトウェアを更新

(1) アライメント・フォールトのチェックが有効にされる場合、ユーザーは **-mno-unaligned-access** のコンパイラ・フラグでコンパイルする必要があります。(SCTLR.A = 1)。

2.2 SoC エンベデッド・デザイン・スイートにおけるバグ修正

バージョン 16.0 向けのバグ修正

- ブートローダ・ジェネレータおよび U-Boot
 - Cyclone V SoC プリローダー
 - ウォーム・リセット後に SDRAM 内容のクリアを修正
 - デフォルト・コンフィギュレーション使用のビルド・エラーを修正
 - Arria 10 SoC U-Boot
 - 誤ったタイマー周波数を修正
 - 誤った emif_reset のリクエスト・コードを修正
 - fpgabr のコマンド・エラー処理を強化
 - NOC のタイムアウトを無効
 - NOC のアイドル状態のチェック・エラーを修正
 - boot_clk 向けのセキュア・クロックをサポートするため、L4 ウォッチドッグ・リセットを修正
- Linux デバイス・ツリー・ジェネレーター (DTG)
 - Sopc2dts での PCIe サポートが有効
- ゴールデン・ハードウェア・レファレンス・デザイン (GHRD)
 - Arria 10 PCIe Gen2 RP-デバイス・ツリーの生成時に起きるパフォーマンス・カウンターおよび MSI IP クロック情報導出の問題を修正
 - PCIe ハードウェア・デザインのビルドを修正
- ハードウェア・ライブラリ (HWLIBs)
 - クロック・マネジャーのデバッグ・クロックの周波数が正しくレポート
 - Arria 10 開発キット付属の QSPI パーツが有効
 - Arria 10 HWLIBs SPI のクロック・セットアップ方法の問題を修正
 - Arria 10 における alt_timers.c のリセット・マスク **OSC1TMR0** および **OSC1TMR1** を更新
 - Arria 10 におけるスキップで DMA でのマイクロコード・バッファを削除する機能を修正
 - SDRAM における著作権ヘッダーを修正
 - HWLIBs タイマー例の GUI ファイルが欠落するという問題点を修正
 - SDRAM の API を修正



バージョン 15.1.1 向けのバグ修正

- Linux デバイス・ツリー・ジェネレーター (DTG)
 - SD カードを 25MHz に制限する DTG の誤りを訂正
- ブートローダ・ジェネレータおよび U-Boot
 - セキュア・ブート
 - Makefile 内でセキュア・ブート向けの `-pubkeyout` オプションが欠落するという問題を修正
- GHRD
 - Arria 10 GHRD は EMAC MDIO ポート向けの制約を含む
 - ハードウェアの例が F2SDRAM2 から F2SDRAM0 に変更
 - Arria 10 GHRD で ES2 パーツ ID がサポート
 - 重要な警告を削除
 - Quartus Prime の問題により F2SDRAM のポート 0 を無効
 - Arria 10 のトランシーバ・リセット・コントローラの設定を改良
 - 受信クロックのアサインメントを未使用のチャンネルに設定する場合における重要な警告を修正
 - ユーザーが FPGA オプションからブートを選択した際に起きるオンチップ・メモリ・データ幅のバグを修正
- ハードウェア・ライブラリ (HWLIBs)
 - ARMCC 上の Arria 10 HWLIB 例のコンパイル問題を修正
 - Cyclone V の例としては、4.9.12 GCC を使用するように更新
 - Arria 10 LEDs およびタイマー HWLIBs の例を修正
- 一般の機能強化
 - RGMII の Micrel PHY における GB イーサネット問題を修正

2.3 SoC エンベデッド・デザイン・スイートのアップグレード

バージョン 15.1.1 からバージョン 16.0 へのアップグレード

- ゴールデン・ハードウェア・レファレンス・デザイン (GHRD)
 - Arria 10 SoC
 - SoC EDS 16.0 の Arria 10 Soc GHRD では、量産シリコンのリビジョン C 開発キットをターゲット⁽²⁾
- ハードウェア・ライブラリ (HWLIBs)
 - サポート機能は以下を除き、15.1.1 に類似:
 - タイマーの例は Arria 10、Arria V および Cyclone V をサポートする
 - ベアメタルの開発者は、追加された新しい SDRAM の API を通してチップの機能にアクセスできる⁽³⁾ ⁽⁴⁾

(2) リビジョン B1 の開発キットから移行された FPGA のデザインはリコンパイルする必要があります。

バージョン 15.1 からバージョン 15.1.1 へのアップグレード

- SoC EDS 15.1.1 は、Arria 10 SoC 向けの異なるデバイス・ファミリーを有するリビジョン B1 の開発キットをサポートする⁽⁵⁾
- 広範囲のイーサネット・スイッチにおいてより信頼性の高いイーサネット PHY にするために、Uboot ソフトウェアおよび Linux イメージを最近の修正を含むように更新
- GHRD 向けのクロックおよびピンのコンフィギュレーションがあったため、リコンパイルされた FPGA のデザインから Uboot デバイスツリーを更新

2.4 SoC エンベデッド・デザイン・スイートの既知の問題

バージョン 16.0 の既知の問題

Cyclone V SoC の Uboot における小さなファイルでの Fatwrite 問題

概要

- Cyclone V SoC の Uboot は、**fatwrite** で小さなファイル(1kB)を書き込む際に断続的に失敗しています。

解決策

- FAT を取り扱うパッチを備える主流の Uboot を使用します。

バージョン 15.1.1 の既知の問題

FPGA で公開鍵をサポートするのに必要な FPGA 信号でブートをイネーブルする

概要

- FPGA から公開鍵を取得するには(ルートキーが認証向けのセキュア・ブート時に FPGA に格納される場合)、BootROM は H2F ブリッジをリセット状態から解放する必要があります。BootROM がこれを行うのにチェックする信号の一つは FPGA によって駆動されるものであり、HPS-FPGA ブリッジから読み取ることは安全であることを BootROM に伝えます。この信号が FPGA から適切に駆動されない場合、BootROM は FPGA からルートキーを取得できなくなり、セキュア・ブートは失敗します。

解決策

- このユース・ケース向けのシステムを設定するために、QSYS で HPS IP コンポーネントから "Enable boot from FPGA signals" オプションを選択する必要があります。そのオプションが選択される場合、FPGA は必要な信号を駆動し、BootROM が正常に FPGA から認証用のルートキーを取得することができます。

DS-5 プラグインが Eclipse によってロードされない

概要

-
- (3) Arria V/Cyclone V の機能性は Arria 10 とは異なります。
 - (4) API でのみ利用可能
 - (5) リビジョン A の開発キットから移行された FPGA のデザインはリコンパイルする必要があります。



- Eclipse™は、「Altera Baremetal GCC」プラグインまたは DS-5 の ID を与える ARM に特化したプラグインをロードせずに起動できます。この場合、ペアメタル・ツールチェーンまたはすべての DS-5 機能が利用できなくなります。DS-5 のバージョン間での切り替えは、多くの場合、このエラーをトリガします。

解決策

- '-clean'オプションで Eclipse を起動します。例えば、"`eclipse -clean`"です。このオプションの実行により、キャッシュされた Eclipse のデータがクリアされ、利用可能なプラグインの再スキャンが強制されます。これは Eclipse のフレームワークにおける一般的な解決策です。詳しい情報について、スタック・オーバーフローの Q&A ページを参照してください。

関連情報

[スタック・オーバーフローの Q&A](#)

Eclipse をクリーン起動する方法およびその実行により発生することについての情報を提供します。



3 改訂履歴

表 1. 改訂履歴

日付	バージョン	変更内容
2016年5月	2016.05.09	メンテナンス・リリースで 16.0 リリースでの最新情報を記述
2016年1月	2016.01.22	メンテナンス・リリースで 15.1.1 リリースでの最新情報を記述
2015年11月	2015.11.02	メンテナンス・リリースで 15.1 リリースでの最新情報を記述
2015年6月	2015.06.05	メンテナンス・リリースで 15.0.1 リリースでの最新情報を記述
2015年5月	2015.05.01	メンテナンス・リリースで 15.0 リリースでの最新情報を記述

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済