



# Quartus Prime デザイン・スイート・アップデート・リリース・ノート

## 目次

---

<b>1. Quartus Prime デザイン・スイート・バージョン 16.0 アップデート・リリース・ノート</b> .....	<b>3</b>
1.1. アップデート 2 で対処済みの問題 .....	3
1.1.1. Quartus Prime スタンダード・エディション・ソフトウェア .....	3
1.1.2. Quartus Prime プロ・エディション・ソフトウェア .....	5
1.1.3. IP および IP コア .....	6
1.1.4. DSP Builder アドバンスド・ブロックセット .....	8
1.1.5. アルテラ SDK for OpenCL .....	8
1.2. アップデート 1 で対処済みの問題 .....	8
1.2.1. Quartus Prime スタンダード・エディション・ソフトウェア .....	8
1.2.2. Quartus Prime プロ・エディション・ソフトウェア .....	10
1.2.3. IP および IP コア .....	12
1.2.4. DSP Builder アドバンスド・ブロックセット .....	15
1.2.5. アルテラ SDK for OpenCL .....	15
1.3. 解決済みのソフトウェアの問題 .....	15
1.4. アップデート・リリースで組み入れられたソフトウェア・パッチ .....	16
1.5. 既知の問題と解決策 .....	16
1.6. 改訂履歴 .....	17

# 1. Quartus Prime デザイン・スイート・バージョン 16.0 アップデート・リリース・ノート

このバージョンの *Quartus® Prime* デザイン・スイート・アップデート・リリース・ノートでは、Quartus Prime デザイン・スイート・バージョン 16.0 ソフトウェア・アップデート 2 について説明します。

Quartus Prime デザイン・スイートのアップデートは前バージョンを更新したものであり、つまり、アップデート 2 にはアップデート 1 が組み込まれています。

Quartus Prime デザイン・スイート・ソフトウェアのアップデートには、Altera® Quartus Prime スタンダード・エディション・ソフトウェア・リリース・バージョン 16.0 またはアルテラ・ソフトウェア・リリース・バージョン 16.0 が必要です。Quartus Prime・ソフトウェアのリリース・バージョン 16.0 エディションのどちらもお持ちでない場合は、Quartus Prime デザイン・スイート・バージョン 16.0 ソフトウェアのアップデートをインストールする前に Quartus Prime ソフトウェア・バージョン 16.0 をインストールして、ソフトウェアが適切に実行できるようにしてください。

このソフトウェア・アップデートは Quartus Prime ライト・エディション・ソフトウェアにも適用可能であり、これは Arria® II, Cyclone® IV, Cyclone V, MAX® II, MAX V, MAX 10 FPGA デバイス・ファミリをサポートしています。これらのデバイス・ファミリに適用される Quartus Prime スタンダード・エディション・ソフトウェアの問題は、Quartus Prime ライト・エディション・ソフトウェアにも適用されません。

## 関連情報

- [Quartus Prime スタンダード・エディション・ソフトウェアおよびデバイス・サポート・リリース・ノート・バージョン 16.0](#)
- [Quartus Prime プロ・エディション・ソフトウェアおよびデバイス・サポート・リリース・ノート・バージョン 16.0](#)

## 1.1. アップデート 2 で対処済みの問題

**注意:** 16.0.1 では、Arria 10 の PCIe 設定が特定のチャネル・プロファイルに対し最適化されず、Recoveries and Correctable リンク・エラーが発生するという既知の問題が Arria 10 デバイスの PCI Express® (PCIe®) インタフェースには発生していましたが、この問題は修正されました。アルテラは、Quartus Prime ソフトウェア・バージョン 16.0.2 にアップグレードすることを推奨します。

### 1.1.1. Quartus Prime スタンダード・エディション・ソフトウェア

#### 1.1.1.1. Quartus Prime ソフトウェア GUI

- 最適化されたバッファを備えるプロジェクトをロードする際に発生する、RTL Viewer における内部エラーを修正しました。



### 1.1.1.2. Quartus Prime デバイス・サポート

- 過剰な出力遅延を回避するために ASMI ブロックのタイミング・モデルを更新しました。この更新は Arria 10 デバイスに影響します。  
*注意:* この更新により、Arria 10 10AX057、10AS057、10AX066、10AS066 および 10AX115 デバイスの以前に確定されたタイミング・モデルが変更します。
- Arria 10 の 10AX048 および 10AS048 デバイス向けの最終的タイミング・モデル属性を設定しました。
- ピン名での IBIS コメント文字("|")をプリントしないように、および IBIS ファイルの Differential Pin の項からトランシーバ・ピンを除外するように、MAX 10 と Arria 10 デバイス・ファミリ向けの IBIS Writer を更新しました。
- Arria 10 デバイス向けの IBIS モデルを確定しました。
- キャリブレーションを使用する I/O 向けの Arria 10 IBIS モデルの相関性を向上しました。

### 1.1.1.3. Quartus Prime コンパイルおよびデザイン・フロー

- 未使用の HSSI チャンネルが維持される場合、または fPLL(フラクショナル phase-locked loop)のインスタンスが接続されるクロック出力を備えない場合における Arria 10 デザインのコンパイル中に起こり得る内部エラーを修正しました。

### 1.1.1.4. Fitter

- SPECTRAQ\_PHYSICAL\_SYNTHESIS が有効にされる場合に起こり得る内部エラーを修正しました。
- シングル・ポート・メモリ・ブロック向けに、定義された RDW(Read-During-Write)モード(New または Old Data)でメモリ・ブロックのタイプを **Auto** に設定する場合における特定の条件下で起こり得るエラーを修正しました。このシングル・ポート・メモリ・ブロックが MLAB 位置に誤ってマップされる可能性があり、この誤ったマッピングは必要な RDW 動作を保証しません。この修正により、シングル・ポート・メモリ・ブロックが現在、専用のメモリ・ブロック(すなわち、ファミリによって M9K、M10K または M20K)にマップされます。
- Arria 10 デザインをコンパイルする場合における Fitter でのメモリ不足エラーを起こし得るメモリ・リーク・エラーを修正しました。
- パーティションを含む Arria 10 デザインで **High Performance Effort** または **Spectra-Q Physical Synthesis** オプションを有効にする場合に起きるセグメント・エラーを修正しました。

### 1.1.1.5. Quartus Prime プログラム

- CvP(Configuration via PCI Express®)暗号化機能と PR(パーシャル・リコンフィギュレーション)暗号化機能が両方とも有効になっている場合における Stratix® V、Arria V、および Cyclone V デバイス用にプログラミング・ファイルの生成時に起きる内部エラーを修正しました。
- Stratix V、Arria V、および Cyclone V デバイス用の暗号化された PR ビットストリームを生成するように、quartus\_cpf コマンドライン・サポートを追加しました。
- Arria 10 デザインにおける Conversion Setup File(.cof)で異なるキータイプ暗号化ビットストリーム(例えば、揮発性または不揮発性)を生成する quartus\_cpf コマンドラインの使用を妨げるエラーを修正しました。
- Arria 10 デバイスで Programmer が誤ったデバイスの識別子をレポートする原因となり得る自動検出機能でのエラーを修正しました。



### 1.1.1.6. TimeQuest タイミング・アナライザ

- MAX10 デバイスで TimeQuest タイミング解析における誤ったクロック・フェーズのシフトを修正しました。

## 1.1.2. Quartus Prime プロ・エディション・ソフトウェア

### 1.1.2.1. Quartus Prime ソフトウェア GUI

- Quartus Prime プロ・エディションソフトウェアの有効なライセンスを使用せず Quartus Prime ソフトウェア GUI で Fitter を動作すると、Fitter がエラー・メッセージを表示することなく失敗するという問題点を修正しました。この修正により、Fitter は現在、ライセンスが欠落する場合にはエラー・メッセージを表示します。
- **Filter** リストで **SignalTap II: post-fitting** を選択し、子パーティションの下に **Look in** 階層パスを指定する場合における Node Finder で起きる内部エラーを修正しました。
- コンパイル中にまたはコンパイルが完了した直後に Text Editor をアクティブにすると、Text Editor に予期せぬ致命的なエラーが発生するという問題点を修正しました。
- 最適化されたバッファを備えるプロジェクトをロードする際に発生する、RTL Viewer における内部エラーを修正しました。

### 1.1.2.2. Quartus Prime デバイス・サポート

- 過剰な出力遅延を回避するために ASMI ブロックのタイミング・モデルを更新しました。この更新は Arria 10 デバイスに影響します。  
注意: この更新により、Arria 10 10AX057、10AS057、10AX066、10AS066 および 10AX115 デバイスの以前に確定されたタイミング・モデルが変更します。
- Arria 10 の 10AX048 および 10AS048 デバイス向けの最終的タイミング・モデル属性を設定しました。
- ピン名での IBIS コメント文字("|")をプリントしないように、および IBIS ファイルの Differential Pin の項からトランシーバ・ピンを除外するように、MAX 10 と Arria 10 デバイス・ファミリ向けの IBIS Writer を更新しました。
- Arria 10 デバイス向けの IBIS モデルを確定しました。
- キャリブレーションを使用する I/O 向けの Arria 10 IBIS モデルの相関性を向上しました。

### 1.1.2.3. Quartus Prime コンパイルおよびデザイン・フロー

- 未使用の HSSI チャネルが維持される場合、または fPLL(フラクショナル phase-locked loop)のインスタンスが接続されるクロック出力を備えない場合における Arria 10 デザインのコンパイル中に起こり得る内部エラーを修正しました。

#### 1.1.2.4. Fitter

- SPECTRAQ\_PHYSICAL\_SYNTHESIS が有効にされる場合に起こり得る内部エラーを修正しました。
- シングル・ポート・メモリ・ブロック向けに、定義された RDW (Read-During-Write) モード (New または Old Data) でメモリ・ブロックのタイプを **Auto** に設定する場合における特定の条件下で起こり得るエラーを修正しました。このシングル・ポート・メモリ・ブロックが MLAB 位置に誤ってマップされる可能性があり、この誤ったマッピングは必要な RDW 動作を保証しません。この修正により、シングル・ポート・メモリ・ブロックが現在、専用のメモリ・ブロック (すなわち、ファミリによって M9K、M10K または M20K) にマップされます。
- Arria 10 デザインをコンパイルする場合における Fitter でのメモリ不足エラーを起こし得るメモリ・リーク・エラーを修正しました。
- パーティションを含む Arria 10 デザインで **High Performance Effort** または **Spectra-Q Physical Synthesis** オプションを有効にする場合に起きるセグメント・エラーを修正しました。

#### 1.1.2.5. Quartus Prime プログラム

- Arria 10 デザインにおける Conversion Setup File (.cof) で異なるキータイプ暗号化ビットストリーム (例えば、揮発性または不揮発性) を生成する quartus\_cpf コマンドラインの使用を妨げるエラーを修正しました。
- Arria 10 デバイスで Programmer が誤ったデバイスの識別子をレポートする原因となり得る自動検出機能でのエラーを修正しました。

#### 1.1.3. IP および IP コア

**注意:** 特に記述がない限り、以下の IP の問題は Quartus Prime スタンダード・エディション・ソフトウェアおよび Quartus Prime プロ・エディション・ソフトウェアの両方にあてはまります。

##### 10GBASER PHY IP コア

- レート・マッチング中に不正確な結果をもたらす問題点を修正しました。

##### アルテラ PLL IP コア

- Arria 10 デバイスで ATX (advanced transmit) PLL を使用する場合における不正な周波数差の計算をもたらす問題点を修正しました。この不正な周波数差の計算が、無効なクリティカル警告メッセージの表示を起こす場合があります。

##### EMIF IP

- MAX10 boot from Flash 機能が有効にされる場合、LPDDR2 キャリブレーションが小さい read ウィンドーを検出のみできるという問題点を修正しました。この修正は、MAX 10 デバイス用に、LPDDR2 EMIF キャリブレーション・アルゴリズムの堅牢性を向上させるために必要です。この問題は、Quartus Prime スタンダード・エディションソフトウェアに影響します。

##### HSSI IP コア

- 不正な出力クロック・フェーズのアライメントを起こし得る Arria 10 fPLL のシミュレーション問題点を修正しました。



### JESD204B IP コア

- Nios® II プロセッサ・コントロール・ユニットのデザイン例で SignalTap™ II 生成ファイルが欠落するという問題点を修正しました。この修正以前には、XML 入力ファイルが欠落するため、Quartus Prime ソフトウェアが Nios II プロセッサ・コントロール・ユニットのデザイン例では SignalTap II ファイルを生成できませんでした。

### 低レイテンシ・イーサネット 10G MAC IP コア

- **IEEE1588** オプションが有効にされる場合、IP の IEEE1588 動作における不正確な箇所を起こす問題点を修正しました。

### 低レイテンシ 40 Gbps と 100 Gbps イーサネット MAC および PHY IP コア

- 低レイテンシ 40GBASE-KR4 イーサネット PHY IP コア向けのリセット堅牢性を向上しました。

### PCI Express ハード IP コア

#### 注意:

16.0.1 では、Arria 10 の PCIe 設定が特定のチャンネル・プロファイルに対し最適化されず、Recoveries and Correctable リンク・エラーが発生するという既知の問題が Arria 10 デバイスの PCI Express (PCIe) インタフェースには発生していましたが、この問題は修正されました。アルテラは、Quartus Prime ソフトウェア・バージョン 16.0.2 にアップグレードすることを推奨します。

- Arria 10 PCIe IP における CDR (クロック・データ・リカバリ) PLL および PMA (物理媒体接続部) の問題点を修正しました。アルテラは、現行の Quartus Prime デザイン・スイート・アップデート・バージョンにアップグレードすることを強く推奨します。

注意: この修正は Arria 10 デバイスの以前に確定されたビット設定に影響します。

- SR-IOV (シングル・ルート I/O 仮想化) の実行における tx\_cred\_fc\_hip\_const インタフェースが機能していないという問題点を修正しました。
- Arria 10 PCIe ダイナミック・デザイン例におけるトランシーバ・コンフィギュレーション設定を更新しました。
- Arria 10 デバイスにおける PCIe インタフェースに影響する問題点を修正するように、HSSI キャリブレーション・コードを更新しました。

注意: この更新は、Arria 10 10AX057、10AS057、10AX066、10AS066、および 10AX115 デバイス向けの以前に確定されたビット設定に影響します。

- 以下の SR-IOV2 コア変更を含みます。
  - 2K 機能向けの BDF (ブロック・デザイン・ファイル) のキャプチャ機能を修正
  - SR-IOV 機能用にデフォルトで Function Level Reset をオン

注意: 今回のリリースでは、SR-IOV2 コアの状態は暫定的なものです。

### SerialLite III ストリーミング IP コア

- 以下の変更に対応します。
  - 未使用のポートがエラー・メッセージの表示の原因となるため、Arria 10 SerialLite III ストリーミング・ソース・オンリーのデザインにおける未使用の入力ポート `xcvr_pll_ref_clk` を削除
  - `seriallite_iii_streaming_demo.sdc` ファイルから複製の SDC (Synopsys Design Constraints) 制約を削除。Quartus Prime ソフトウェアは、Arria 10 SerialLite III ストリーミング IP の `.sdc` ファイルにリストされる制約のみを参照

### シリアル・デジタル・インタフェース II IP コア

- リコンフィギュレーションを要求する複数のトリプル・レート・モードまたはマルチレート・モード RX インスタンスをインスタンス化する場合に起きるロックアップ・エラーを修正しました。

### トリプル・スピード・イーサネット IP コア

- TSE バリエーションがクロック・クロッサ用の SDC 制約を欠落する故にタイミング違反を起こすという問題点を修正しました。この問題点は、以下の条件を全部満たす TSE バリエーションに影響します。
  - コア・バリエーション - 10/100/100Mb イーサネット MAC
  - 統計情報カウンターを含まない
  - 以下のオプションのいずれかが有効
    - MAC 10/100 half duplex support
    - ECC protection
    - Timestamping
- xon\_gen および xoff\_gen を同期するシンクロナイザが不正にリセットする原因となる問題点を修正しました。

## 1.1.4. DSP Builder アドバンスド・ブロックセット

- DSP Builder アドバンスドデザイン例のインデックスから HTML ヘルプ・ページへの壊れたリンクを修正しました。

## 1.1.5. アルテラ SDK for OpenCL

**注意:** 特に記述がない限り、以下の Altera SDK for OpenCL™ の問題は Quartus Prime スタンダード・エディション・ソフトウェアおよび Quartus Prime プロ・エディション・ソフトウェアの両方に関連していません。

- アルテラ SDK for OpenCL で Arria 10 デバイスをプログラムする場合における機能不良の原因となり得る問題点を修正しました。

## 1.2. アップデート 1 で対処済みの問題

**注意:** Quartus Prime ソフトウェア・バージョン 16.0 アップデート 1 では、Arria 10 デバイスの PCI Express® (PCIe) インタフェースに関する既知の問題が存在します。Arria 10 の PCIe 設定は特定のチャネル・プロファイルには最適にならない場合があり、Recoveries and Correctable リンク・エラーを起こします。詳しくは、[既知の問題と解決策](#) の項を参照してください。

### 1.2.1. Quartus Prime スタンダード・エディション・ソフトウェア

#### 1.2.1.1. Quartus Prime デバイス・サポート

- Arria 10 10AX115 デバイス向けの以前に確定されたタイミング・モデルおよびコンフィギュレーション設定を変更しました。
- 10AX115 デバイスを除き、Arria 10 デバイスにおける一部の配線ワイヤに対してタイミング・モデルを更新しました。
- Arria 10 の 10AX057、10AS057、10AX066、および 10AS066 デバイス向けの最終的タイミング・モデル属性を設定しました。





- Arria 10 の 10AX057、10AS057、10AX066、および 10AS066 デバイス向けのパワー・モデルを更新しました。
- Arria 10 の 10AX057、10AS057、10AX066、および 10AS066 デバイス向けの最終的なパワー・モデル属性を設定しました。
- Arria 10 デバイスに対してバージョン互換のデータベース機能を有効にしました。

#### 1.2.1.2. Quartus Prime ソフトウェア・インストール

- ソフトウェア・アップデートが EXE ファイルの代わりに TAR ファイルで利用可能のため、Windows におけるソフトウェア・インストール・プロセスを変更しました。
  1. TAR ファイルをダウンロード
  2. Temp ディレクトリにファイルを抽出
  3. 抽出されたファイルの 1 つは QuartusSetup-<version>-windows.exe ファイルである。Temp ディレクトリから、この .exe ファイルを実行

#### 1.2.1.3. Quartus Prime コンパイルおよびデザイン・フロー

- Linux SSH (Secure Shell) がオペレーティング・システムの代わりに quartus/linux64 ディレクトリから libcrypto.so ライブラリをロードするという Design Space Explorer II におけるエラーを修正しました。
- 明示的不規則なタイミング・コーナーを使用する時にエラーを起こす原因となり得るタイミング解析における問題点を修正しました。この問題は、Arria 10 デバイスをターゲットするデザインに影響します。
- qexit -<return\_code> コマンドが Quartus Prime Tcl スクリプトの正しいリターン・コードを設定することを防止するエラーを修正しました。
- 存在しないコンパイラ生成のレジスタで開始するシンクロナイザー・チェーンを表示しなくなるように、メタスタビリティ・レポートを更新しました。
- ROM 推論に関する合成、すなわち初期化されたメモリ・ブロックを使用する RTL ロジックの実行におけるエラーを修正しました。この修正以前に、ROM 出力レジスタの初期パワーアップ・ステートが不正なロジックを起こす場合があります。
- ステートマシンの処理に関する合成における致命的なエラーを修正しました。

#### 1.2.1.4. Quartus Prime プログラマ

- MAX 10 デバイスの JTAG コンフィギュレーション遅延タイムを増加しました。
- MAX 10 デバイス向けのプログラマにおける不正な EKP (暗号化キー・プログラミング) 検証動作を無効にしました。



### 1.2.1.5. Fitter

- I/O 性能を向上させるためにペリフェラルにバックされるコア・レジスタに対して、コアにこれらのコア・レジスタの転送を最適化する目的で Fitter を強化しました。この強化でより高いタイミング・スラックも提供します。強化以前に、Fitter がコアにこれらのレジスタの転送を適切に最適化していませんでした。
- デザインにおいて予約ピンを割り当てることで PowerPlay Power Analyzer に致命的なエラーが発生するという問題点を修正しました。
- HSSI TX BTI 緩和ソフト IP との問題点を修正しました。この修正以前に、QSF アサインメントの PRESERVE\_UNUSED\_XCVR\_CHANNEL を使用した場合、デザインを再コンパイルする必要があります。この問題は、すべての Arria 10 デバイスに影響します。

### 1.2.1.6. シミュレーション

- コーナーケース・リコンフィギュレーションにおけるロック失敗に対処するように Arria 10 PLL シミュレーション・モデルを修正しました。

## 1.2.2. Quartus Prime プロ・エディション・ソフトウェア

### 1.2.2.1. Quartus Prime デバイス・サポート

- Arria 10 10AX115 デバイス向けの以前に確定されたタイミング・モデルおよびコンフィギュレーション設定を変更しました。
- 10AX115 デバイスを除き、Arria 10 デバイスにおける一部の配線ワイヤに対してタイミング・モデルを更新しました。
- Arria 10 の 10AX057、10AS057、10AX066、および 10AS066 デバイス向けの最終的タイミング・モデル属性を設定しました。
- Arria 10 の 10AX057、10AS057、10AX066、および 10AS066 デバイス向けのパワー・モデルを更新しました。
- Arria 10 の 10AX057、10AS057、10AX066、および 10AS066 デバイス向けの最終的パワー・モデル属性を設定しました。
- Arria 10 デバイスに対してバージョン互換のデータベース機能を有効にしました。

### 1.2.2.2. Quartus Prime ソフトウェア・インストール

- ソフトウェア・アップデートが EXE ファイルの代わりに TAR ファイルで利用可能のため、Windows におけるソフトウェア・インストール・プロセスを変更しました。
  1. TAR ファイルをダウンロード
  2. Temp ディレクトリにファイルを抽出
  3. 抽出されたファイルの 1 つは QuartusSetup-<version>-windows.exe ファイルである。Temp ディレクトリから、この .exe ファイルを実行



### 1.2.2.3. Quartus Prime コンパイルおよびデザイン・フロー

- Linux SSH (Secure Shell) がオペレーティング・システムの代わりに `quartus/linux64` ディレクトリから `libcrypto.so` ライブラリをロードするという Design Space Explorer II におけるエラーを修正しました。
- `qexit -<return_code>` コマンドが Quartus Prime Tcl スクリプトの正しいリターン・コードを設定することを防止するエラーを修正しました。
- Quartus Prime プロ・エディション・ソフトウェアの Windows バージョンにおいて生成される合成レポートから Message セクションが欠落するという問題点を修正しました。この問題は、コマンドライン・モードでの合成を実行する場合に発生します。
- テキスト比較が不正という **Suppress Messages with Matching ID** 機能との問題点を修正しました。この修正により、Quartus Prime プロ・エディション・ソフトウェアがプロジェクトを開いている間に suppressed messages ファイルをインポートすることが保証されます。
- デザインにエラーがない場合でも、Qsys IP ファイル (`.qsys`) の名称が文字列「error」で始まるために、Quartus Prime プロ・エディション・ソフトウェア・デザイン・フローの IP 生成ステップが失敗する原因となるという問題点を修正しました。
- 明示的不規則なタイミング・コーナーを使用する時にエラーを起こす原因となり得るタイミング解析における問題点を修正しました。この問題は、Arria 10 デバイスをターゲットするデザインに影響します。
- 存在しないコンパイラ生成のレジスタで開始するシンクロナイザー・チェーンを表示なくなるように、メタスタビリティ・レポートを更新しました。
- ROM 推論に関する合成、すなわち初期化されたメモリ・ブロックを使用する RTL ロジックの実行におけるエラーを修正しました。この修正以前に、ROM 出力レジスタの初期パワーアップ・ステートが不正なロジックを起こす場合があります。
- モジュール・インタフェースが構造のアレイを使用する場合に起こり得る、合成における内部エラーを修正しました。
- パーティション内で ADME (Altera Debug Master Endpoint) IP を使用する Arria 10 デザインのコンパイル時に起こり得る内部エラーを修正しました。
- Interlaken デザイン例向けの SDC (Synopsys Design Constraints) におけるフォルス・パスをカットしました。

### 1.2.2.4. Fitter

- I/O 性能を向上させるためにペリフェラルにパックされるコア・レジスタに対して、コアにこれらのコア・レジスタの転送を最適化する目的で Fitter を強化しました。この強化でより高いタイミング・スラックも提供します。強化以前に、Fitter がコアにこれらのレジスタの転送を適切に最適化しませんでした。
- デザインにおいて予約ピンを割り当てることで PowerPlay Power Analyzer に致命的なエラーが発生するという問題点を修正しました。
- 境界部分が接続されていない PR パーティションを含む Arria 10 デザイン上に PR (パシヤル・リ・コンフィギュレーション) を実行する場合に不正な結果の原因となり得る問題点を修正しました。
- HSSI TX BTI 緩和ソフト IP との問題点を修正しました。この修正以前に、QSF アサインメントの `PRESERVE_UNUSED_XCVR_CHANNEL` を使用した場合、デザインを再コンパイルする必要があります。この問題は、すべての Arria 10 デバイスに影響します。

### 1.2.2.5. シミュレーション

- コーナーケース・リコンフィギュレーションにおけるロック失敗に対処するように Arria 10 PLL シミュレーション・モデルを修正しました。

### 1.2.3. IP および IP コア

**注意:** 特に記述がない限り、以下の IP の問題は Quartus Prime スタンダード・エディション・ソフトウェアおよび Quartus Prime プロ・エディション・ソフトウェアの両方にあてはまります。

#### 1G/2.5G/5G/10G マルチレート・イーサネット PHY IP コア

- **Link Fault** チェック・ボックスが表示されるように 25G イーサネット PHY IP コア向けのパラメータ・エディタ GUI を更新しました。

#### 25G/50G イーサネット IP コア

- Arria 10 IP に対して、IP パラメータ・エディタ GUI から **Enable ODI** 機能を削除しました。
- 25G RSFEC (Ethernet Reed-Solomon Forward Error Correction) IP コアに対して、RSFEC が有効な場合に RX ステータス・ベクトルがパケットの種類を不正に表示することがあるという問題点を修正しました。
- 50G イーサネット IP パラメータ・エディタ GUI における **TX CRC passthrough** オプションを削除しました。

#### アルテラ GPIO IP コア

- 以下の I/O 規格に対して Low Voltage IO Buffer モードをオンにしました。
  - sstl12 c1
  - sstl12 c2
  - sstl125 c1
  - sstl125 c2
  - sstl135 c1
  - sstl135 c2
  - differential sstl 12 C1
  - differential sstl 12 C2
  - differential sstl 125 C1
  - differential sstl 125 C2
  - differential sstl 135 C1
  - differential sstl 135 C2

#### アルテラ IOPLL IP コア

- Qsys で ALTPLL IP を使用し、Cyclone IV または Stratix IV デバイスをターゲットするデザインに影響する Qsys 生成問題を修正しました。

#### Arria 10 fPLL IP コア

- OTN (Optical Transport Network) ダイレクト・モードをサポートするように IP およびブロック設定ルールを更新しました。



### DisplayPort IP コア

- MAX\_LANES\_COUNT 値が 1 または 2 の場合に DPRX\_RX\_STATUS レジスタ値が不正という問題点を修正しました。

### EMIF IP

- Arria 10 EMIF IP に対して、DDR4 LRDIMM キャリブレーションがハードウェアで失敗する原因となり得る一部の DDR4 LRDIMM ハードウェア問題を修正しました。
- Arria 10 EMIF IP に対して、DDR4 RDIMM および LRDIMM 向けの IP パラメータ・エディタ GUI を更新しました。この更新により、GUI が現在マニュアル・エンコードなしで個別の RDIMM または LRDIMM SPD (Serial Presence-detect) データを直接受け入れます。続いて IP はエンコードされる RCD および DB コンフィギュレーション設定を計算します。

エンコードされた値を使用する IP の以前のバージョンからアップグレードする場合、新しいバージョンの IP はこれらのエンコードされる値を受け入れます。

- **Diagnostics** タブから以下の無効な Arria 10 EMIF IP パラメータ・エディタ GUI オプションを削除しました。
  - Calibration Address 0
  - Calibration Address 1
  - Enable automatic calibration after reset

これらのオプションは非破壊キャリブレーションに対してのみ有効です。非破壊キャリブレーションが公開されている機能ではありません。非破壊キャリブレーションへのアクセスが必要な場合、インテル コーポレーション プログラマブル・ソリューション・グループまでお問い合わせください。

- 以下の変更に対処します。
  - Abstract PHY が有効な場合に 17 ビット・アドレス幅が適切に認識されるようにするために、Arria 10 EMIF IP シミュレーション固有のエラーを修正
  - SODIMM をサポートするためにメモリ・モデルにおけるエラーを修正

### HPS IP コア

- Arria SoCs 向けの HPS IP コンポーネントにおける問題点を修正しました。この修正により、Soc EDS (Soc エンベデッド・デザイン・スイート) が現在、HPS プリロードにおけるキャッシュ・コヒーレンスの一部の問題に対処するために適正な HPS DMA コマンドにアクセス可能です。
- Arria 10 HPS 12c ピンに対して、Quartus Prime ソフトウェアが I2C I/O オープン・ドレイン・ビットを適切にセットしないという問題点を修正しました。
- Qsys で表示される HPS IP コンポーネントのエラーメッセージにおける誤字脱字を修正しました。
- Arria 10 HPS EMIF を使用する場合に混乱の原因となる汎用 I/O ピン配置エラーメッセージにおける誤字脱字を修正しました。この修正以前に、Arria 10 HPS EMIF と同じ I/O バンクにある入力ピンのみを利用できるある場合では、エラーメッセージが出力ピンのみを配置できると誤って表示していました。

### JESD204B IP コア

- IP コア・テストベンチ・ボンディング・コンフィギュレーションおよび ATX PLL のパラメータ設定を改定しました。

### 低レイテンシ 40 および 100 Gbps イーサネット MAC および PHY IP コア

- 低レイテンシ 100 Gbps イーサネット IP コアの CAUI-4(4 レーン 100 Gigabit Attachment Unit Interface)FEC(前方誤り訂正)バリエーションにおける fPLL コンパイル・エラーを修正しました。このエラーが Arria 10 デバイスに影響します。
- 40GBASE-KR4 IP コアに対して、Auto Negotiation マスター・チャンネルに関係なく、Auto Negotiation モジュール向けのタイミング収束の結果が正確であるようにエラーを修正しました。
- IP パラメータ・エディタ GUI にデザイン例ユーザーガイドの URL を追加しました。

### パーシャル・リコンフィギュレーション IP コア

- 以下の問題点に対処します。
  - Arria 10 prblock プリミティブにおいて起こり得るメタスタビリティの問題を修正
  - IP のシステム・クロックおよび JTAG クロックを多重化する場合に起こり得る不具合の問題を修正

### PCI Express ハード IP コア

#### 注意:

Quartus Prime ソフトウェア・バージョン 16.0 アップデート 1 では、Arria 10 デバイスの PCI Express(PCIe)インタフェースに関する既知の問題が存在します。Arria 10 の PCIe 設定は特定のチャンネル・プロファイルには最適にならない場合があります、Recoveries and Correctable リンク・エラーを起こします。詳しくは、[既知の問題と解決策](#) の項を参照してください。

- PCIe ハード IP を使用する Arria 10 デザインに対して、PCIe ハード IP 出力 t1\_cfg\_add および t1\_cfg\_ctl からタイミング・アークを追加しました。この追加は、確定された Arria 10 タイミング・モデルへの変更があったため必要です。
- タイミング・アークが t1\_cfg\_add/t1\_cfg\_ctl バスから欠如しているという問題点を修正しました。
- Windows で Arria 10 デバイス用の Dynamic Example Design を生成できないという問題点を修正するために、Example Design Generation のコールバックを更新しました。
- 以下の変更に対処します。
  - Gen3 または Gen1/Gen2 速度への次の再進入においては、PCIe LTSSM(リンク・トレーニング・ステータス・ステート・マシン)のステートが一定時間 Recovery ステートに保持
  - デフォルトの遠端プリセット TX を P8 に設定
- 以下の問題点に対処します。
  - Avalon-ST インタフェースではなく、Avalon<sup>®</sup>-MM インタフェースでのみ 256 ビットの Root Port を PRELIMINARY に設定。256 ビット Avalon-MM モードは PRELIMINARY として表示
  - SR-IOV はターゲットのみのシミュレーションをサポートしており、アプリケーション・エンドポイントが 1 つのみのため GUI における追加の **Simulation Option** タブを不要

### RapidIO I IP コア

- RapidIO IP パラメータ・エディタで実際の設定を反映するように Source Operations(0x18)および Destination Operations(0x1C)のケイバビリティ・レジスタを修正しました。



### SerialLite III ストリーミング IP コア

- tx\_error における不正な ECC(Error Checking and Correction)エラー・ビットを修正しました。
- 以下の変更に対処します。
  - レーン・レートに対してユーザー入力のサポートを追加
  - IP パラメータ・エディタ GUI からトランシーバの ODI(On-die Instrumentation)オプションを削除
  - IP パラメータ・エディタ GUI でパラメータの説明を更新

### 1.2.4. DSP Builder アドバンスド・ブロックセット

- DSPBA 生成の VHDL に影響する問題点を修正しました。この修正以前に、VHDL デザインに符号混在の乗算があった場合、DSP ブロック ROM に格納された UNSIGNED の定数が SIGNED として格納され、不正な乗算結果となりました。  
この問題点は、DSPBA 生成の Verilog には影響しません。

### 1.2.5. アルテラ SDK for OpenCL

**注意:** 特に記述がない限り、以下の Altera SDK for OpenCL の問題は Quartus Prime スタンダード・エディション・ソフトウェアおよび Quartus Prime プロ・エディション・ソフトウェアの両方に関連しています。

- AOCL がデバイス ID に対応するように使用するグローバル・メモリ・ポインタ以内に上位ビット数を増加しました。この調整は割り当てられたビット幅を 5 ビットに増加し、ランタイムが最大 32 個のデバイスに対処できるようにします。
- ファンアウトが高い work-item-invariant 計算をコンパイルする場合に、Altera Offline Compiler で起こり得る致命的なエラーを修正しました。

## 1.3. 解決済みのソフトウェアの問題

表 1. Quartus Prime デザイン・スイート・バージョン 16.0 アップデート 2 で解決したソフトウェアの問題

概要	影響を受ける Quartus Prime エディション	解決策
Arria 10 PCIe リンク向けの LTSSM は、初期リンクのトレーニング後に Recovery ステートに入ることがある。この問題の発生は、Arria 10 PCIe IP コア用のトランシーバ設定が Quartus Prime ソフトウェア・バージョン 16.0 および 16.0.1 においては最適ではないからである。既存の設定がビット・エラーを起こす可能性があり、特定のチャネル損失プロファイルに対して Recoveries and Correctable リンク・エラーの結果となる。これらのエラーは、ハードウェアでのみ観察され、シミュレーションまたはデザインのコンパイル時には観察されない	スタンダードおよびプロ	この問題は、Quartus Prime ソフトウェア・バージョン 16.0.2 で修正されました。アルテラは、このソフトウェア・バージョンにアップグレードすることを推奨します。



表 2. Quartus Prime デザイン・スイート・バージョン 16.0 アップデート 2 で解決したカスタマ・サービス・リクエスト

解決されたカスタマ・サービス・リクエスト番号					
11213587	11213799	11222180	11225366	11228086	11228210
11230501	11232973	11233411	11233921	11234730	11236148
11236399	11237723	11239339	11240453	11243135	—

表 3. Quartus Prime デザイン・スイート・バージョン 16.0 アップデート 1 で解決したカスタマ・サービス・リクエスト

解決されたカスタマ・サービス・リクエスト番号					
11168817	11206718	11213610	11219862	11219477	11220036

## 1.4. アップデート・リリースで組み入れられたソフトウェア・パッチ

表 4. Quartus Prime デザイン・スイート・バージョン 16.0 アップデート 2 で組み入れられたソフトウェア・パッチ

ソフトウェア・バージョン	パッチ	カスタマ・サービス・リクエスト番号
Quartus Prime ソフトウェア 16.0.1	1.01	11213799
Quartus Prime ソフトウェア 16.0.1	1.05	—
Quartus Prime ソフトウェア 16.0.1	1.09	11225366
Quartus Prime ソフトウェア 16.0.1	1.10	11232973
Quartus Prime ソフトウェア 16.0.1	1.11	11228210
Quartus Prime ソフトウェア 16.0	0.05	11228210
Quartus Prime ソフトウェア 15.1.2	2.23	11213799

表 5. Quartus Prime デザイン・スイート・バージョン 16.0 アップデート 1 で組み入れられたソフトウェア・パッチ

ソフトウェア・バージョン	パッチ	カスタマ・サービス・リクエスト番号
アルテラ SDK for OpenCL 16.0	0.01cl	11220036
Quartus Prime ソフトウェア 15.1.2	2.29	11219477

## 1.5. 既知の問題と解決策

この項では、以下に示す アルテラ®SDK for OpenCL ソフトウェア・バージョン 16.0 アップデート 2 に影響する既知の問題について情報を提供します。

概要	解決策
Arria 10 GX FPGA 開発キット・リファレンス・プラットフォームの 16.0.2 バージョンをターゲットして Arria 10 デバイスをプログラムし、ホスト・プログラムの動作中に Partial Reconfiguration を通じて長いシーケンス (>500 回) のプログラミングを実行すると、アプリケーションが不正に動作することが発生しかねない	ホスト・プログラムを終了させます。アプリケーションが不正に動作したと判断する場合、ホスト・プログラムを再起動します。 詳しくは、 <a href="#">Altera Knowledge Database</a> を参照してください。





この項では、以下に示す Quartus Prime ソフトウェア・バージョン 16.0 アップデート 1 に影響する既知の問題について情報を提供します。

概要	影響を受ける Quartus Prime エディション	解決策
ローカルにインストールした Quartus Prime ヘルプをロードするために Google Chrome を使用する場合に、一部の JavaScript 機能を無効にすることを求める画面が表示されることがある	スタンダードおよびプロ	Google Chrome を使用して適切に画面を表示させるには、 <a href="http://quartushelp.altera.com/current/index.htm">http://quartushelp.altera.com/current/index.htm</a> から Quartus Prime ヘルプにアクセスします。 解決策オプションの詳細については <a href="#">Altera Knowledge Database</a> を参照してください。
Arria 10 PCIe リンク向けの LTSSM は、初期リンクのトレーニング後に Recovery ステートに入ることがある。この問題の発生は、Arria 10 PCIe IP コア用のトランシーバ設定が Quartus Prime ソフトウェア・バージョン 16.0 および 16.0.1 においては最適ではないからである。既存の設定がビット・エラーを起こす可能性があり、特定のチャネル損失プロファイルに対して Recoveries and Correctable リンク・エラーの結果となる。これらのエラーは、ハードウェアでのみ観察され、シミュレーションまたはデザインのコンパイル時には観察されない	スタンダードおよびプロ	この問題は、Quartus Prime ソフトウェア・バージョン 16.0.2 において対応します。詳しくは、 <a href="#">Altera Knowledge Database</a> を参照してください。

既知のソフトウェアの問題について、詳しくは [Altera Knowledge Database](#) を参照してください。

#### 関連情報

- [Altera Knowledge Database](#)
- [Altera 資料: リリース・ノート](#)
- [Quartus Prime または、Quartus II 開発ソフトウェア・サポート](#)

## 1.6. 改訂履歴

表 6. Quartus Prime デザイン・スイート・バージョン 16.0 アップデートの改訂履歴

日付	ドキュメント・バージョン	変更内容
2016 年 8 月	2016.08.01	Quartus Prime デザイン・スイート・バージョン 16.0 アップデート 2 の情報を追加
2016 年 6 月	2016.06.10	Quartus Prime デザイン・スイート・バージョン 16.0 アップデート 1 の情報を追加