



# Arria 10 FPLL IP コア・リリースノート



## 目次

---

<b>1 Arria 10 FPLL IP コア・リリースノート.....</b>	<b>3</b>
1.1 Arria 10 FPLL IP コアバージョン 16.1 改訂履歴.....	3
1.2 Arria 10 FPLL IP コアバージョン 15.1 改訂履歴.....	3
1.3 Arria 10 FPLL IP コアバージョン 15.0 改訂履歴.....	4
1.4 Arria 10 FPLL IP コアバージョン 14.1 改訂履歴.....	4
1.5 Arria 10 FPLL IP コアバージョン 14.0 改訂履歴.....	5
1.6 Arria 10 FPLL IP コアバージョン 13.1 改訂履歴.....	6



## 1 Arria 10 FPLL IP コア・リリースノート

特定の IP コアのバージョンでリリースノートが適用できない場合、そのバージョンの IP コアには変更がありません。最新の更新リリース情報は、*Quartus Prime デザインスイート・アップデート・リリースノート*に記載しています。

### 関連情報

[Quartus Prime デザインスイート・アップデート・リリースノート](#)

### 1.1 Arria 10 FPLL IP コアバージョン 16.1 改訂履歴

表 1. 2016 年 10 月 Arria 10 エディション・バージョン 16.1

内容	影響
<p><b>問題</b> : Arria 10 FPLL の再構成中に、pll_locked 信号がディアサートされ、FPLL がリファレンス・クロックへのロック機能を失うことが表示されます。この動作はリファレンス・クロック pll_refclk&lt;n&gt; が FPLL の再構成中と同時に変更される場合に制限されます。</p> <p><b>回避策</b> : なし</p> <p><b>解決策</b> : Quartus Prime バージョン 16.1 のシミュレーション・モデルでこの動作を修正し、更新済。</p>	シミュレーションでのみ影響を受けます。シリコンは影響を受けません。

### 関連情報

- [Arria 10 トランシーバー PHY ユーザーガイド](#)
- [Errata for Reed-Solomon IP core in the Knowledge Base](#)
- [Introduction to Intel FPGA IP Cores](#)

### 1.2 Arria 10 FPLL IP コアバージョン 15.1 改訂履歴

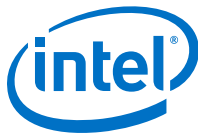
表 2. 2015 年 11 月 Arria 10 エディション・バージョン 15.1

内容	影響
「Enable cascade clock input port」パラメーター名を「Enable ATX to FPLL cascade clock input port」へ変更。	—
<p><b>問題</b> : ACDS バージョン 15.1 では Arria 10 トランシーバーのデザインに必要な修正を導入しました。この修正により、Arria 10 Transceiver Native PHY、Arria 10 Transceiver ATX PLL、Arria 10 Transceiver CMU PLL、および Arria 10 fPLL IP コアを含んだデザインのポストフィット・シミュレーションへの影響も変更しました。</p> <p>pll_powerdown は HSSI PLL IP コアに接続されません。</p> <p><b>回避策</b> : ACDS バージョン 15.1 のトランシーバー PLL のポストフィット・シミュレーションを必要とするユーザーは、デザインでポストフィット・シミュレーション・ネットリストを生成するために「Transceiver Reset Sequencer」を無効にする必要があります。ただし、これはハードウェアの最終ビットストリームの生成には使用できず、また、使用されるべきではありません。ハードウェアで「Transceiver Reset Sequencer」を有効にする必要があります。</p>	pll_powerdown は、Quartus Prime 合成で Arria 10 Transceiver ATX PLL、Arria 10 Transceiver CMU PLL、Arria 10 fPLL IP コアに入力します。その結果、結果として生成されたポストフィット・シミュレーションは、PLL のリセット入力接続を備えず、ポストフィット・シミュレーションが失敗する可能性があります。
<i>continued...</i>	

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

\*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO  
9001:2008  
登録済



内容	影響
<p>Quartus Prime ソフトウェアで「Transceiver Reset Sequencer」を無効にするには、次の QSF をプロジェクトの Quartus Settings File に追加します。</p> <pre>set_global_assignment -name VERILOG_MACRO "ALTERA_XCVR_A10_ENABLE_ANALOG_RESETS=1"</pre> <p>これにより、デザイン内のリセット・シーケンサーが完全に無効になり、古い動作が復元されます。この方法では「Transceiver Reset Sequencer」ロジックのポストフィット・シミュレーションの実行はできません。</p> <p><b>解決策</b>：PLL シミュレーション・モデルの変更に関し、ACDS パージョン 15.1 の後のリリースでのリセット要件の削除が予定されています。</p>	

#### 関連情報

- [Arria 10 トランシーバー PHY ユーザーガイド](#)
- [Errata for Reed-Solomon IP core in the Knowledge Base](#)
- [Introduction to Altera IP Cores](#)

## 1.3 Arria 10 FPLL IP コアバージョン 15.0 改訂履歴

表 3. 2015 年 5 月 Arria 10 エディション・バージョン 15.0

内容	影響
<p>次の GUI 警告を変更：Warning (10858): altera_xcvr_fpll_a10.sv(487) での Verilog HDL warning: object pll_extfb_wire used but never assigned.</p> <p>このコンパイル警告は、CGB マスターが生成されていない（有効ではない）場合に未接続ネットが取り残されたことによって生じます。CGB マスターが駆動するために生成されていない場合は、pll_extfb_wire 信号をオフにします。</p>	-
<p>次の値を表示する <b>Advanced Parameters</b> タブを追加</p> <ul style="list-style-type: none"><li>• C counters (0 ~ 3)</li><li>• L, M および N counters</li><li>• K fractional division</li><li>• VCO frequency</li></ul>	-
<p>vco 周波数 (MHz) の戻り値の小数点以下 6 桁を切り捨て</p>	-

#### 関連情報

- [Arria 10 トランシーバー PHY ユーザーガイド](#)
- [Errata for Transceiver IP Cores in the Knowledge Base](#)
- [Introduction to Altera IP Cores](#)

## 1.4 Arria 10 FPLL IP コアバージョン 14.1 改訂履歴



表 4. 2014 年 12 月 Arria 10 エディション・バージョン 14.1

内容	影響
デフォルトの FPLL モードを Transceiver TX PLL へ変更	-
FPLL ではフラクショナル・モードでの「High」の帯域幅の設定は不可	
Quartus II ソフトウェア・バージョン 14.1 では、IP コアが Arria 10 デバイスファミリーをターゲットとする場合、デバイスを指定する必要があります。IP コアのアップグレード・ツールは、ターゲット Arria 10 デバイスが未指定の場合に IP コア・アップグレードの必要性を主張しますが、理由を明らかにしません。	Arria 10 エディション・バージョン 13.1 または Arria 10 エディション・バージョン 14.0 の IP コア・バリエーションでのデバイスを指定し、Quartus II ソフトウェア・バージョン 14.1 で再生成する必要があります。

関連情報

- [Arria 10 トランシーバー PHY ユーザーガイド](#)
- [Errata for Transceiver IP Cores in the Knowledge Base](#)
- [Introduction to Altera IP Cores](#)

## 1.5 Arria 10 FPLL IP コアバージョン 14.0 改訂履歴

表 5. 2014 年 8 月 Arria 10 エディション・バージョン 14.0

内容	影響
新しい IP Catalog のサポートを更新。IP Catalog について詳細は、 <i>Introduction to Altera IP Cores of IP Catalog and Parameter Editor</i> を参照してください。	-
サポートされるエンベデッド・デバッグ機能を追加。この機能は、デザインの PLL インスタンスで PLL コントロールレジスタへの書き込み、ステータスレジスタからの読み出しが可能です。この機能は <b>Dynamic Reconfiguration</b> タブの下で使用可能です。	-
有効な FPLL モードを表示するために FPLL Parameter Editor グラフィック・ユーザー・インターフェイス (GUI) を変更。次の 3 つのモードで FPLL を使用できます。 <ul style="list-style-type: none"> <li>• Core</li> <li>• Cascade Source</li> <li>• Transceiver</li> </ul>	-
自動帯域幅設定のオプションを削除。次の帯域幅の設定が可能です。 <ul style="list-style-type: none"> <li>• Low</li> <li>• Medium</li> <li>• High</li> </ul>	-
ユーザー警告と情報のメッセージの向上	-
Arria 10 エディション・バージョン 13.1 の fPLL IP では、Core と Transceiver PLL モードで使用される FPLL の同時選択が可能になりました。ただし、Arria 10 エディション・バージョン 14.0 の FPLL IP では、一度に 1 モードのみ (Transceiver PLL または Core PLL) の選択が可能です。Arria 10 エディション・バージョン 13.1 で両モード (Transceiver PLL と Core PLL) を選択している場合は、Arria 10 エディション・バージョン 14.0 で FPLL IP の自動アップグレードに失敗します。この場合、正当な FPLL の使用モードを 1 つ選択した後、FPLL IP を手動でアップグレードする必要があります。	-
「Core」が FPLL モードとして選択されている場合は、IP Parameter Editor の <b>Master Clock Generation Block</b> タブは表示されません。 <b>Master Clock Generation Block</b> タブは、FPLL モードとして「Transceiver」が選択されている場合のみ表示されます。	-



**関連情報**

- [Arria 10 トランシーバー PHY ユーザーガイド](#)
- [Errata for Transceiver IP Cores in the Knowledge Base](#)
- [Introduction to Altera IP Cores](#)

## 1.6 Arria 10 FPLL IP コアバージョン 13.1 改訂履歴

**表 6. Arria 10 エディション・バージョン 13.1**

内容	影響
Arria 10 デバイスの初版	-

**関連情報**

- [Arria 10 トランシーバー PHY ユーザーガイド](#)
- [Errata for Transceiver IP Cores in the Knowledge Base](#)
- [Introduction to Altera IP Cores](#)