



インテル® Quartus® Prime 開発ソフトウェア

インテル® Quartus® Prime 開発ソフトウェアは、FPGA、CPLD、および SoC 設計の性能と生産性に革命をもたらし、設計コンセプトを実現する最短パスを提供します。インテル® Quartus® Prime 開発ソフトウェアは、論理合成、スタティック・タイミング解析、ボードレベル・シミュレーション、シグナル・インテグリティ解析、フォーマル検証など、多くのサードパーティー・ツールにも対応します。

インテル® Quartus® Prime 開発ソフトウェア v18.0		利用可能状況		
		プロ・エディション (有償)	スタンダード・エディション (有償)	ライト・エディション (無償)
デバイスのサポート	インテル® Stratix® シリーズ	IV、V 10	✓	✓
	インテル® Arria® シリーズ	II		✓ ¹
		II、V 10	✓	✓
		10 LP 10 GX	✓ ²	✓
	インテル® Cyclone® シリーズ	IV、V 10 LP 10 GX	✓	✓
	インテル® MAX® シリーズ		✓	✓
デザインフロー	パーシャル・リコンフィグレーション	✓	✓ ³	
	ラビッド・リコンパイル	✓	✓ ⁴	
	ブロックベースのデザイン	✓		
	インクリメンタルな最適化	✓		
デザインエントリ/ プランニング	マルチプロセッサ・サポート (コンパイル時間をさらに短縮)	✓	✓	
	IP ベーススイート	✓	✓	有償オプション
	インテル® HLS コンパイラ	✓	✓	✓
	プラットフォーム・デザイナー (スタンダード)		✓	✓
	プラットフォーム・デザイナー (プロ)	✓		
	デザイン・パーティション・プランナー	✓	✓	
	チッププランナー	✓	✓	✓
	インターフェイス・プランナー	✓		
機能シミュレーション	ロジックロック・リージョン	✓	✓	
	ModelSim* - Intel® FPGA Starter Edition ソフトウェア	✓	✓	✓
	ModelSim* - Intel® FPGA Edition ソフトウェア	✓ ⁵	✓ ⁵	✓ ⁵
論理合成	VHDL	✓	✓	✓
	Verilog	✓	✓	✓
	SystemVerilog	✓	✓ ⁶	✓ ⁶
	VHDL-2008	✓		
配置 / 配線	フィッター (配置 / 配線)	✓	✓	✓
	初期配置	✓		
	レジスター・リタイミング	✓	✓	
タイミングおよびパワー検証	タイミング・アナライザ	✓	✓	✓
	デザイン・スペース・エクスプローラー II	✓	✓	✓
	消費電力アナライザ	✓	✓	✓
インシステム・デバッグ	シグナルタップ・ロジック・アナライザ	✓	✓	✓
	トランシーバー・ツールキット	✓	✓	
	インテル® アドバンスド・リンク・アナライザ	✓	✓	
オペレーティング・システム (OS) サポート	Windows*/Linux* (64ビット) サポート	✓	✓	✓
販売価格		有償 Fixed - 3,995ドル Float - 4,995ドル	有償 Fixed - 2,995ドル Float - 3,995ドル	無償
ダウンロード		今すぐダウンロード	今すぐダウンロード	今すぐダウンロード

注:
 1. Arria® II FPGA - EP2AGX45 デバイスのみサポートします。
 2. プロ・エディションでは、インテル® Cyclone® 10 GX デバイスは無償でサポートされます。
 3. Cyclone® V および Stratix® V デバイスにのみ使用可能であり、パーシャル・リコンフィグレーション・ライセンスが必要です。
 4. Stratix® V, Arria® V, Cyclone® V デバイスに使用可能です。
 5. 別途ライセンスが必要です。
 6. 一部の言語のみサポートしています。

その他の開発ツール

ツール	概要
インテル® FPGA SDK for OpenCL™	<ul style="list-style-type: none"> 追加のライセンスは不要です。 インテル® Quartus® Prime 開発ソフトウェア・プロ・エディション / スタンダード・エディションに対応しています。 ソフトウェアのインストール・ファイルには、インテル® Quartus® Prime 開発ソフトウェア・プロ・エディション / スタンダード・エディション、および OpenCL® ソフトウェアが含まれます。
DSP Builder for インテル® FPGA	<ul style="list-style-type: none"> 追加のライセンスが必要です。 DSP Builder for インテル® FPGA (アドバンスト・ブロックセットのみ) は、インテル® Stratix® 10、インテル® Arria® 10 デバイス向けのインテル® Quartus® Prime 開発ソフトウェア・プロ・エディションで使用できます。 DSP Builder for インテル® FPGA (スタンダード・ブロックセットおよびアドバンスト・ブロックセット) は、インテル® Arria® 10、Stratix® V、Arria® V、Cyclone® V デバイス向けのインテル® Quartus® Prime 開発ソフトウェア・スタンダード・エディションで使用できます。
Nios® II エンベデッド・デザイン・スイート	<ul style="list-style-type: none"> 追加のライセンスは不要です。 インテル® Quartus® Prime 開発ソフトウェアのすべてのエディションに対応しています。 Nios® II ソフトウェア開発ツールおよびライブラリーが含まれます。
インテル® SoC FPGA エンベデッド開発スイート (SoC EDS)	<ul style="list-style-type: none"> ARM® Development Studio 5 (DS-5*) Intel® SoC FPGA Edition 用の追加のライセンスが必要です。 SoC EDS スタンダード・エディションは、インテル® Quartus® Prime 開発ソフトウェア・ライト・エディション / スタンダード・エディション・ソフトウェアに対応し、SoC EDS プロ・エディションは、インテル® Quartus® Prime 開発ソフトウェア・プロ・エディションに対応しています。

OpenCL および OpenCL のロゴは Apple Inc. の商標であり、Khronos の許可を得て使用しています。

インテル® Quartus® Prime 開発ソフトウェアの概要

インターフェイス・プランナー	リアルタイムの規則チェックを使用して、I/O デザインを迅速に作成できます。
ピンプランナー	高集積およびピン数の多いデザインのピン・アサインメントの割り当ておよび管理のプロセスを簡略化します。
プラットフォーム・デザイナー	階層手法とネットワーク・オン・チップ・アーキテクチャーに基づく高性能インターコネクトを使用して、IP ファンクションとサブシステム (IP ファンクションの集合) を統合し、システム開発を自動化します。
標準 IP コア	インテルとインテルのサードパーティー IP パートナーが提供する IP コアを使用して、システム・レベル・デザインの構築を可能にします。
論理合成	サポート対象の言語として、SystemVerilog と VHDL 2008 が追加されています。
スクリプトサポート	グラフィカル・ユーザー・インターフェイス (GUI) デザインだけでなく、コマンドライン操作と Tcl スクリプトもサポートしています。
ラビッド・リコンパイル	(フルコンパイル後の小規模なデザイン変更の場合) コンパイル時間を短縮して生産性を最大限に高めます。タイミング・クロージャーマも大幅に改善します。
インクリメンタルな最適化	デザイン完了へと収束を早める設計手法を提供します。従来のフィッターステージがさらに細かいステージに分割されて、デザインフローの制御が強化されています。
パーシャル・リコンフィグレーション	リコンフィグレーションによって別の機能を実行できる物理領域を FPGA 上に作成します。合成、配置、配線、タイミング・クロージャーマ、コンフィグレーション・ビットストリームの生成を行って、領域に実装された機能を実現します。
ブロックベースのデザインフロー	タイミングがクローズされたモジュールやデザインブロックをプロジェクトやチーム間で再利用できる柔軟性を提供します。
インテル® Hyperflex™ FPGA アーキテクチャー	インテル® Stratix® 10 デバイスのコアの性能と電力効率を向上させます。
フィジカルシナシス	デザインの配置配線後の遅延情報を使用して、性能を向上させます。
デザイン・スペース・エクスプローラー (DSE)	インテル® Quartus® Prime 開発ソフトウェアの設定の組み合わせを自動的に反復処理して最適な結果を見つけることにより、性能を向上させます。
拡張クロスプロービング	検証ツールとデザイン・ソース・ファイル間のクロスプロービングをサポートします。
最適化アドバイザー	性能、リソース使用率、および消費電力低減を向上するデザイン固有のアドバイスを提供します。
チッププランナー	配置配線後のわずかなデザイン変更を数分で実装可能にすることにより、タイミング・クロージャーマを維持しながら、検証時間を短縮します。
タイミング・アナライザー	Synopsys® Design Constraint (SDC) のネイティブサポートにより、複雑なタイミング制約を作成、管理、解析し、高度なタイミング検証を素早く実行できます。
シグナルタップ・ロジック・アナライザー ¹	最多チャネル数、最高クロック速度、最大サンプル容量、最新トリガー機能をサポートするエンベデッド・ロジック・アナライザーです。
システムコンソール	リード / ライト・トランザクションを使用して、FPGA をリアルタイムで簡単にデバッグできるようにします。データの監視や FPGA への送信に役立つ GUI も素早く作成できます。
消費電力アナライザー	ダイナミックおよびスタティック消費電力の高精度な解析と最適化を可能にします。
EDA パートナー	論理合成、機能およびタイミング・シミュレーション、スタティック・タイミング解析、ボードレベル・シミュレーション、シグナル・インテグリティ解析、フォーマル検証用の EDA ソフトウェア・サポートを提供します。パートナーのリストについては、 http://www.altera.co.jp/eda-partners/ でご確認ください。

注:

1. インテル® Quartus® Prime 開発ソフトウェア・ライト・エディションでは、Talkback 機能を有効にすることで利用可能です。

今すぐ設計を開始するために

ステップ1: 無償版のインテル® Quartus® Prime 開発ソフトウェア・ライト・エディションをダウンロードする。

<http://www.altera.co.jp/download/>

ステップ2: オンライン・トレーニングで基礎から学習する。

(ソフトウェアのインストール後に、「ようこそ」画面でオンライン・トレーニングにアクセス可能)

ステップ3: インストラクター・トレーニングを受講する。

<http://www.altera.co.jp/training/>



©2018 Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Intel Inside、Intel Inside ロゴ、Intel Experience What's Inside、Intel Experience What's Inside ロゴ、Altera、Arria、Cyclone、Enpirion、Intel Atom、Intel Core、MAX、Nios、Quartus、Stratix および Xeon の名称およびロゴは、アメリカ合衆国および / またはその他の国における Intel Corporation またはその子会社の商標です。

* 第三者の社名、製品名などは、一般に各所有者の表示、商標または登録商標です。