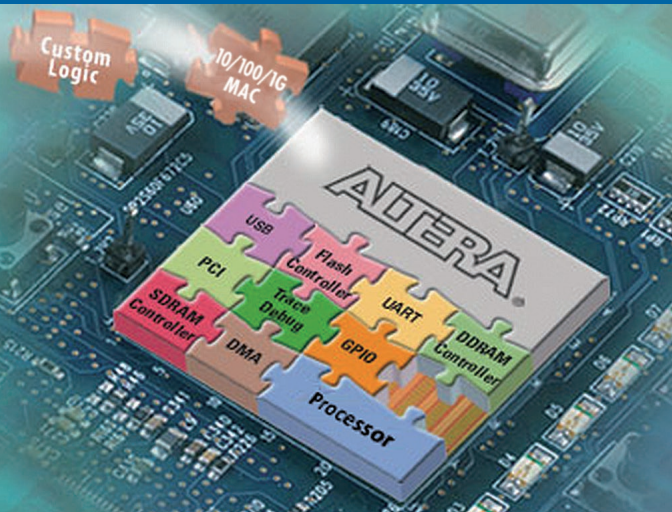


Nios II

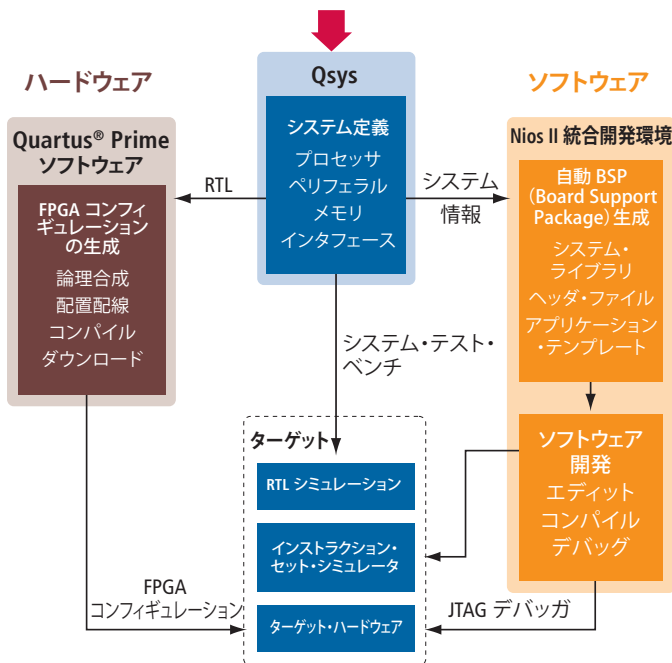
エンベデッド・ソフトコア・プロセッサ



最も汎用性に優れたプロセッサ

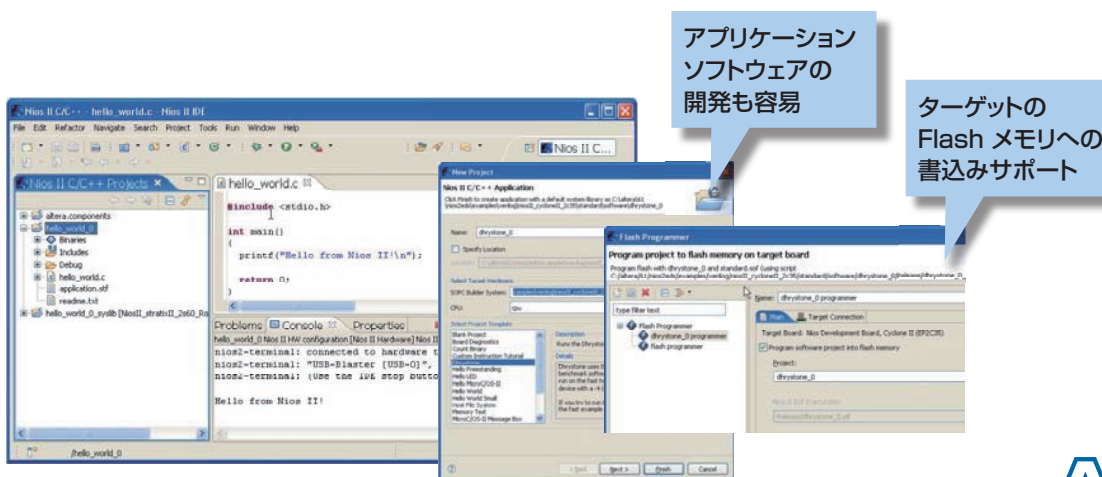
- 32 ビット RISC アーキテクチャ、ハード・アーキテクチャを採用
- ロイヤリティ・フリーでのライセンス提供
- 最適なプロセッサ、ペリフェラル、メモリおよびインタフェースを実装可能
- 充実したエンベデッド・システムの構築、開発、デバッグ環境を提供
- 浮動小数点ユニットを標準装備
- HAL (Hardware Abstraction Layer) のサポート
 - ハードウェアによる依存を無くし、ユーザー・プログラムを共有化
- カスタム命令搭載
 - ハードウェアによる、ソフトウェアの高速化

■ Nios II プロセッサの開発フロー



■ Nios® II エンベデッド・デザイン・スイート (EDS) の内容

- ソフトウェア開発に向けた Eclipse ベースの Nios II ソフトウェア構築ツール (Eclipse 用の Nios II SBT)
 - 業界標準の Eclipse IDE ベース
 - 新規プロジェクト用ウィザード
 - ソフトウェア・テンプレート
 - ソース・ナビゲータおよびエディタ
- C/C++ 用コンパイラ (GNU)
- ソフトウェア・デバッガ / プロファイラ
- フラッシュ・プログラマ
- エンベデッド・ソフトウェア
 - HAL (Hardware Abstraction Layer)
 - MicroC/OS-II RTOS
 - NicheStack TCP/IP ネットワーク・スタック—Nios II エディション
 - Newlib ANSI-C 標準ライブラリ
 - シンプル・ファイル・システム
- アルテラ・コマンドライン・ツールおよびユーティリティ
- デザイン例



Nios II エンベデッド・ソフトコア・プロセッサ

アルテラ・デバイスがサポートする主要なプロセッサ性能および機能

カテゴリー	コスト / 消費電力重視のプロセッサ	リアルタイム・プロセッサ	アプリケーション・プロセッサ	
機能	Nios II エコノミー (無償)	Nios II 高速	28nm ¹ デュアル・コア ARM® Cortex®-A9	20nm ² デュアル・コア ARM Cortex-A9
最大周波数 (MHz) ³	370 (Stratix V)	350 (Stratix V)	925 MHz (Cyclone V SoC) 1.05 GHz (Arria V SoC)	1.5 GHz (Arria 10 -1 スピード・グレード)
最大性能 (MIPS ⁴ @ MHz) Stratix® シリーズ	56 (370 MHz)	396 (350 MHz)	-	-
最大性能 (MIPS ⁴ @ MHz) Arria® シリーズ	38 (250 MHz)	203 (180 MHz)	コアあたり 2,625 MIPS (1.05 GHz)	コアあたり 3,750 MIPS (1.5 GHz)
最大性能 (MIPS ⁴ @ MHz) Cyclone® シリーズ	32 (210 MHz)	203 (180 MHz)	コアあたり 2,313 MIPS (925 MHz)	-
最大性能効率 (MIPS ⁴ @ MHz)	0.15	1.13	2.5	2.5
16/32 ビット命令セット・サポート	32	32	16/32	16/32
レベル 1 命令キャッシュ	-	コンフィギュレーション可能	32 KB	32 KB
レベル 1 データ・キャッシュ	-	コンフィギュレーション可能	32 KB	32 KB
レベル 2 キャッシュ	-	-	512 KB	512 KB
メモリ・マネージメント・ユニット (MMU)	-	コンフィギュレーション可能	✓	✓
浮動小数点演算ユニット	-	FPCI ⁵	倍精度	倍精度
ベクトル割り込みコントローラ	-	✓	-	-
密結合メモリ	-	コンフィギュレーション可能	-	-
カスタム命令インタフェース	最大 256	最大 256	-	-
等価 LE	600	1,800 - 3,200	HPS	HPS

- 注: 1. アルテラ 28nm SoC には Cyclone V SoC および Arria V SoC が含まれます。
 2. アルテラ 20nm SoC には Arria 10 SoC が含まれます。
 3. Stratix V FPGA を使用した最高性能測定値です。
 4. Dhystone 2.1 ベンチマーク
 5. カスタム浮動小数点命令

Nios II ソフトコア・プロセッサの概要

カテゴリー	プロセッサ名	供給ベンダー	説明
消費電力 / コストに最適化	Nios II エコノミー・コア	アルテラ	カスタム命令 (FPGA ハードウェアによるアクセラレーションが可能)、ベクタ割り込みコントローラ、密結合メモリなどの独自のハードウェア・リアルタイム機能に加え、業界をリードするリアルタイム・オペレーティング・システム (RTOS) のサポートにより、ハードおよびソフト・リアルタイム要件に対応、汎用性に優れたリアルタイム処理ソリューションを実現。
リアルタイム処理	Nios II 高速コア ¹	アルテラ	
アプリケーション処理	Nios II 高速コア	アルテラ	シンプルなコンフィギュレーション・オプションにより、メモリ・マネージメント・ユニット (MMU) を使用してエンベデッド Linux を実行可能。オープン・ソース版 Linux と商用版 Linux の両方に対応。
セーフティ・クリティカル 処理	Nios II SC	HCELL 社	Nios II セーフティ・クリティカル (SC) コアと、HCELL 社が提供する DO-254 準拠デザイン・サービスを利用することで、デザインの DO-254 準拠認証を取得可能。

注: 1. Nios II Gen2 では、標準コアを設定済みのオプションとして使用することができませんが、Gen2 高速コアが標準コアと同じ機能セットを備えるように、Qsys で設定することができます。

日本アルテラ株式会社

〒163-1332
 東京都新宿区西新宿6-5-1
 新宿アイランドタワー32F 私書箱1594号
 TEL. 03-3340-9480 FAX. 03-3340-9487
 www.altera.co.jp
 E-mail: japan@altera.com



Altera Corporation

101 Innovation Drive, San Jose, CA 95134 USA
 www.altera.com

本資料に掲載されている内容は、製品の仕様の変更等により予告なく変更される可能性があります。最新の情報はアルテラ・ウェブサイトをご参照ください。

©2015 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, ENPIRION, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/legal. November 2015