



消費電力制約の増加に対する デザイン手法

MAX[®] 10 FPGA は、消費電力を重視する今日のアプリケーションや市場において、小型かつ低消費電力のデザインを実現するさまざまな省電力機能を提供します。MAX 10 FPGA のインテグレーション、インスタント・オン機能、スリープ・モード、および I/O バッファのダイナミック・ディセーブル機能は、システムの低消費電力化に非常に役立ちます。

業界での課題

システム設計者は、消費電力の低減に重点を置く開発の必要性を求められています。業界動向や社会情勢により、消費電力の削減や一定消費電力制限内での機能強化の傾向が強まっています。業界では、総所有コスト (TCO) に占める運用コスト (OpEx) を重視する流れが続いており、通信やコンピューティングなどの市場ではその流れが加速しています。電力コスト、冷却コスト、および実際の施設空間に起因する消費電力が直接 OpEx 増加の一因となるため、今やデータ・センター、サービス・プロバイダ、および企業顧客では電力効率を定期的に評価し、最適化を図っています。その一方で、携帯性向上に向けた社会の流れにより、従来は据え置き型であったシステムが、分散化またはモバイル化しつつあることから、システム・デザインの消費電力の制限は厳しさを増しています。

消費電力に関する問題の解決

MAX 10 FPGA は、今日の消費電力に関する課題に対処するために、さまざまな省電力機能を備えています。

シングルチップ・インテグレーション

MAX 10 FPGA は、多くの重要な機能をオン・ダイ化し、ボードへの追加コンポーネントを削減します。MAX 10 FPGA によるシングルチップ・インテグレーションは、プリント基板 (PCB) を介した高消費電力のデバイス間信号送受信ではなく、低消費電力のデバイス・シリコン内での信号送受信による低遅延かつ広帯域幅のインタフェースを実現します。MAX 10 FPGA は、デュアル・イメージ・コンフィギュレーション・フラッシュ・メモリ、アナログ-デジタル・コンバータ (ADC)、およびシステム・データの永続記録用ユーザー・フラッシュ・メモリ (UFM) を搭載しています。

図 1. MAX 10 FPGA の特長



低スタティック消費電力

MAX 10 FPGA は、アルテラ低コスト FPGA で培った低スタティック消費電力技術を継承しています。スタティック消費電力は、FPGA 内でのサブスレッショルド・リークと DC バイアス電流の結果です。MAX 10 FPGA は、フル機能の FPGA 製品ファミリにおいて業界最小のスタティック消費電力を誇るアルテラの Cyclone® IV E FPGA と同等のコア・ファブリック・アーキテクチャを使用しています。MAX 10 FPGA は、Cyclone® IV E FPGA の低スタティック消費電力 60nm アーキテクチャを、消費電力に最適化された 55nm フラッシュ対応プロセス・テクノロジーで利用することにより、Cyclone IV E FPGA と同等の低消費電力を達成することができます。また、Cyclone IV E FPGA 譲りの低消費電力に加え、ダイナミック消費電力を削減する新しい省電力機能も備えています。

I/O ダイナミック消費電力の削減

システム設計者に最大限の柔軟性を提供するため、すべての FPGA I/O は本来双方向です。各 I/O は、コンフィギュレーション・ファイルで指定された I/O 方向に基づいて入力専用、出力専用、または双方向用としてコンフィギュレーションできます。従来、双方向 I/O の出力バッファは動的な出力イネーブル信号を備えていましたが、MAX 10 FPGA は入力バッファにもイネーブル/ディセーブル機能を備えています。入力バッファをダイナミックにディセーブルした場合、FPGA 内部の入力がハイ・インピーダンス状態にならないように、バッファはその最後の既知状態を FPGA コア・ファブリックに提示します。

このダイナミック入力バッファ・ディセーブル機能は、LVDS や、SSTL、HSTL、HSUL などの電圧基準 I/O 規格の消費電力削減を実現します。例えば、DDR3 SDRAM インタフェース上で 1.5 V SSTL 双方向 I/O バッファをデータ (DQ) およびストローブ (DQS) 信号として使用する場合、DDR3 SDRAM インタフェースがアイドル状態または SDRAM への書き込み中は、入力バッファを動的にパワーダウンできます。この機能により、低い読み込みデューティ・サイクルの DDR3 SDRAM インタフェースにて最大 240 mW の削減が可能です。この I/O ダイナミック・バッファ・ディセーブル機能は、ロジック・エレメント数 (LE) が 16,000 個以上の MAX 10 FPGA で利用可能です。

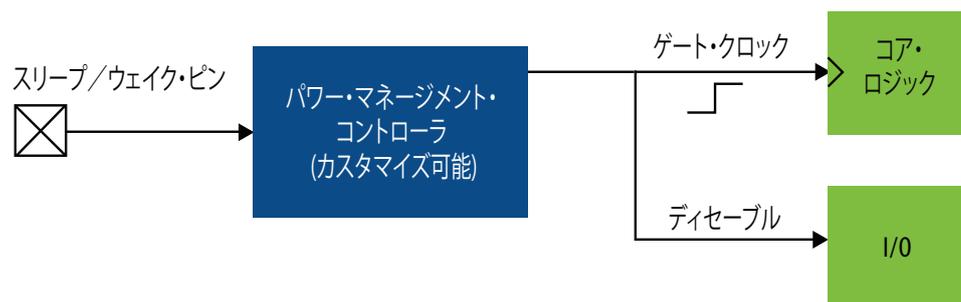
低消費電力スタンバイ・モード

多くのアプリケーションでは、機能が非アクティブ状態の期間が多く存在します。この非アクティブ状態時も、グローバル・クロック・ネットワークおよびロジック回路の動的なスイッチングは続いており、電力を消費しています。しかし、ステータス情報の喪失やシステム再起動に要する時間等の理由により、システム設計者はシステムをシャットダウンすることを躊躇します。MAX 10 FPGA は、システムの非アクティブ状態時の消費電力削減を可能にする機能として、スリープ・モードとインスタント・オン・コンフィギュレーションの 2 つを備えています。

スリープ・モード

スリープ・モードでは、必要な状態情報をすべて保持しながらスタンバイ消費電力を削減することが可能であり、しかも 1 ミリ秒未満で動作を再開できます。スリープ・モードをイネーブルする設計では、スリープ・モードへの移行および動作再開を制御する信号として、プライマリ入力ピンを使用します。そのプライマリ入力ピンは、FPGA ファブリック内でパワー・マネージメント・コントローラ (PMC) に接続されており、それによって FPGA のスリープ・モード移行および動作再開のための特定の動作が実行されます。アルテラでは、ユーザーのシステム要件に合わせてカスタマイズできる PMC リファレンス・デザインを提供しています。スリープ・モードでは、ユーザーが選択した FPGA のグローバル・クロック・ネットワーク (GCLK) は 1 つずつ安全にゲートオフされ、サポートされた I/O バッファはダイナミックにディセーブルされます。

図 2. MAX 10 FPGA のスリープ・モード



スリープ・モードでのダイナミック消費電力削減はデザインによって異なり、アクティブ・モードの消費電力、スリープ・モードに移行するロジックの比率、システムのデューティ・サイクルにもよりますが、最大90%程度の削減が可能です。

インスタント・オン・コンフィギュレーション

インスタント・オン・コンフィギュレーションにより、MAX 10 FPGA は非アクティブ状態時には完全にパワーオフされ、そして 10 ミリ秒以内で再コンフィギュレーションすることが可能です (特定の FPGA 集積度に対する正確な再コンフィギュレーション時間については、MAX 10 FPGA のデータシートをご参照ください)。FPGA の再コンフィギュレーション中は状態が失われますが、重要なデータはシャットダウン前にオン・ダイ UFM にあらかじめ書き込み、再起動時にリードバックすることができます。パワーオフからのフル FPGA コンフィギュレーションは、人間が知覚できないほど高速に完了します。そのため、インスタント・オン・コンフィギュレーションは、低デューティ・サイクルのバッテリー駆動システムに最適です。インスタント・オン・コンフィギュレーションは、すべての MAX 10 FPGA にて標準機能として使用できます。

電源レギュレータ

MAX 10 FPGA には、リニア・レギュレータ内蔵のシングル電圧供給バージョン (3.0 V または 3.3 V) と、通常のデュアル電圧供給バージョン (1.2 V および 2.5 V) の 2 種類の電源供給バージョンが用意されています。デュアル電圧供給バージョンの MAX 10 FPGA および高効率 Enpirion® PowerSoC スイッチング・レギュレータの組み合わせにより、システムの低消費電力を実現すると同時に PCB 面積を最小化することが可能です。アルテラの Early Power Estimator (EPE) は、設計者に簡単な消費電力見積りとレギュレータ選択手順を提供します。Enpirion はアルテラ・コーポレーションの一部門であり、PowerSoC と FPGA は連携動作するよう設計されており、同じチームによってサポートされます。

結論

MAX 10 FPGA は、消費電力が重視される分野においてシステムの能力をフルに発揮させることを可能にするさまざまな省電力機能を備えています。Cyclone IV E FPGA の業界最小のスタティック消費電力をベースとし、不揮発性インテグレーションによるインスタント・コンフィギュレーション、スリープ・モード、および I/O バッファ・ダイナミック・ディセーブル機能により、さらなる消費電力削減が可能です。また、高効率の Enpirion PowerSoC スイッチング・レギュレータを組み合わせることにより、小型の統合ソリューションにて低いシステム消費電力を容易に実現することができます。

詳細情報について

MAX 10 FPGA ファミリーに関する詳細は、アルテラ販売代理店にお問い合わせいただくか、アルテラ・ウェブサイト (www.altera.co.jp/max10) をご覧ください。

低システム消費電力の実現についての詳細は、以下ホワイトペーパーをご参照ください。

- ホワイトペーパー: 65nm Cyclone III FPGA における低消費電力の実現 (PDF)
www.altera.co.jp/literature/wp/wp-01016_j.pdf
- ホワイトペーパー: Adding Hardware Accelerators to Reduce Power in Embedded Systems (英語版・PDF)
www.altera.com/literature/wp/wp-01112-hw-reduce-power.pdf



日本アルテラ株式会社

〒163-1332
東京都新宿区西新宿6-5-1
新宿アイランドタワー32F 私書箱1594号
TEL. 03-3340-9480 FAX. 03-3340-9487
www.altera.co.jp
E-mail: japan@altera.com

Altera Corporation

101 Innovation Drive, San Jose, CA 95134 USA
www.altera.com

本資料に掲載されている内容は、製品の仕様の変更等により予告なく変更される可能性があります。最新の情報はアルテラ・ウェブサイトをご参照ください。