



広帯域幅、低消費電力、低BER

優れた電力効率を実現するアルテラの 28nm トランシーバ

アルテラのトランシーバは、システム帯域幅、消費電力、ビット・エラー・レート (BER) の要件を満たす確かな実績を持っています。このテクノロジー・リーダーシップは、28nm Stratix® V FPGAにも発揮されています。

アルテラの広帯域幅を優れた電力効率で提供する Stratix V FPGAは、さらに広い適用範囲、柔軟性、および信頼性の向上を実現します。また、デザイン・プロセスを高速化するためのシミュレーション・ツールも提供されるため、製品の出荷時期を早めることができます。さらに、クラス最高のトランシーバは多種多様なプロトコルに準拠し、バックプレーン、光モジュール、およびチップ間アプリケーションをサポートする各種トランシーバ・シグナル・インテグリティ機能を搭載しています。

高速シリアル・プロトコル

規格	電氣的シリアル・ライン・レート (Gbps)
OIF/CEI 28G-SR	25/28
16G Fibre Channel	14.025
IEEE 802.3ba 40G/100G 10GBASE-R/10GBASE-KR ¹	10.3125
10G GPON/EPON ¹	10
OIF SFI-S/SFI-5.2(40G)	9.95 to 11.1
10G Interlaken ¹	10.6921
SONET/SDH OC-192 (10G / 40G)	9.95
SFP+ ¹	8.5 to 11.32
XFP	9.95328 to 11.32
OIF/CEI 11G-SR & LR	9.95 to 11.1
OTU2/OTU3/OTU4	10.709/10.7545/11.2
10G SDI	10.6921
QDR InfiniBand	10
PCI Express® 3.0/2.0/1.0 ¹	8/5/2.5
Interlaken ¹	4.976 to 6.375
SRIO 2.0+ ¹	1.25, 2.5, 3.125, 5 to 6.25
CPRI 4.0+ ¹	0.6144, 1.2288, 2.4576, 3.072, 4.9152, 6.144
SATA 3.0/SAS 2.0	6
QPI	4, 4.8, 6.4, 8
HyperTransport™ 3.0+	0.4, 2.4, 2.8, 3.2
HighGig+, HighGig2+	3.75, 6.25
Fibre Channel (8G/4G)	8.5 Gbps/4.25
OIF/CEI 6G-SR	4.976 to 6.375
XAUI	3.125
SFI-4.2(10G)/SFI-5.1(40G)	3.125

¹/ハード IP (Intellectual Property)

最も広い帯域幅による適用範囲の拡大

Stratix V FPGA は、最大28 G で動作する、最大66個の全二重トランシーバ・チャンネルにより、最高のシステム帯域幅を提供します。

独立したそれぞれの送信チャンネルには、以下のモジュールからクロックを供給可能です。

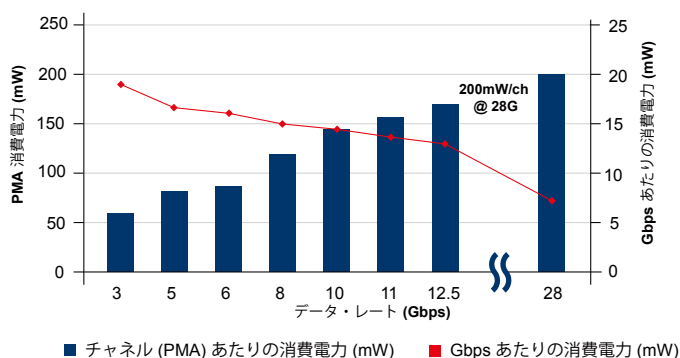
- ・ピコ秒以下の極めて低いジッタを提供するLC オシレータ
- ・広いデータ・レンジ (600 Mbps ~ 14.1 Gbps) のリング・オシレータ
- ・コア・ファブリックと共用の新しい fPLL (fractional Phase-Locked Loop)

fPLL は、1 つの基準クロック・ソースから複数のクロック周波数を合成することが可能です。通常基準クロックは外部オシレータで生成しますが、fPLL の高精度な周波数合成機能によって、チップ上で基準クロックを生成し、マルチプロトコルやマルチレート・アプリケーションにおけるボード上の電圧制御水晶発振器 (VXCO) の数を削減することも可能です。

最小の消費電力で柔軟性が向上

Stratix V FPGA は、広範なアプリケーションに最高のシステム帯域幅を最も低い消費電力で提供します。図 1 は、6.5 Gbps ~ 28 Gbps のデータ・レートで動作するトランシーバ・フィジカル・メディア・アタッチメント (PMA) のチャンネルあたりの消費電力を示します。

図 1：チャンネルあたりのトランシーバ PMA の消費電力



最小の BER が実現する高い信頼性

Stratix V トランシーバは、最小のジッタでクラス最高のシステム信頼性を提供します。高度な送信/受信イコライゼーション機能により、最小の BER で 10GBASE-KR バックプレーンを完全にサポートします。トランシーバはチップの外縁部にあります。そのため、トランシーバがコアと I/O のノイズから保護され、最適なシグナル・インテグリティを得ることができます。

アルテラは、トランシーバ・リンクの品質のシミュレーションと試験を支援する以下のモデルおよびツールも提供しています。

- トランシーバ HPSICE モデルおよび IBIS-AMI 動作モデル: リンク解析とボード・デザインを行うために、さらに高度なシステム回路のシミュレーションを可能にします。
- PELE (Pre-emphasis and Equalization Link Estimator): ジッタ性能を見積もるのに最適な送受信イコライゼーション係数を提供し、ターゲットとする BER で高速シリアル・リンクを相互接続できることを確認します。
- EyeQ アイ・ビューワ: 受信側のイコライザ通過後のアイ開口部を垂直/水平方向に再現します。EyeQ オンチップ解析機能を使用して、理想的なイコライゼーション係数設定のための調整や、ダイナミック・リコンフィギュレーションと組み合わせることによりトランシーバ・リンクのデバッグを行うことができます。

日本アルテラ株式会社

〒163-1332
東京都新宿区西新宿6-5-1
新宿アイランドタワー32F 私書箱1594号
TEL.03-3340-9480 FAX.03-3340-9487
www.altera.co.jp
E-mail:japan@altera.com

トランシーバ・シグナル・インテグリティ機能

機能	Stratix V FPGA
データ・レート	20 Gbps ~ 28 Gbps (GTB) 600 Mbps ~ 14.1 Gbps (GXB)
バックプレーン・サポート	最大 14.1 Gbps、10GBASE-KR をサポート
光モジュールのサポート	<ul style="list-style-type: none"> • XFP • スモール・フォーム・ファクタ・プラグ (SFP+) • クワッド・スモール・フォーム・ファクタ・プラグ (QSFP) • CXP • CFP
アーキテクチャ	<ul style="list-style-type: none"> • 独立した送信/受信チャンネル • すべてのチャンネルにフル PMA とフィジカル・コーディング・サブレイヤ (PCS) を装備 • チャンネルごとの広範なハード PCS (8b/10b、64b/66b、および 64b/67b エンコーディングを含む)
受信クロック	受信チャンネルごとのアナログ PLL ベース CDR (クロック・データ・リカバリ)
送信クロック	<ul style="list-style-type: none"> • fPLL (最大 3.75 Gbps) • CMU (600 Mbps ~ 14.1 Gbps) • プログラマブル LC (3.25 Gbps ~ 14.1 Gbps、20Gbps ~ 28Gbps)
リニア・イコライゼーション (CTLE)	受信チャンネル用のプログラマブル 4 段リニア・イコライゼーション (最大 20dB)
ディジション・フィードバック・イコライゼーション (DFE)	受信チャンネル用の 5 タップ・デジタル・イコライザ。チャンネル間損失とクロストークを最小化
アダプティブ離散補正エンジン (ADCE)	受信イコライゼーションを自動的に調整して経時変化を補正するアダプティブ・エンジン
PLL ベースのクロック・リカバリ方式	位相補間方式よりも優れたジッタ・トレランスを実現
送信イコライゼーション (プリエンファシス)	送信チャンネル用 4 タップ・プリエンファシスおよびデエンファシス

詳細情報について

Stratix V トランシーバ・テクノロジーの詳細は、アルテラの販売代理店にご連絡いただくか、または www.altera.co.jp/stratixv をご覧ください。