



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIII51007-1.1

### はじめに

Stratix<sup>®</sup> III I/O は、使いやすさと迅速なシステム統合を実現すると同時に、内部ロジックの能力を最大化し、システム・レベルの性能を達成するのに必要な広帯域幅を提供することに重点を置いて設計されています。パーティカル・マイグレーションが可能な共通バンク構造を持つ独立したモジュール・ベースの I/O バンクにより、高速 I/O の効率と柔軟性が高まります。ダイナミック終端機能を備えたパッケージとダイの機能強化、および出力コントロールは、クラス最高のシグナル・インテグリティを提供します。以下の多数の I/O 機能がデバイス間的高速データ転送を補助します。

- 非電圧リファレンス形式および電圧リファレンス形式のシングル・エンド I/O 規格
- LVDS (Low-Voltage Differential Signaling)、RSDS (Reduced Swing Differential Signal)、mini-LVDS、HSTL (High-Speed Transceiver Logic)、および SSTL (Stub Series Terminated Logic)
- SDR (Single Data Rate) および HDR (Half Data Rate) 入力および出力のオプション (HDR は、SDR の半分の周波数および 2 倍のデータ幅。)
- ロー I/O バンク上の最大 132 本の全二重 1.25 Gbps の True-LVDS チャネル (132 Tx + 132 Rx)
- シリアライザ / デシリアライザ (SERDES) 内蔵 Hard DPA ブロック
- デスキュー、リードおよびライト・レバリング、およびクロック・ドメイン・クロス機能
- プログラマブル出力ドライブ強度
- プログラマブル・スルー・レート
- プログラマブル遅延
- プログラマブル・バス・ホールド
- プログラマブル・プルアップ抵抗
- オープン・ドレイン出力
- シリアル、パラレル、およびダイナミック On-Chip Termination (OCT: チップ内終端)
- 差動 OCT

### Stratix III の I/O 規格サポート

Stratix III デバイスは、I/O 規格を幅広くサポートしています。表 7-1 に、Stratix III デバイスがサポートする I/O 規格と一般的なアプリケーションを示します。Stratix III デバイスは、3.0 V、2.5 V、1.8 V、1.5 V、および 1.2 V の  $V_{CCIO}$  電圧レベルをサポートします。3.3-V I/O 規格のインタフェースの場合、Stratix III は  $V_{CCIO}$  を 3.0 V に調整するための外部電圧を必要とします。

表 7-1. Stratix III が対応する I/O 規格およびアプリケーション (1 / 2)

I/O 規格	アプリケーション
3.0-V LVTTTL	汎用
3.0-V LVCMOS	汎用
2.5-V LVTTTL/LVCMOS	汎用
1.8-V LVTTTL/LVCMOS	汎用
1.5-V LVTTTL/LVCMOS	汎用
1.2-V LVTTTL/LVCMOS	汎用
3.0-V PCI	PC およびエンベデッド・システム
3.0-V PCI-X	PC およびエンベデッド・システム
SSTL-2 Class I	DDR SDRAM
SSTL-2 Class II	DDR SDRAM
SSTL-18 Class I	DDR2 SDRAM
SSTL-18 Class II	DDR2 SDRAM
SSTL-15 Class I	DDR3 SDRAM
SSTL-15 Class II	DDR3 SDRAM
HSTL-18 Class I	QDRII/RLDRAM II
HSTL-18 Class II	QDRII/RLDRAM II
HSTL-15 Class I	QDRII/QDRII+/RLDRAM II
HSTL-15 Class II	QDRII/QDRII+/RLDRAM II
HSTL-12 Class I	メモリ・インタフェース
HSTL-12 Class II	メモリ・インタフェース
差動 SSTL-2 Class I	DDR SDRAM
差動 SSTL-2 Class II	DDR SDRAM
差動 SSTL-18 Class I	DDR2 SDRAM
差動 SSTL-18 Class II	DDR2 SDRAM
差動 SSTL-15 Class I	DDR3 SDRAM
差動 SSTL-15 Class II	DDR3 SDRAM
差動 HSTL-18 Class I	クロック・インタフェース
差動 HSTL-18 Class II	クロック・インタフェース
差動 HSTL-15 Class I	クロック・インタフェース
差動 HSTL-15 Class II	クロック・インタフェース
差動 HSTL-12 Class I	クロック・インタフェース
差動 HSTL-12 Class II	クロック・インタフェース
LVDS	高速通信

I/O 規格	アプリケーション
RSDS	フラット・パネル・ディスプレイ
mini-LVDS	フラット・パネル・ディスプレイ
LVPECL	ビデオ・グラフィックおよびクロック分配

## I/O 規格および電圧レベル

Stratix III デバイスは、シングル・エンド、電圧リファレンス形式のシングル・エンド、および差動 I/O 規格などの I/O 規格を幅広くサポートします。

表 7-2 に、サポートされている I/O 規格と、入力および出力の  $V_{CCIO}$ 、 $V_{CCPD}$ 、 $V_{REF}$ 、およびボード  $V_{TT}$  の標準値を示します。

I/O 規格	規格サポート	$V_{CCIO}$ (V)				$V_{CCPD}$ (V) (プリドライバ電圧)	$V_{REF}$ (V) (入力 Ref 電圧)	$V_{TT}$ (V) (ボードの終端電圧)
		入力動作		出力動作				
		トップおよびボトム の I/O バンク	左側および右側の I/O バンク	トップおよびボトム の I/O バンク	左側および右側の I/O バンク			
3.0-V LVTTTL	JESD8-B	3.0/2.5	3.0/2.5	3.0	3.0	3.0	NA	NA
3.0-V LVCMOS	JESD8-B	3.0/2.5	3.0/2.5	3.0	3.0	3.0	NA	NA
2.5-V LVTTTL/LVCMOS	JESD8-5	3.0/2.5	3.0/2.5	2.5	2.5	2.5	NA	NA
1.8-V LVTTTL/LVCMOS	JESD8-7	1.8/1.5	1.8/1.5	1.8	1.8	2.5	NA	NA
1.5-V LVTTTL/LVCMOS	JESD8-11	1.8/1.5	1.8/1.5	1.5	1.5	2.5	NA	NA
1.2-V LVTTTL/LVCMOS	JESD8-12	1.2	1.2	1.2	1.2	2.5	NA	NA
3.0-V PCI	PCI Rev 2.1	3.0	3.0	3.0	3.0	3.0	NA	NA
3.0-V PCI-X	PCI-X Rev 1.0	3.0	3.0	3.0	3.0	3.0	NA	NA
SSTL-2 Class I	JESD8-9B	2.5	2.5	2.5	2.5	2.5	1.25	1.25

表 7-2. Stratix III が対応する I/O 規格および電圧レベル (2 / 3) 注 (1)、(2)、(3)

I/O 規格	規格 サポート	$V_{CCIO}$ (V)				$V_{CCPD}$ (V) (プリドライバ 電圧)	$V_{REF}$ (V) (入力 Ref 電圧)	$V_{TT}$ (V) (ボード の終端 電圧)
		入力動作		出力動作				
		トップ および ボトム の I/O バンク	左側 および 右側の I/O バンク	トップ および ボトム の I/O バンク	左側 および 右側の I/O バンク			
SSTL-2 Class II	JESD8-9B	2.5	2.5	2.5	2.5	2.5	1.25	1.25
SSTL-18 Class I	JESD8-15	1.8	1.8	1.8	1.8	2.5	0.90	0.90
SSTL-18 Class II	JESD8-15	1.8	1.8	1.8	1.8	2.5	0.90	0.90
SSTL-15 Class I		1.5	1.5	1.5	1.5	2.5	0.75	0.75
SSTL-15 Class II		1.5	1.5	1.5	NA	2.5	0.75	0.75
HSTL-18 Class I	JESD8-6	1.8	1.8	1.8	1.8	2.5	0.90	0.90
HSTL-18 Class II	JESD8-6	1.8	1.8	1.8	1.8	2.5	0.90	0.90
HSTL-15 Class I	JESD8-6	1.5	1.5	1.5	1.5	2.5	0.75	0.75
HSTL-15 Class II	JESD8-6	1.5	1.5	1.5	NA	2.5	0.75	0.75
HSTL-12 Class I	JESD8-16A	1.2	1.2	1.2	1.2	2.5	0.6	0.6
HSTL-12 Class II	JESD8-16A	1.2	1.2	1.2	NA	2.5	0.6	0.6
差動 SSTL-2 Class I	JESD8-9B	2.5	2.5	2.5	2.5	2.5	NA	1.25
差動 SSTL-2 Class II	JESD8-9B	2.5	2.5	2.5	2.5	2.5	NA	1.25
差動 SSTL-18 Class I	JESD8-15	1.8	1.8	1.8	1.8	2.5	NA	0.90
差動 SSTL-18 Class II	JESD8-15	1.8	1.8	1.8	1.8	2.5	NA	0.90
差動 SSTL-15 Class I	--	1.5	1.5	1.5	1.5	2.5	NA	0.75
差動 SSTL-15 Class II	--	1.5	1.5	1.5	NA	2.5	NA	0.75
差動 HSTL-18 Class I	JESD8-6	1.8	1.8	1.8	1.8	2.5	NA	0.90
差動 HSTL-18 Class II	JESD8-6	1.8	1.8	1.8	1.8	2.5	NA	0.90
差動 HSTL-15 Class I	JESD8-6	1.5	1.5	1.5	1.5	2.5	NA	0.75

表 7-2. Stratix III が対応する I/O 規格および電圧レベル (3 / 3) 注 (1)、(2)、(3)

I/O 規格	規格 サポート	$V_{CCIO}$ (V)				$V_{CCPD}$ (V) (プリドライバ 電圧)	$V_{REF}$ (V) (入力 Ref 電圧)	$V_{TT}$ (V) (ボード の終端 電圧)
		入力動作		出力動作				
		トップ および ボトム の I/O バンク	左側 および 右側の I/O バンク	トップ および ボトム の I/O バンク	左側 および 右側の I/O バンク			
差動 HSTL-15 Class II	JESD8-6	1.5	1.5	1.5	NA	2.5	NA	0.75
差動 HSTL-12 Class I	JESD8-16A	1.2	1.2	1.2	1.2	2.5	NA	0.60
差動 HSTL-12 Class II	JESD8-16A	1.2	1.2	1.2	NA	2.5	NA	0.60
LVDS	ANSI/TIA/ EIA-644	2.5	2.5	2.5	2.5	2.5	NA	NA
RSDS	--	2.5	2.5	2.5	2.5	2.5	NA	NA
mini-LVDS	--	2.5	2.5	2.5	2.5		NA	NA
LVPECL	--	2.5	2.5	NA	NA	2.5	NA	NA

## 表 7-2 の注:

- (1) PCI クランプ・ダイオードがイネーブルされた入力ピンでは、 $V_{CCIO}$  が 3.0 V に強制されます。
- (2)  $V_{CCPD}$  は、2.5 V または 3.0 V のいずれかです。3.0-V I/O 規格の場合、 $V_{CCPD} = 3.0$  V です。2.5 V 以下の I/O 規格の場合、 $V_{CCPD} = 2.5$  V です。
- (3) シングル・エンド HSTL/SSTL および LVDS 入力バッファは、 $V_{CCPD}$  で駆動します。



各 I/O 規格の電気的特性については、「Stratix III デバイス・ハンドブック Volume 2」の「Stratix III デバイスの DC およびスイッチング特性」の章を参照してください。

## Stratix III の I/O バンク

図 7-1 に示す通り、Stratix III デバイスは 24 個の I/O バンクを内蔵しています。ロウ I/O バンクは、最大 1.25 Gbps の速度で差動規格をサポートする真の差動入力および出力バッファと専用回路を内蔵しています。

Stratix III デバイスのすべての I/O バンクは、高性能外部メモリ・インタフェースを専用回路でサポートすることができます。I/O ピンはペアで編成されており、差動規格をサポートします。各 I/O ピン・ペアは差動入力バッファと差動出力バッファの両方をサポート可能ですが、唯一の例外は、差動入力動作のみサポートする c1k1、c1k3、c1k8、c1k10、PLL\_L1\_clk、PLL\_L4\_clk、PLL\_R1\_clk、および PLL\_R4\_clk の各ピンです。


 LVDS I/O 規格で使用可能なチャンネル数について詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの DPA を使用した高速差動 I/O インタフェース」を参照してください。

図 7-1. Stratix III の I/O バンク 注 (1)、(2)、(3)、(4)、(5)、(6)、(7)

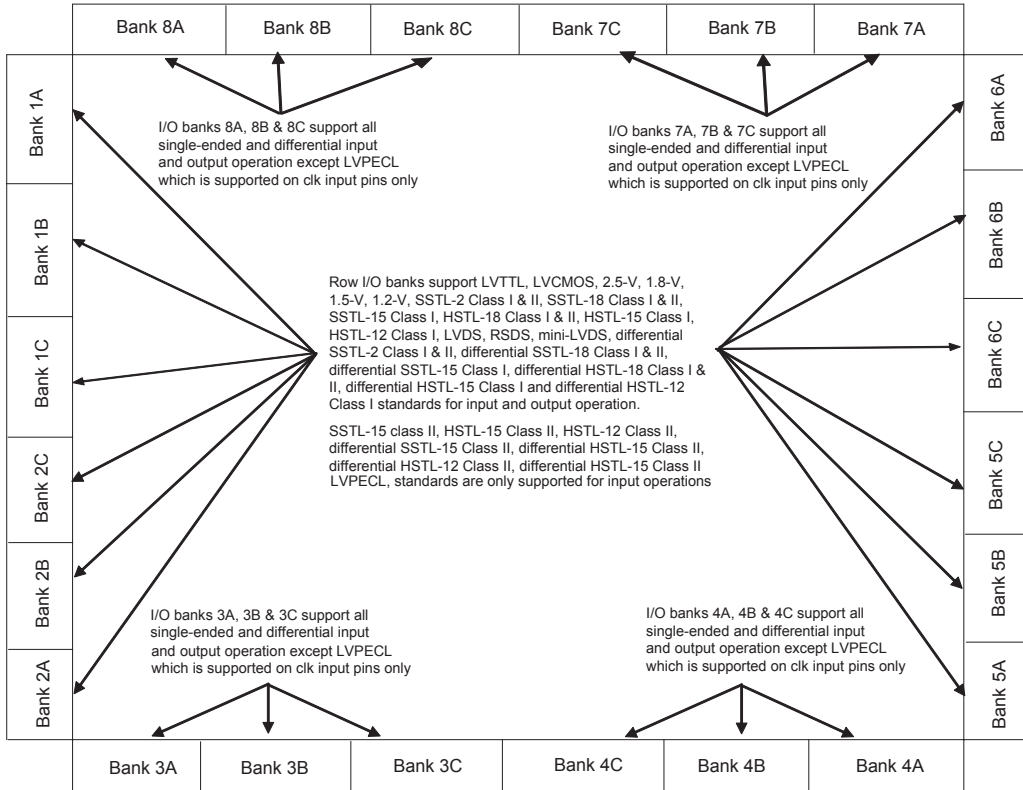


図 7-1 の注：

- (1) 差動 HSTL および SSTL 出力は、真の差動出力ではありません。これらは 2 つのシングル・エンド出力を 2 番目の出力が反転するようにプログラムして使用します。
- (2) カラム I/O 差動 HSTL および SSTL 入力、差動 OCT サポートなしの LVDS 差動入力バッファを使用します。
- (3) カラム I/O は、シングル・エンド・バッファおよび外部抵抗ネットワークを使用して LVDS 出力をサポートします。
- (4) ロウ I/O は外部クランプ・ダイオードで PCI/PCI-X をサポートします。
- (5) カラム I/O の差動クロック入力は、 $V_{CCCLKIN}$  を使用します。すべての出力は、対応するバンク  $V_{CCIO}$  を使用します。
- (6) ロウ I/O は、専用の LVDS 出力バッファをサポートします。
- (7) カラムおよびロウ I/O バンクは、入力クロック動作に対して LVPECL 規格をサポートします。

## モジュール・ベースの I/O バンク

Stratix III デバイスの I/O ピンは、モジュラー I/O バンクと呼ぶグループで編成されます。I/O バンク数は、デバイス集積度に応じて 16 ~ 24 バンクになります。各バンクのサイズは、24、32、36、40、または 48 I/O ピンです。図 7-4 ~ 7-7 に、各 I/O バンクで利用できる I/O ピン数を示します。

Stratix III デバイスでは、サイドあたりの最大 I/O バンク数はデバイス集積度によって異なり、6 つまたは 4 つです。1 サイドあたりの I/O バンク数が異なるデバイスを移行するとき、除去または挿入されるのはミドルすなわち「B」バンクです。例えば、24 バンク・デバイスから 16 バンク・デバイスに移行するときには除去されるバンクは、「B」バンク、すなわち 1B、2B、3B、4B、5B、6B、7B、および 8B です。同様に、16 バンク・デバイスから 24 バンク・デバイスに移行するときには追加されるバンクは、「B」バンク、すなわち 1B、2B、3B、4B、5B、6B、7B、および 8B です。

小さなデバイスからより大きなデバイスへの移行時に、バンク・サイズは同じか増加しますが、決して減少することはありません。例えば、各バンクのサイズは、24 I/O から 32、36、40、または 48 I/O ピンに増加しますが、減少することはありません。これを図 7-2 に示します。

図 7-2. バンク移行パス、デバイス・サイズ増大

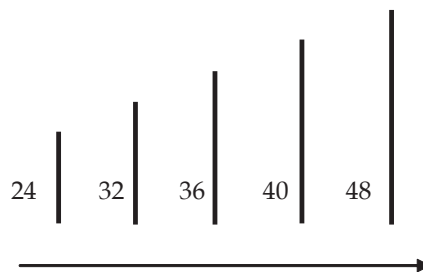


図 7-3 ~ 図 7-7 に、利用できるデバイスの各セットの I/O 数およびパッケージ情報を示します。



図 7-3. 484 ピン FineLine BGA パッケージの EP3SL50、EP3SL70、および EP3SE50 デバイス  
 における各バンクの I/O 数 注 (1)

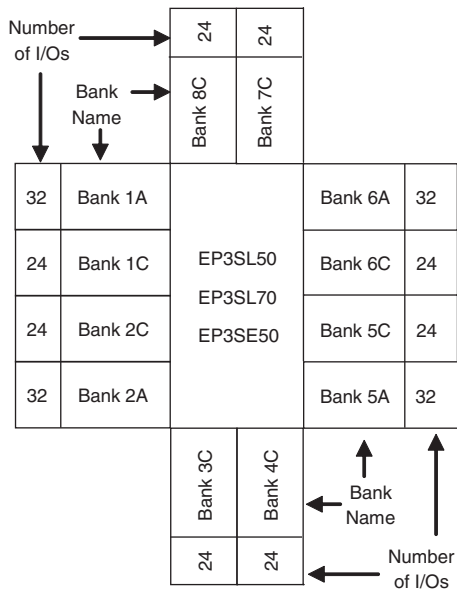


図 7-3 の注：

- (1) すべての I/O ピン数には、データ入力に使用可能な 8 本の専用クロック入力 (CLK1p、CLK1n、CLK3p、CLK3n、CLK8p、CLK8n、CLK10p、および CLK10n) が含まれます。

図 7-4. 780 ピン FineLine BGA パッケージの EP3SL50、EP3SL70、EP3SL110、EP3SL150、EP3SL200、EP3SE50、EP3SE80、EP3SE110、および EP3SE260 デバイスにおける各バンクの I/O 数 注 (1)

Number of I/Os		40	24	24	40		
Bank Name		Bank 8A	Bank 8C	Bank 7C	Bank 7A		
32	Bank 1A	EP3SL50 EP3SL70 EP3SL110 EP3SL150 EP3SL200 EP3SE50 EP3SE80 EP3SE110 EP3SE260				Bank 6A	32
26	Bank 1C					Bank 6C	26
26	Bank 2C					Bank 5C	26
32	Bank 2A					Bank 5A	32
		Bank 3A	Bank 3C	Bank 4C	Bank 4A		
		40	24	24	40		

図 7-4 の注:

- (1) すべての I/O ピン数には、データ入力に使用可能な 8 本の専用クロック入力 (CLK1p、CLK1n、CLK3p、CLK3n、CLK8p、CLK8n、CLK10p、および CLK10n) が含まれます。

図 7-5. 1,152 ピン FineLine BGA パッケージの EP3SL110、EP3SL150、EP3SL200、EP3SL340、EP3SE80、EP3SE110、および EP3SE260 デバイスにおける各バンクの I/O 数 注 (1)

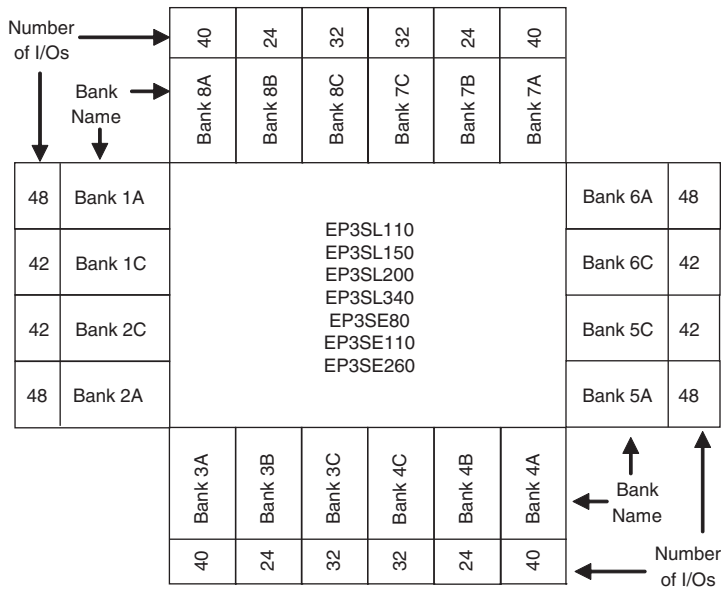


図 7-5 の注：

- (1) すべての I/O ピン数には、データ入力に使用可能な 8 本の専用クロック入力 (CLK1p、CLK1n、CLK3p、CLK3n、CLK8p、CLK8n、CLK10p、および CLK10n) が含まれます。

図 7-6. 1,517 ピン FineLine BGA パッケージの EP3SL200 デバイス  
における各バンクの I/O 数 注 (1)

Number of I/Os		48	48	32	32	48	48		
Bank Name		Bank 8A	Bank 8B	Bank 8C	Bank 7C	Bank 7B	Bank 7A		
50	Bank 1A	EP3SL200						Bank 6A	50
42	Bank 1C							Bank 6C	42
42	Bank 2C							Bank 5C	42
50	Bank 2A							Bank 5A	50
		Bank 3A	Bank 3B	Bank 3C	Bank 4C	Bank 4B	Bank 4A		
		48	48	32	32	48	48		

図 7-6 の注：

- (1) すべての I/O ピン数には、データ入力に使用可能な 8 本の専用クロック入力 (CLK1p、CLK1n、CLK3p、CLK3n、CLK8p、CLK8n、CLK10p、および CLK10n) および 8 本の専用コーナー PLL クロック入力 (PLL\_L1\_CLKp、PLL\_L1\_CLKn、PLL\_L4\_CLKp、PLL\_L4\_CLKn、PLL\_R4\_CLKp、PLL\_R4\_CLKn、PLL\_R1\_CLKp、および PLL\_R1\_CLKn) が含まれます。

図 7-7. 1,517 ピン FineLine BGA パッケージの EP3SE60 および EP3SL340 デバイスにおける各バンクの I/O 数 注 (1)

		Number of I/Os							
		48	48	32	32	48	48		
		Bank Name							
		Bank 8A	Bank 8B	Bank 8C	Bank 7C	Bank 7B	Bank 7A		
50	Bank 1A	EP3SE260 EP3SL340						Bank 6A	50
24	Bank 1B							Bank 6B	24
42	Bank 1C							Bank 6C	42
42	Bank 2C							Bank 5C	42
24	Bank 2B							Bank 5B	24
50	Bank 2A							Bank 5A	50
		Bank 3A	Bank 3B	Bank 3C	Bank 4C	Bank 4B	Bank 4A		
		48	48	32	32	48	48		
								Number of I/Os	

図 7-7 の注 :

- (1) すべての I/O ピン数には、データ入力に使用可能な 8 本の専用クロック入力 (CLK1p、CLK1n、CLK3p、CLK3n、CLK8p、CLK8n、CLK10p、および CLK10n) および 8 本の専用コーナー PLL クロック入力 (PLL\_L1\_CLKp、PLL\_L1\_CLKn、PLL\_L4\_CLKp、PLL\_L4\_CLKn、PLL\_R4\_CLKp、PLL\_R4\_CLKn、PLL\_R1\_CLKp、および PLL\_R1\_CLKn) が含まれます。

図 7-8. 1,760 ピン FineLine BGA パッケージの EP3SL340 デバイス  
 における各バンクの I/O 数 注 (1)

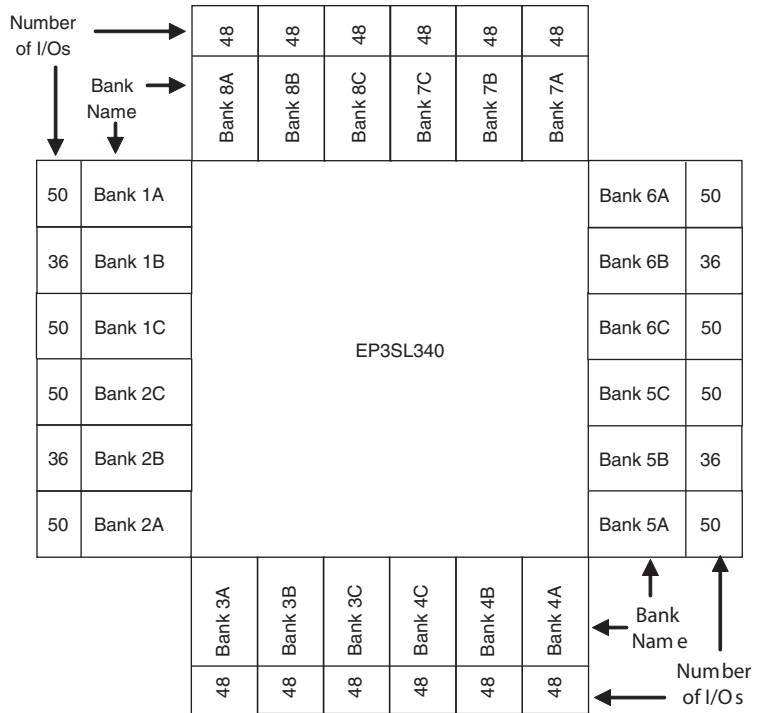


図 7-8 の注：

- (1) すべての I/O ピン数には、データ入力に使用可能な 8 本の専用クロック入力 (CLK1p、CLK1n、CLK3p、CLK3n、CLK8p、CLK8n、CLK10p、および CLK10n) および 8 本の専用コーナー PLL クロック入力 (PLL\_L1\_CLKp、PLL\_L1\_CLKn、PLL\_L4\_CLKp、PLL\_L4\_CLKn、PLL\_R4\_CLKp、PLL\_R4\_CLKn、PLL\_R1\_CLKp、および PLL\_R1\_CLKn) が含まれます。

## Stratix III の I/O 構造

Stratix III デバイスの I/O エlement (IOE) は、完全なエンベデッド双方向シングル・データ・レートまたは DDR 転送をサポートする、1 個の双方向 I/O バッファおよび I/O レジスタで構成されています。IOE は、Stratix III デバイス周辺の I/O ブロック内に配置されています。各ロウ I/O ブロックあたり最大 4 個の IOE、各カラム I/O ブロックあたり最大 4 個の IOE があります。ロウ IOE は、ロウ、カラム、またはダイレクト・リンク・インタコネクトをドライブします。カラム IOE はカラム・インタコネクトをドライブします。

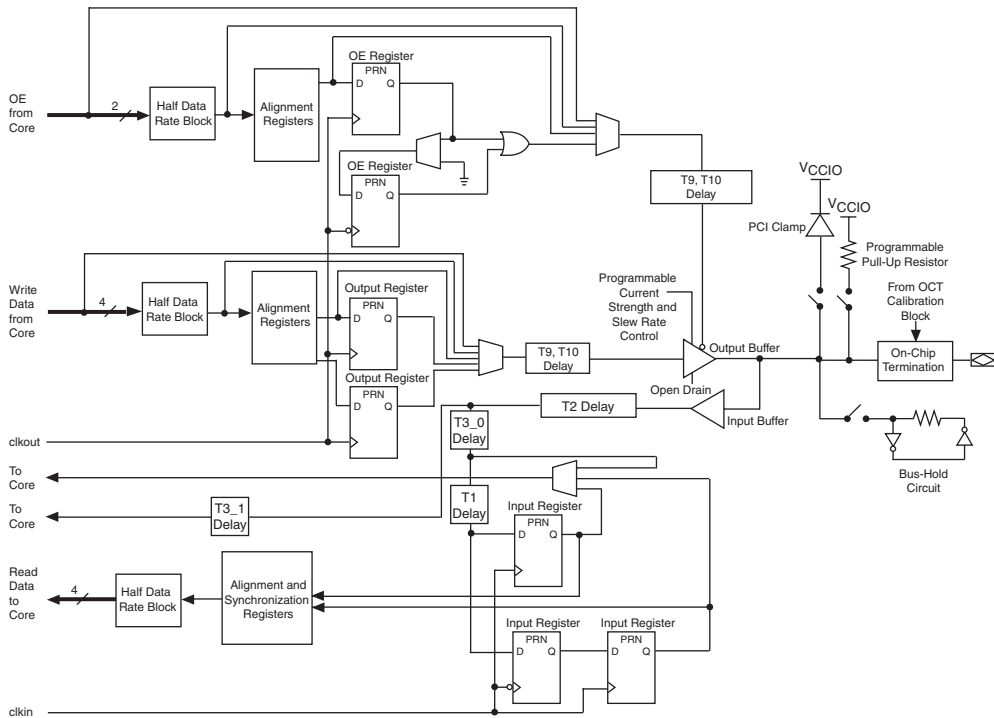
Stratix III の双方向 IOE は、以下のような機能もサポートしています。

- プログラマブル入力遅延
- プログラマブル出力ドライブ強度
- プログラマブル・スルー・レート
- プログラマブル出力遅延
- プログラマブル・バス・ホールド
- プログラマブル・プルアップ抵抗
- オープン・ドレイン出力
- キャリブレーション付き直列 On-Chip Termination
- キャリブレーション無し直列 On-Chip Termination
- キャリブレーション付き並列 On-Chip Termination
- 差動 On-Chip Termination
- PCI クランプ・ダイオード

図 7-9 に、Stratix III IOE 構造を示します。

I/O レジスタは、ピンからコアへのデータを処理するための入力パス、コアからピンへのデータを処理するための出力パス、および出力バッファの OE 信号を処理するための出力イネーブル (OE) パスで構成されます。これらのレジスタにより、高速なソース同期レジスタ間転送および再同期が可能です。入力パスは、DDR 入力レジスタ、アラインメントおよび同期レジスタ、および HDR (ハーフ・データ・レート・ブロック) で構成されています。入力パスの各ブロックはバイパスできます。

図 7-9. Stratix III の IOE 構造 注 (1)



## 図 7-9 の注：

- (1) T3\_0 および T3\_1 遅延には、Quartus II に同じ使用可能な設定があります。

出力パスおよび OE パスは、出力または OE レジスタ、アラインメント・レジスタ、および HDR ブロックに分割されます。出力および出力イネーブル・パスの各ブロックはバイパスできます。



I/O 抵抗およびメモリ・アプリケーションのための使用方法について詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの外部メモリ・インタフェース」の章を参照してください。

### 3.3 V I/O のインタフェース

3.3 V デバイスとインタフェースするには、Stratix III デバイスは  $V_{CCIO}$  電圧を 3 V に制限するための外部電圧レギュレータを必要とします。 $V_{CCIO}$  を 3 V に調整するのに加えて、アルテラではプログラマブル・スルー・レート・コントロール、終端抵抗、およびクランピング・ダイオードを使用して、I/O ピン上の AC オーバシュートおよびアンダシュートを制限することを推奨しています。



## 外部メモリ・インタフェース

Stratix III デバイスは、各 IOE 内の I/O レジスタに加えて、外部メモリ・インタフェースにインタフェースするために、すべての I/O バンクに専用レジスタおよび位相シフト回路も内蔵しています。表 7-3 に、Stratix III デバイスでサポートされるメモリ・インタフェースと対応する I/O 規格を示します。

メモリ・インタフェース規格	I/O 規格
DDR SDRAM	SSTL-2
DDR2 SDRAM	SSTL-18
DDR3 SDRAM	SSTL-15
RLDRAM II	HSTL -18
QDR II SRAM	HSTL -18
QDR II+ SRAM	HSTL -15



外部メモリ・インタフェースについて詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの外部メモリ・インタフェース」の章を参照してください。

## DPA サポート付き高速差動 I/O

Stratix III デバイスは、最大 1.25 Gbps の速度で差動規格をサポートする専用回路を内蔵しています。高速差動 I/O 回路は、以下の高速 I/O インタコネクタ規格およびアプリケーションをサポートします。Utopia IV、SPI-4.2、SFI-4、10 Gigabit Ethernet XSLI、RapidIO™、および NPSI。Stratix III デバイスは、高速差動 I/O インタフェースに対しては  $\times 2$ 、 $\times 4$ 、 $\times 6$ 、 $\times 7$ 、 $\times 8$ 、および  $\times 10$  SERDES モードをサポートし、専用ダイナミック・フェーズ・アラインメント (DPA) 回路を使用する場合は  $\times 4$ 、 $\times 6$ 、 $\times 7$ 、 $\times 8$ 、および  $\times 10$  SERDES モードをサポートします。DPA により、ビット・エラーが最小になり、高速データ転送のための PCB レイアウトとタイミング管理が簡略化され、高速データ転送システムにおけるチャネル間およびチャネル・クロック間スキューが排除されます。



$\times 2$  モードは DDR レジスタによってサポートされ、SERDES には含まれていません。Stratix III デバイスでは、SERDES は DDR ( $\times 2$ ) の動作をサポートするために、Quartus® II MegaWizard® Plug-in Manager でバイパスすることができます。

Stratix III デバイスは、高速差動 I/O サポートのための以下の専用回路を備えています。

- 差動 I/O バッファ
- トランスミッタ・シリアライザ
- 受信デシリアライザ
- データ・リアラインメント
- ダイナミック・フェーズ・アライナ (DPA)
- シンクロナイザ (FIFO バッファ)
- PLL (Phase-Locked Loop)



DPA サポートについて詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの DPA を使用した高速差動 I/O インタフェース」の章を参照してください。

## プログラマブル・ドライブ強度

Stratix III デバイスの各 I/O ピンの出力バッファは、特定の I/O 規格に適合させるためのプログラマブル・ドライブ強度コントロール機能が内蔵されています。プログラマブル・ドライブ強度を使用して、長い伝送線路またはレガシー・バックプレーンに起因する高い信号減衰の影響を緩和できます。LVTTTL、LVCMOS、SSTL、および HSTL 規格には、ユーザがコントロール可能な複数レベルのドライブ強度があります。表 7-4 に、プログラマブル・ドライブ強度に関する情報を示します。

I/O 規格	カラム I/O ピンに対する $I_{OH}/I_{OL}$ の設定電流値 (mA)	ロウ I/O ピンに対する $I_{OH}/I_{OL}$ の設定電流値 (mA)
3.0-V LVTTTL	16, 12, 8, 4	12, 8, 4
3.0-V LVCMOS	16, 12, 8, 4	8, 4
2.5-V LVTTTL/LVCMOS	16, 12, 8, 4	12, 8, 4
1.8-V LVTTTL/LVCMOS	12, 10, 8, 6, 4, 2	8, 6, 4, 2
1.5-V LVTTTL/LVCMOS	12, 10, 8, 6, 4, 2	8, 6, 4, 2
1.2-V LVTTTL/LVCMOS	8, 6, 4, 2	4, 2
SSTL-2 Class I	12, 10, 8	12, 8
SSTL-2 Class II	16	16
SSTL-18 Class I	12, 10, 8, 6, 4	12, 10, 8, 6, 4
SSTL-18 Class II	16, 8	16, 8
SSTL-15 Class I	12, 10, 8, 6, 4	8, 6, 4

表 7-4. プログラマブル・ドライブ強度 (2 / 2) 注 (1)

I/O 規格	カラム I/O ピンに対する $I_{OH}/I_{OL}$ の設定電流値 (mA)	ロウ I/O ピンに対する $I_{OH}/I_{OL}$ の設定電流値 (mA)
SSTL-15 Class II	16, 8	—
HSTL-18 Class I	12, 10, 8, 6, 4	12, 10, 8, 6, 4
HSTL-18 Class II	16	16
HSTL-15 Class I	12, 10, 8, 6, 4	8, 6, 4
HSTL-15 Class II	16	—
HSTL-12 Class I	12, 10, 8, 6, 4	8, 6, 4
HSTL-12 Class II	16	—


表 7-4 の注 :

- (1) Quartus II ソフトウェアのデフォルト設定は、すべての非電圧リファレンスおよび HSTL/SSTL class II I/O 規格に対して、キャリブレーションなしで 50  $\Omega$  OCT R です。HSTL/SSTL class II I/O 規格に対するデフォルト設定は、キャリブレーションなしで 25  $\Omega$  OCT R です。

アルテラでは、特定のアプリケーションに対する正しい電流設定を決定するために、IBIS (I/O Buffer Information Specification) または SPICE シミュレーションを実行することを推奨しています。

## プログラマブル・スルー・レート・コントロール

Stratix III デバイスのレギュラー・ピンおよびデュアル・ファンクション・ピンの出力バッファは、各出力を低ノイズまたは高速性能に設定可能なプログラマブル出力スルー・レート・コントロール機能を内蔵しています。高速スルー・レートを指定した場合は、高性能システムに対応した高速転送が行われます。低速スルー・レートを指定した場合、システム・ノイズの低減には役立ちますが、立ち上がりおよび立ち下がりがエッジに一定の遅延が追加されます。各 I/O ピンは個別にスルー・レート・コントロール機能を備えているため、ユーザはピン単位でスルー・レートを指定することができます。

 OCT R<sub>S</sub> を使用するときには、プログラマブル・スルー・レート機能を使用することはできません。

Quartus II では、4 つのプログラマブル・スルー・レート・コントロール (0、1、2、および 3) が可能です。ここで、0 は低速スルー・レート、3 は高速スルー・レートです。Quartus II では、2.5-V、1.8-V、1.5-V、1.2-V、


3.0-V PCI/PCI-X、および 3.0-V LVTTTL/LVCMOS のデフォルト設定は 1 です。SSTL-2、-18、-15 Class I および Class II、および HSTL-18、-15、-12 Class I および Class II のデフォルト設定は 3 です。

より高速なスルー・レートを使用して、メモリ・インタフェース・アプリケーションで得られるタイミング・マージン、または出力ピンに高い容量性負荷がある場合のタイミング・マージンを改善することができます。アルテラでは、特定のアプリケーションに対する正しいスルー・レート設定を決定するために、IBIS または SPICE シミュレーションを実行することを推奨しています。

## プログラマブル遅延


### プログラマブル IOE 遅延

Stratix III デバイスの IOE には、[図 7-9](#) に示すプログラマブルな遅延機能が含まれており、アクティブにして 0 ns のホールド・タイム、最小セットアップ・タイム、クロック - 出力時間の延長を行うことができます。各ピンは、ピンから入力レジスタ までの異なる入力遅延値、または出力レジスタから出力ピンまでの遅延値を持つことができ、バスが同じ遅延でデバイスの入力または出力を行うことができます。この機能によってバスにおける信号間の不確実性が小さくなるため、リード・マージンおよびタイム・マージンを確保するのに役立ちます。

 プログラマブル IOE 遅延の仕様については、「Stratix III デバイス・ハンドブック Volume 2」の「Stratix III デバイスの DC およびスイッチング特性」の章を参照してください。

### プログラマブル出力バッファ遅延

Stratix III デバイスは、[図 7-9](#) に示すシングル・エンド出力バッファ内に構築された遅延チェーンをサポートします。遅延チェーンは出力バッファの立ち上がりエッジおよび立ち下がりエッジ遅延を独立して制御し、意図的にチャンネル間スキューを導入することによって、出力バッファのデューティ・サイクルの調整、チャンネル間スキューの補正、SSO ノイズの低減を達成でき、高速メモリ・インタフェースのタイミング・マージンを改善します。Stratix III デバイスは 4 レベルの出力バッファ遅延設定をサポートします。デフォルト設定は遅延なしです。

 プログラマブル出力バッファ遅延の仕様については、「Stratix III デバイス・ハンドブック Volume 2」の「Stratix III デバイスの DC およびスイッチング特性」の章を参照してください。

## オープン・ドレイン出力

Stratix III デバイスは、各 I/O ピンに対しオプションでオープン・ドレイン出力（オープン・コレクタ出力と同等）を提供します。オープン・ドレインとしてコンフィギュレーションした場合、出力のロジック値は high-z または 0 のいずれかです。一般に、ロジック High を供給するには外部プルアップ抵抗が必要です。

## バス・ホールド

Stratix III デバイスの各 I/O ピンは、オプションのバス・ホールド機能を提供しています。バス・ホールド回路は、I/O ピンの信号を最後にドライブされた状態にウィーク状態で保持します。バス・ホールド機能は、次の入力信号が現れるまで最後にドライブされた状態にピンを保持するため、バスがトライ・ステートになったとき、信号レベルを保持するための外部プルアップまたはプルダウン抵抗が不要になります。

バス・ホールド回路は、ノイズによって高周波数スイッチングが予定外に発生しそうな場合、ドライブされていないピンを入力スレッショルド電圧から離します。この機能は、ユーザが各 I/O ピンに対して個別に選択できます。バス・ホールド出力のドライブは  $V_{CCIO}$  を超えることがなく、信号のオーバードライブを防ぎます。バス・ホールド機能がイネーブルの場合、プログラマブル・プルアップ・オプションは使用することができません。I/O ピンが差動信号用にコンフィギュレーションされているときは、バス・ホールド機能をディセーブルにしてください。

バス・ホールド回路は、約  $7\text{ k}\Omega$  の公称抵抗値 ( $R_{BH}$ ) を持つ抵抗を使用して、信号レベルを最後にドライブされた状態に固定します。



この抵抗を通してドライブされる具体的な持続電流、および次にドライブされる入力レベルの識別に使用されるオーバードライブ電流については、「Stratix III デバイス・ハンドブック Volume 2」の「Stratix III デバイスの DC & スwitching 特性」の章を参照してください。この情報は、各  $V_{CCIO}$  電圧レベルについて記載されています。

バス・ホールド回路は、コンフィギュレーション完了後のみアクティブになります。ユーザ・モードに移行すると、バス・ホールド回路はコンフィギュレーションの終了時にピンに与えられた値をキャプチャします。

## プログラマブル・プルアップ抵抗

Stratix III デバイスの各 I/O ピンは、ユーザ・モードで使用されるプログラマブル・プルアップ抵抗をオプションで提供します。この機能を 1 つの I/O ピンに対してイネーブルにすると、プルアップ抵抗 (通常  $25\text{ k}\Omega$ ) は、 $V_{CCIO}$  レベルに I/O をウィーク状態で保持します。

プログラマブル・プルアップ抵抗は、ユーザ I/O ピンでのみサポートされており、専用コンフィギュレーション・ピン、JTAG ピン、または専用クロック・ピンではサポートされていません。プログラマブル・プルアップ・オプションがイネーブルされている場合、バス・ホールド機能は使用することができません。

## MultiVolt I/O インタフェース

Stratix III アーキテクチャは、MultiVolt™ I/O インタフェース機能をサポートしており、すべてのパッケージの Stratix III デバイスは電源電圧の異なるシステムとインタフェースすることができます。

$V_{CCIO}$  ピンは要求される出力のレベルに応じて、1.2 V、1.5 V、1.8 V、2.5 V、または 3.0 V のいずれかの電源に接続することができます。出力レベルは電源と同じ電圧のシステムと互換性があります。(例えば、 $V_{CCIO}$  ピンを 1.5 V の電源に接続した場合、出力レベルは 1.5 V のシステムと互換性を持つようになります。)

Stratix III の  $V_{CCPD}$  電源ピンは、2.5 V または 3.0 V の電源に接続されている必要があります。これらの電源ピンは、出力バッファにプリドライバ電源を供給するために使用され、出力ピンの性能を強化します。表 7-5 に、Stratix III の MultiVolt I/O サポートを示します。3.0-V LVTTTL/LVCMOS の場合：

- カラム I/O バンクでは、 $V_{CCIO} = 3.0$  V のとき、内部ダイオードをオンにすることを推奨します。
- すべての I/O バンクで、 $V_{CCIO} = 2.5$  V のとき、外部クランプ・ダイオードを使用することを推奨します。
- ロウ I/O バンクでは、 $V_{CCIO} = 3.0$  V のとき、外部クランプ・ダイオードを使用することをお勧めします。

表 7-5. Stratix III の MultiVolt I/O サポート (1 / 2) 注 (1)

$V_{CCIO}$ (V)	入力信号 (V)					出力信号 (V)				
	1.2	1.5	1.8	2.5	3.0	1.2	1.5	1.8	2.5	3.0
1.2	√	—	—	—	—	√	—	—	—	—
1.5	—	√	√(1)	—	—	—	√	—	—	—
1.8	—	√(1)	√	—	—	—	—	√	—	—
2.5	—	—	—	√	√	—	—	—	√	—

表 7-5. Stratix III の MultiVolt I/O サポート (2 / 2) 注 (1)

V <sub>CCIO</sub> (V)	入力信号 (V)					出力信号 (V)				
	1.2	1.5	1.8	2.5	3.0	1.2	1.5	1.8	2.5	3.0
3.0	—	—	—	√	√	—	—	—	—	√

## 表 7-5 の注:


- (1) ピン電流はデフォルト値よりもわずかに高くなることがあります。駆動デバイスの V<sub>OL</sub> 最大電圧および V<sub>OH</sub> 最低電圧が、適用される Stratix III の V<sub>IL</sub> 最大電圧仕様および V<sub>IH</sub> 最小電圧仕様に違反していないことを検証する必要があります。

## OCT サポート

Stratix III デバイスは、ダイナミック直列および並列 On-Chip Termination を備えており、I/O インピーダンス・マッチングおよび終端機能を提供します。On-Chip Termination (OCT) は、信号品質の維持、ボード・スペースの節約、外部コンポーネント・コストの低減を実現します。

Stratix III デバイスは、キャリブレーション付きまたはキャリブレーションなし直列 On-Chip Termination (R<sub>S</sub>)、キャリブレーション付き並列 On-Chip Termination (R<sub>T</sub>)、シングル・エンド I/O 規格にはダイナミック直列および並列終端、差動 LVDS I/O 規格には差動 On-Chip Termination (R<sub>D</sub>) をサポートします。Stratix III デバイスは、OCT I/O 規格の 1 つを選択することによって、すべての I/O バンクで OCT をサポートしています。

Stratix III デバイスは、同じ V<sub>CCIO</sub> 電源電圧を使用する場合、異なる I/O 規格に対して、同じ I/O バンクで OCT R<sub>S</sub> および R<sub>T</sub> をサポートします。I/O バンクの各 I/O は、OCT R<sub>S</sub>、プログラマブル・ドライブ能力、または OCT R<sub>T</sub> をサポートするために、独立してコンフィギュレーションすることができます。

 同じ I/O バッファに対して、OCT R<sub>S</sub> とプログラマブル・ドライブ能力の両方をコンフィギュレーションすることはできません。

I/O バンクでは、R<sub>UP</sub> ピンと R<sub>DN</sub> ピンのペアを利用でき、これらは直列および並列キャリブレーション終端のために共有されます。R<sub>UP</sub> ピンと R<sub>DN</sub> ピンは、それぞれ配置されている I/O バンクと同じ V<sub>CCIO</sub> および GND を共有します。R<sub>UP</sub> ピンと R<sub>DN</sub> ピンは兼用 I/O であり、キャリブレーション回路を使用しない場合は、通常の I/O として機能します。キャリブレーションに使用する場合、R<sub>UP</sub> ピンは、25 Ω または 50 Ω の直列 On-

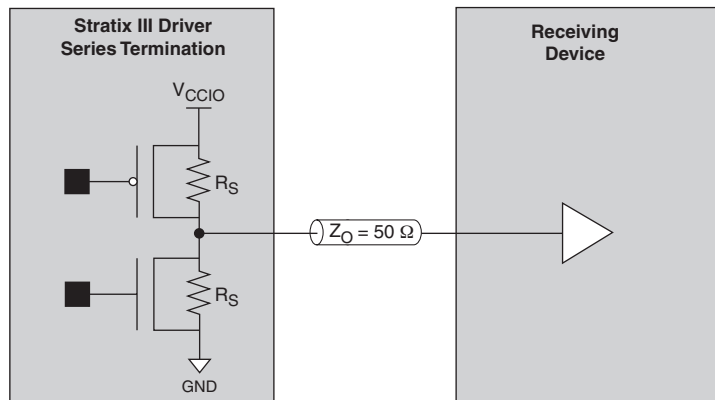
Chip Termination 値については、それぞれ外部  $25\ \Omega \pm 1\%$  または  $50\ \Omega \pm 1\%$  抵抗を通して  $V_{CCIO}$  に接続され、 $R_{DN}$  ピンは  $25\ \Omega$  または  $50\ \Omega$  の直列 On-Chip Termination 値については、それぞれ外部  $25\ \Omega \pm 1\%$  または  $50\ \Omega \pm 1\%$  抵抗を通して GND に接続されます。並列 On-Chip Termination の場合、 $R_{UP}$  ピンは外部  $50\ \Omega \pm 1\%$  抵抗を通して  $V_{CCIO}$  に、 $R_{DN}$  ピンは外部  $50\ \Omega \pm 1\%$  抵抗を通して GND に接続されます。

### キャリブレーションなし直列 On-Chip Termination ( $R_S$ )

Stratix III デバイスは、I/O ドライバに伝送ラインのインピーダンスと厳密にマッチングする制御された出力インピーダンスを提供するために、ドライバ・インピーダンス・マッチングをサポートしています。その結果、反射を大幅に低減できます。Stratix III デバイスは、シングル・エンド I/O 規格の直列 On-Chip Termination をサポートします (図 7-10 を参照)。

図 7-10 に示す  $R_S$  は、出力トランジスタの固有インピーダンスです。標準的な  $R_S$  の値は、 $25\ \Omega$  と  $50\ \Omega$  です。マッチング・インピーダンスが選択されると、電流強度は選択不能になります。

図 7-10. Stratix III のキャリブレーションなし直列 On-Chip Termination



SSTL Class I 規格の On-Chip Termination を使用するには、( $50\ \Omega$  伝送ラインに整合させるために) 外部  $25\ \Omega$   $R_S$  を不要にする  $50\ \Omega$  直列 On-Chip Termination 設定を選択します。SSTL Class II 規格の場合は、( $50\ \Omega$  伝送ラインと近端の  $V_{TT}$  への  $50\ \Omega$  プルアップ抵抗を整合させるために)  $25\ \Omega$  直列 On-Chip Termination 設定を選択します。



## キャリブレーション付き直列 On-Chip Termination

Stratix III デバイスは、キャリブレーション付きの直列 On-Chip Termination をすべてのバンクでサポートします。直列 On-Chip Termination キャリブレーション回路は、I/O バッファの合計インピーダンスと  $R_{UP}$  ピンおよび  $R_{DN}$  ピンに接続された外部  $25 \Omega \pm 1\%$  または  $50 \Omega \pm 1\%$  抵抗を比較し、それらがマッチングするまでダイナミックにトランジスタをイネーブルまたはディセーブルします。図 7-11 に示す  $R_S$  は、トランジスタの固有インピーダンスです。キャリブレーションは、デバイス・コンフィギュレーションの最後に実行されます。キャリブレーション回路は、正しいインピーダンスを見つけるとパワーダウンし、ドライバ特性の変更を停止します。表 7-6 に、キャリブレーション付き直列 On-Chip Termination をサポートする I/O 規格のリストを示します。

図 7-11. Stratix III のキャリブレーション付き直列 On-Chip Termination

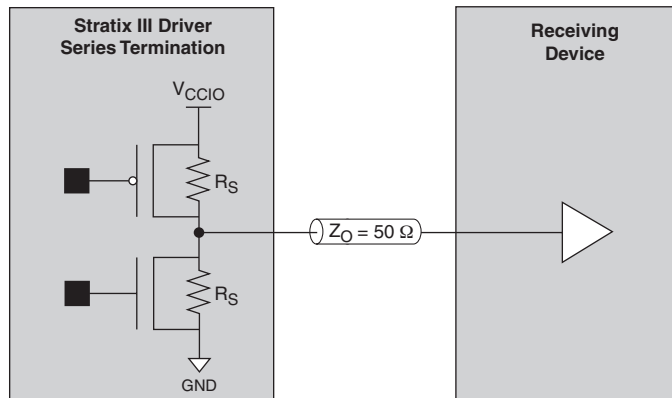


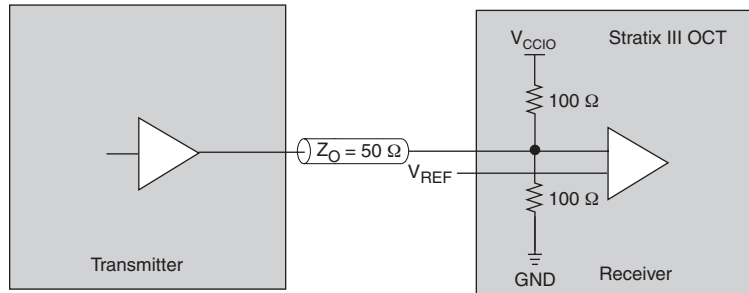
表 7-6. キャリブレーションなし直列 On-Chip Termination を 使用した選択可能な I/O ドライバ			
I/O 規格	直列 On-Chip Termination 設定		
	ロウ I/O	カラム I/O	単位
3.0-V LVTTTL	50	50	$\Omega$
	25	25	$\Omega$
3.0-V LVCMOS	50	50	$\Omega$
	25	25	$\Omega$
2.5-V LVTTTL/LVCMOS	50	50	$\Omega$
	25	25	$\Omega$
1.8-V LVTTTL/LVCMOS	50	50	$\Omega$
	25	25	$\Omega$
1.5-V LVTTTL/LVCMOS	50	50	$\Omega$
		25	$\Omega$
1.2-V LVTTTL/LVCMOS	50	50	$\Omega$
		25	$\Omega$
SSTL-2 Class I	50	50	$\Omega$
SSTL-2 Class II	25	25	$\Omega$
SSTL-18 Class I	50	50	$\Omega$
SSTL-18 Class II	25	25	$\Omega$
SSTL-15 Class I	50	50	$\Omega$
SSTL-15 Class II	N/A	25	$\Omega$
HSTL-18 Class I	50	50	$\Omega$
HSTL-18 Class II	25	25	$\Omega$
HSTL-15 Class I	50	50	$\Omega$
HSTL-15 Class II	N/A	25	$\Omega$
HSTL-12 Class I	50	50	$\Omega$
HSTL-12 Class II	N/A	25	$\Omega$

### キャリブレーション付き並列 On-Chip Termination

Stratix III デバイスは、キャリブレーション付きの並列 On-Chip Termination をすべてのバンクでサポートします。キャリブレーション付き並列 On-Chip Termination は、入力または双方向ピン・コンフィギュレーションでのみサポートされます。出力ピン・コンフィギュレーションでのみサポートされます。

シオンは、キャリブレーション付き並列 On-Chip Termination はサポートしません。図 7-12 にキャリブレーション付き並列 On-Chip Termination を示します。

図 7-12. Stratix III のキャリブレーション付き並列 On-Chip Termination



並列 On-Chip Termination キャリブレーション回路は、I/O バッファの合計インピーダンスと  $R_{UP}$  ピンおよび  $R_{DN}$  ピンに接続された外部  $50 \Omega \pm 1\%$  抵抗を比較し、それらがマッチングするまでダイナミックにトランジスタをイネーブルまたはディセーブルします。キャリブレーションは、デバイス・コンフィギュレーションの最後に実行されます。キャリブレーション回路は、正しいインピーダンスを見つけるとパワーダウンし、ドライバ特性の変更を停止します。表 7-7 に、キャリブレーション付き並列 On-Chip Termination をサポートする I/O 規格のリストを示します。

表 7-7. キャリブレーションなし並列 On-Chip Termination を使用した選択可能な I/O ドライバ (1 / 2)

I/O 規格	並列 On-Chip Termination 設定 (コラム I/O)	並列 On-Chip Termination 設定 (ロウ I/O)	単位
SSTL-2 Class I, II	50	50	$\Omega$
SSTL-18 Class I, II	50	50	$\Omega$
SSTL-15 Class I, II	50	50	$\Omega$
HSTL-18 Class I, II	50	50	$\Omega$
HSTL-15 Class I, II	50	50	$\Omega$
HSTL-12 Class I, II	50	50	$\Omega$
差動 SSTL-2 Class I, II	50	50	$\Omega$
差動 SSTL-18 Class I, II	50	50	$\Omega$

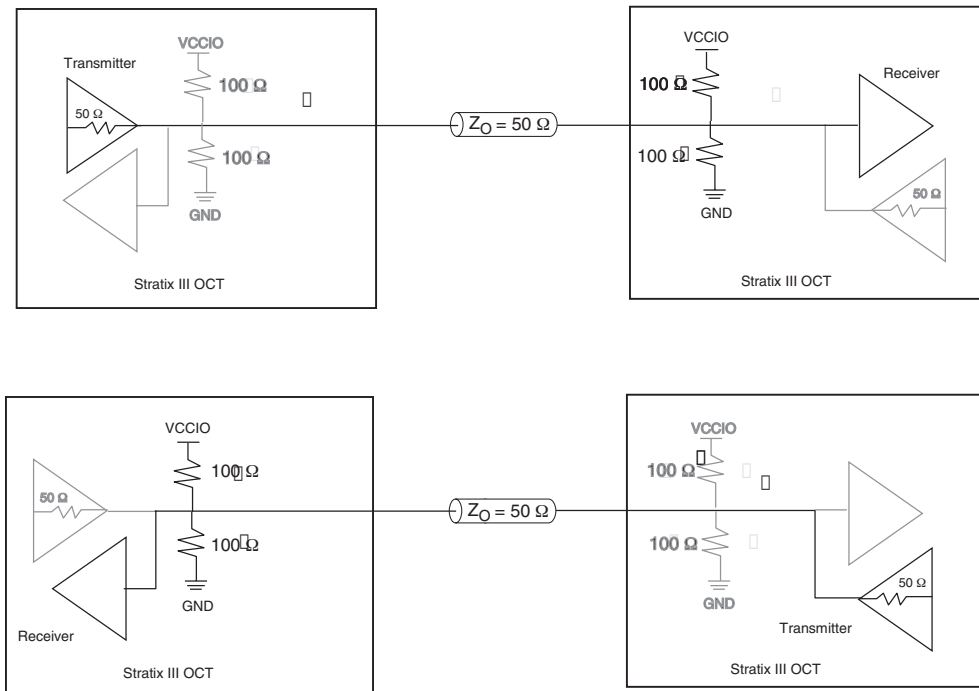
表 7-7. キャリブレーションなし並列 On-Chip Termination を使用した選択可能な I/O ドライバ (2 / 2)

I/O 規格	並列 On-Chip Termination 設定 (カラム I/O)	並列 On-Chip Termination 設定 (ロウ I/O)	単位
差動 SSTL-15 Class I, II	50	50	$\Omega$
差動 HSTL-18 Class I, II	50	50	$\Omega$
差動 HSTL-15 Class I, II	50	50	$\Omega$
差動 HSTL-12 Class I, II	50	50	$\Omega$

### ダイナミック On-Chip Termination

Stratix III デバイスは、すべての I/O バンクの双方向 I/O に対して、オン・オフ・ダイナミック直列および並列終端をサポートしています。図 7-13 に、Stratix III デバイスでサポートされる終端方法を示します。ダイナミック並列終端は、双方向 I/O がレシーバとして動作するときのみイネーブルされ、ドライバとして動作するときはディセーブルされます。同様に、ダイナミック直列終端は、双方向 I/O がドライバとして動作するときのみイネーブルされ、レシーバとして動作するときはディセーブルされます。データの方向に応じてシグナル・インテグリティが最適化されるので、この機能は任意の高性能双方向バスを終端するのに役立ちます。

図 7-13. Stratix III デバイスのダイナミック並列 OCT

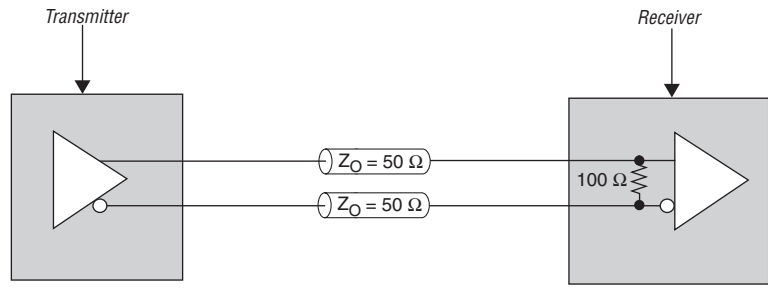


キャリブレーション付き On-Chip Termination の精度の仕様について詳しくは、「Stratix III デバイス・ハンドブック Volume 2」の「DC およびスイッチング特性」の章を参照してください。

## LVDS 入力 On-Chip Termination ( $R_D$ )

Stratix III デバイスは、図 7-14 に示すとおり、 $100\ \Omega$  の公称抵抗値を持つ差動 LVDS 入力バッファに対する On-Chip Termination をサポートします。差動チップ内終端  $R_D$  はロウ I/O バンクでのみ使用でき、カラム I/O バンクは OCT  $R_D$  をサポートしません。Stratix III デバイスのロウ I/O バンクの専用クロック入力ペア CLK1p、CLK1n、CLK3p、CLK3n、CLK8p、CLK8n、CLK10p、および CLK10n は、 $R_D$  終端をサポートしません。

図 7-14. 差動入力 On-Chip Termination



差動 On-Chip Termination について詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの DPA を使用した高速差動 I/O インタフェース」の章を参照してください。

## OCT キャリブレーション

Stratix III デバイスは、すべての I/O ピンでキャリブレート付き直列 On-Chip Termination ( $R_S$ ) およびキャリブレート付き並列 On-Chip Termination ( $R_T$ ) をサポートします。Stratix III I/O バンク上の EP3SL50、EP3SL70、EP3SL110、EP3SL150、EP3SL200、EP3SE50、EP3SE80、および EP3SE110 デバイス内の任意の 8 個の OCT キャリブレーション・ブロック、および EP3SE260 および EP3SL340 デバイス内の 10 個の OCT キャリブレーション・ブロックをキャリブレーションできます。

### OCT キャリブレーション・ブロックの位置

図 7-15、7-16 および 7-17 に、Stratix III デバイスの OCT キャリブレーション・ブロックの位置を示します。

図 7-15. EP3SL50、EP3SL70、および EP3SE50 デバイスの OCT キャリブレーション・ブロック (CB) の位置

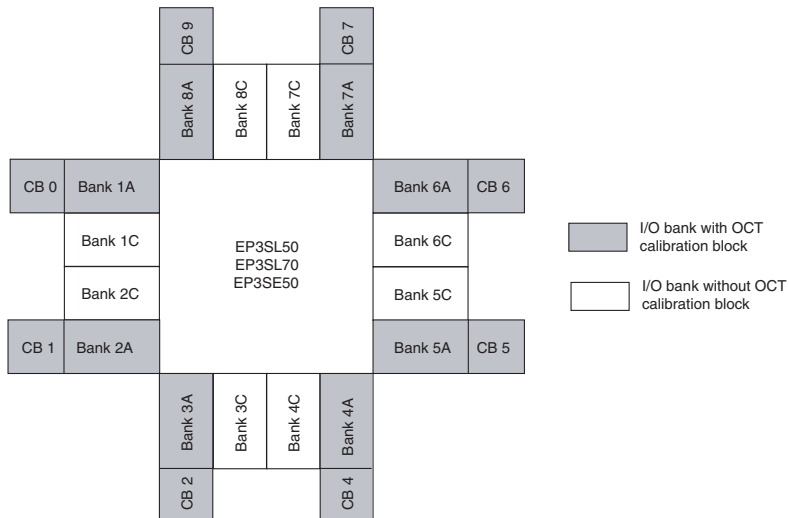


図 7-16. EP3SL110、EP3SL150、EP3SL200、EP3SE80、および EP3SE110 デバイスの OCT キャリブレーション・ブロック (CB) の位置

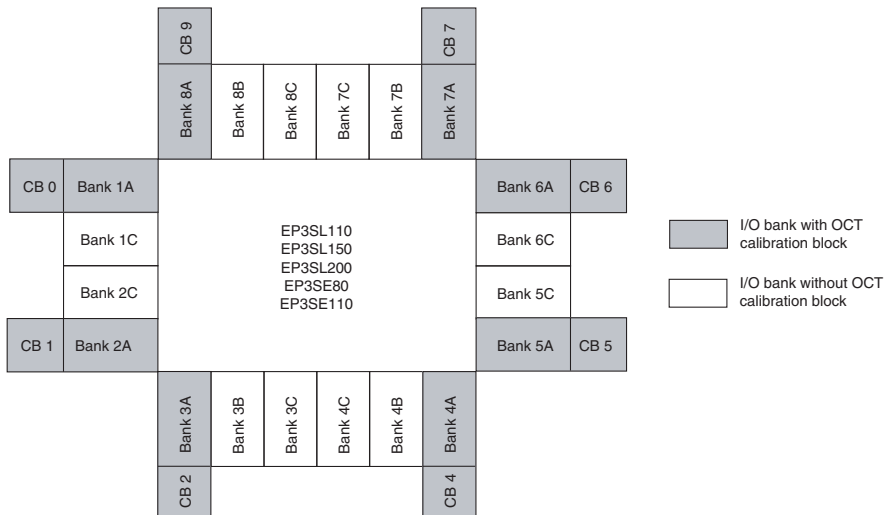
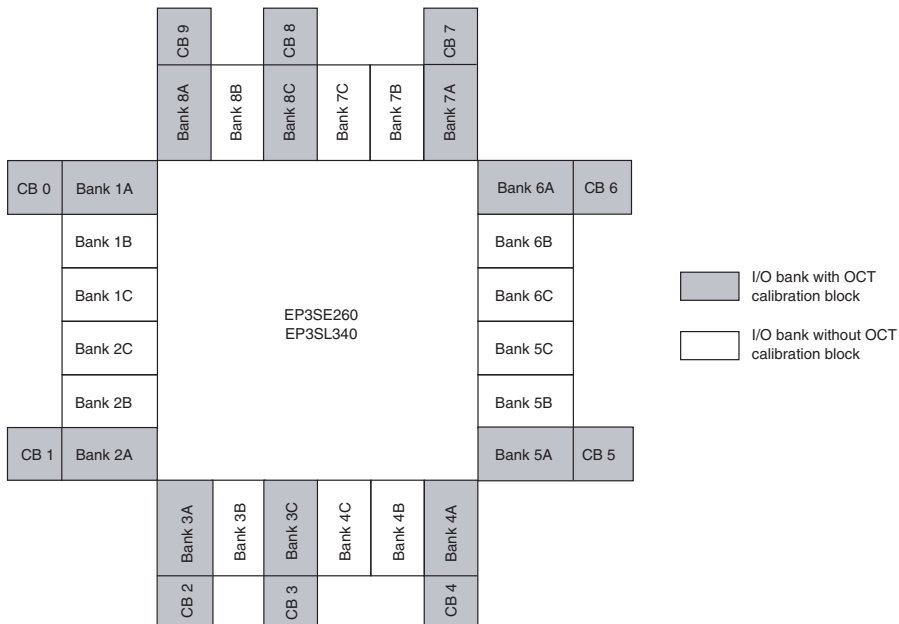


図 7-17. EP3SE260 および EP3SL340 デバイスの OCT キャリブレーション・ブロック (CB) の位置



### 複数の I/O バンクでの OCT キャリブレーション・ブロックの共有

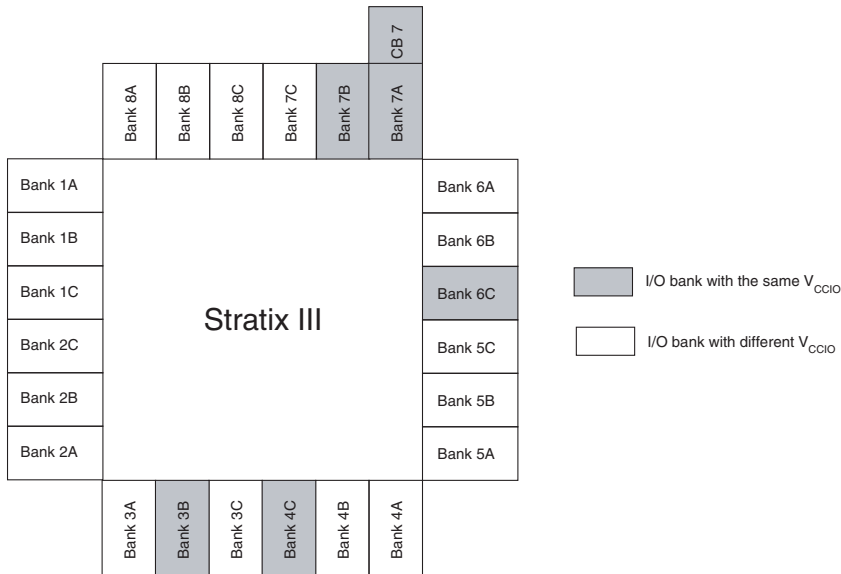
OCT キャリブレーション・ブロックと、そのブロックを持つ I/O バンクの  $V_{CCIO}$  は同じです。OCT  $R_S$  キャリブレーションは、利用できる OCT キャリブレーション・ブロック数までの異なる  $V_{CCIO}$  電圧規格を持つすべての I/O バンクでサポートされます。I/O バンクをコンフィギュレーションして、同じ  $V_{CCIO}$  を持つ任意の OCT キャリブレーション・ブロックからのキャリブレーション済みコードを受信することができます。同じ  $V_{CCIO}$  を持つすべての I/O バンクは、そのバンクが専用の OCT キャリブレーション・ブロックを持っている場合でも、1つの OCT キャリブレーション・ブロックを共有できます。

例えば、図 7-18 に同じ  $V_{CCIO}$  電圧を持つ I/O バンクのグループを示します。I/O バンク・グループが同じ  $V_{CCIO}$  電圧を持つ場合は、1つの OCT キャリブレーション・ブロックを使用して、周辺部に配置された I/O バンクのグループをキャリブレーションできます。3B、4C、6C、および 7B にはバンク 7A と同じ  $V_{CCIO}$  があり、バンク 7A に配置されている OCT キャリブレーション・ブロックを持つ 4 つすべての I/O バンク (3B、4C、6C、および 7B) をキャリブレーションできます。これは OCT  $R_S$



キャリブレーション・コードを、バンク 7A に配置されている OCT キャリブレーション・ブロックから周辺部に配置されている I/O バンクに、シリアルにシフト・アウトして達成することができます。

図 7-18. 1つの OCT キャリブレーション・ブロックを持つ複数 I/O バンクの共有例



### OCT キャリブレーション・ブロック・ポート

表 7-8 に、キャリブレーション・ブロック・ポートの名称および説明を示します。

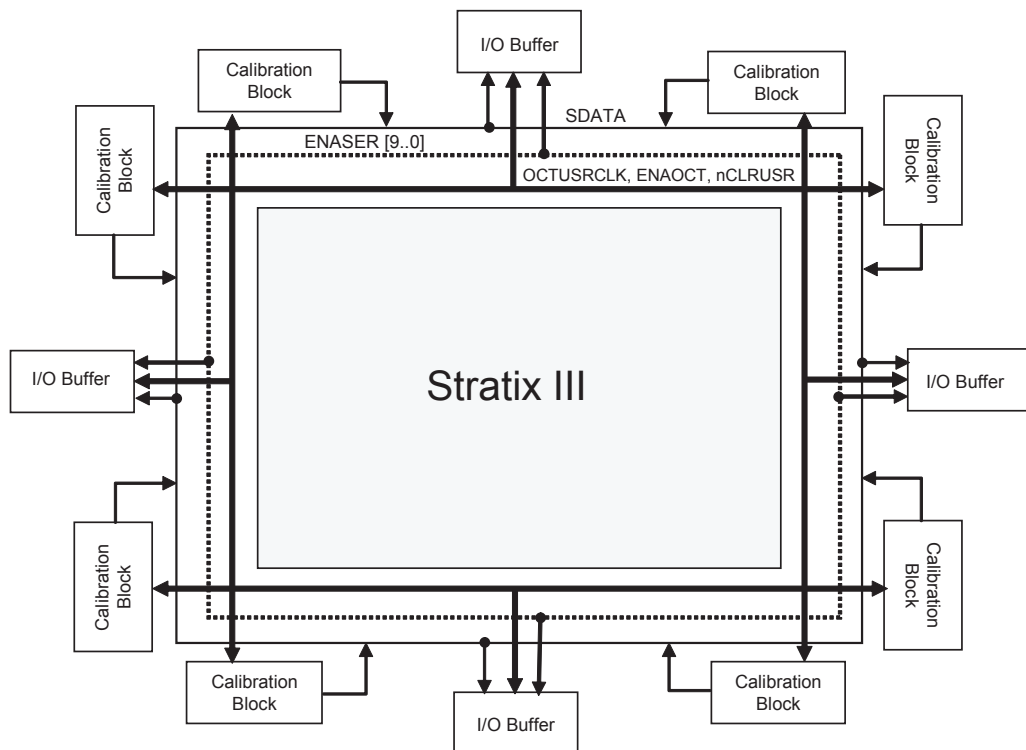
信号名	説明
OCTUSRCLK	ユーザ供給の OCT ブロック用クロック
ENAOCT	OCT Termination (ユーザ IP で生成) をイネーブルする。
ENASER[9..0]	OCT シリアライザをイネーブルする。
SDATA	OCT シリアル・データ・ストリーム。 各 OCT ブロックの内部で生成される。
S2PEN	シリアル-パラレル・ロード・イネーブル
nCLRUSR	クリア・ユーザ

## OCT キャリブレーション・ブロックのコード・データ転送

SDATA、OCTUSRCLK、および ENASER 信号は、各 OCT キャリブレーション・ブロックから任意の I/O にキャリブレーション済みコードをシリアルに転送するのに使用されます。図 7-19 に、OCT キャリブレーションを完了し、OCT キャリブレーション・ブロックから I/O バッファにコードをシフト・アウトするのに使用する信号を示します。OCT R<sub>S</sub> および OCT R<sub>T</sub> キャリブレーションが完了すると、ENASER 信号が順番にアサートされ、OCT キャリブレーション・ブロックからコードを受信するようにコンフィギュレーションされた 1 つまたは複数の I/O バンク内の I/O バッファにコードが送出されます。

すべての OCT キャリブレーション・ブロックで 1 本の OCT SDATA ラインを共有します。SDATA ラインは、キャリブレーション・コードをシリアルにシフト・アウトするのに使用されます。どの時点でも、1 つの OCT キャリブレーション・ブロックしか OCT データ・ラインをドライブできません。対応する OCT キャリブレーション・ブロックの ENASER 信号がアサートされると、そのキャリブレーション・コードが SDATA ライン上を伝って、選択された I/O バンクの I/O バッファに送出されます。OCT キャリブレーション・ブロックから I/O バッファにキャリブレーション済みコードをシリアルにシフトするには、OCTUSRCLK 信号を使用します。

図 7-19. OCT キャリブレーション・ブロックから I/O バッファへのシフト・アウト・コード用信号



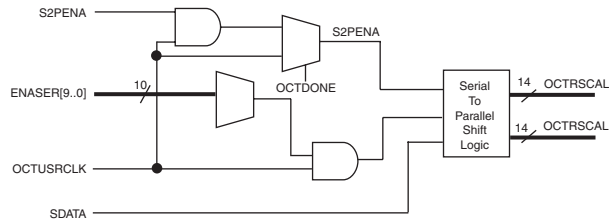
### OCT キャリブレーション・ブロック・アーキテクチャ

図 7-20 に、OCT キャリブレーション・ブロックのロジック・ブロックを示します。8 つの ENASER 信号の 1 つ (EP3SE260 および EP3SL340 デバイスでは 10 の ENASER 信号) は、コンフィギュレーション・ビットで選択されます。例えば、ENASER4 がコンフィギュレーション・ビットで選択された場合、I/O バッファは OCT キャリブレーション・ブロック 4 に伝達します。

OCTUSRCLK を使用して、14 ビット OCT  $R_S$  キャリブレーション・コードと 14 ビット OCT  $R_T$  キャリブレーション・コードを I/O バッファ内のレジスタに、シリアルにシフトするのに、28 クロック・サイクルを必要とします。これら 28 クロック・サイクル中に、対応する ENASER 信号がアサートされます。次の ENASER 信号は、現在の ENASER 信号がデア

サートされた1クロック・サイクル以上後でアサートし、同時に2つのトライ・ステート・ドライバで OCT データ・ラインをドライブしないようにしなければなりません。

図 7-20. OCT キャリブレーション・ブロック



## OCT キャリブレーションの動作モード

キャリブレーションが完了したら、各 OCT キャリブレーション・ブロックから対応する I/O バッファに、28 ビット OCT キャリブレーション・コード (14 ビット OCT  $R_S$  コードおよび 14 ビット OCT  $R_T$ ) をシリアルにシフト・アウトしなければなりません。OCT キャリブレーション・ブロックからのコードは、I/O バッファにシリアルにシフト・アウトされます。どの時点でも、送出できるのは1つの OCT キャリブレーション・ブロックのみです。

Stratix III デバイスの場合、I/O がキャリブレーションされ、キャリブレーション済みコードが OCT キャリブレーション・ブロックから I/O にシリアルにシフトされる間に、I/O を継続的にデータの送信または受信に使用することができます。キャリブレーション済みコードが各 I/O バンクにシリアルにシフト・インされた後、I/O バッファで使用される前に、キャリブレーション済みコードをシリアル・フォーマットからパラレル・フォーマットに変換しなければなりません。S2PENA 信号を使用して、シリアル-パラレル・シフトを完了します。S2PENA 信号は、パワーアップ・モードおよびユーザ・モードの間に別々に生成されます。シリアルにシフトされたキャリブレーション済みコードが I/O で並列にシフトされたときは、データの送信または受信に I/O を使用することはできません。

## パワーアップ・モード

パワーアップ・モード時、内部オシレータ・クロック信号は S2PENA 信号をドライブし、それによってパワーアップ・モード時にクロック・サイクルごとにパラレル・シフトが行われます。I/O バッファはパワーアップ・モード時にトライ・ステートになるので、このパラレル・シフトによって I/O バッファ問題が発生することはありません。

## ユーザ・モード

ユーザ・モード時には、S2PENA 信号はユーザ IP でドライブされます。シリアル・シフト動作の後、いつでも I/O バンクの S2PENA 信号をアサートして、各 I/O バンクのキャリブレーション・コードを更新することができます。同じ OCT キャリブレーション・ブロックからコードを受信したすべての I/O バンクは、別の OCT キャリブレーション・ブロックがキャリブレーション中およびシリアル・シフト中であっても、同時にあるいは別の時点で、S2PENA をアサートさせることができます。S2PENA 信号は、ENASER が 1 クロック・サイクルの間デアサートされた後、1 クロック・サイクルの間アサートされ、ユーザ IP システム・クロックと同期がとられます。S2PENA を OCTUSRCLK と同期させないでください。OCTUSRCLK クロック周波数は、20 MHz 以下でなければなりません。

図 7-21 に、ユーザ・モードの信号タイミング波形を示します。OCTUSRCLK の立ち上がりエッジで、ユーザ信号を生成しなければなりません。ENASER[N] (N はキャリブレーション・ブロック番号) をアサートする 1 サイクル前に、ENAOCCT をアサートする必要があります。また、ENASER[N] をアサートする前に、nCLRUSR を 1 クロック・サイクルの間アサートしてからデアサートする必要があります。キャリブレーションが完了したら、最後の ENASER がデアサートされた 1 クロック・サイクル後に、ENAOCCT をデアサートすることができます。

図 7-21. OCT ユーザ・モードの信号タイミング波形

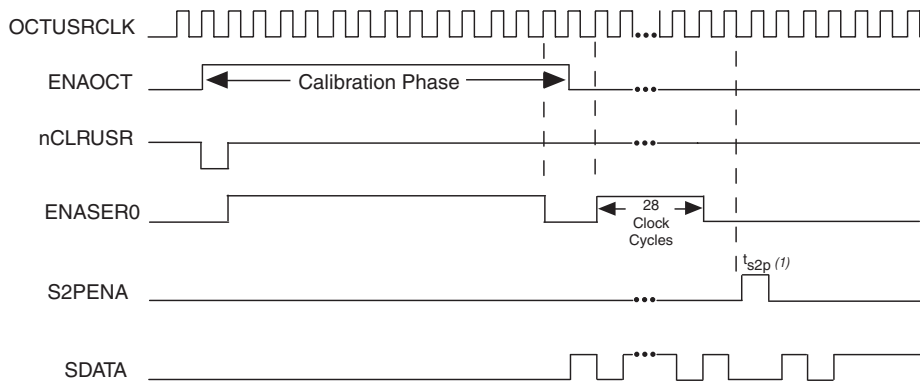


図 7-21 の注：

(1)  $t_{s2p} = 1$  OCT クロック・サイクル

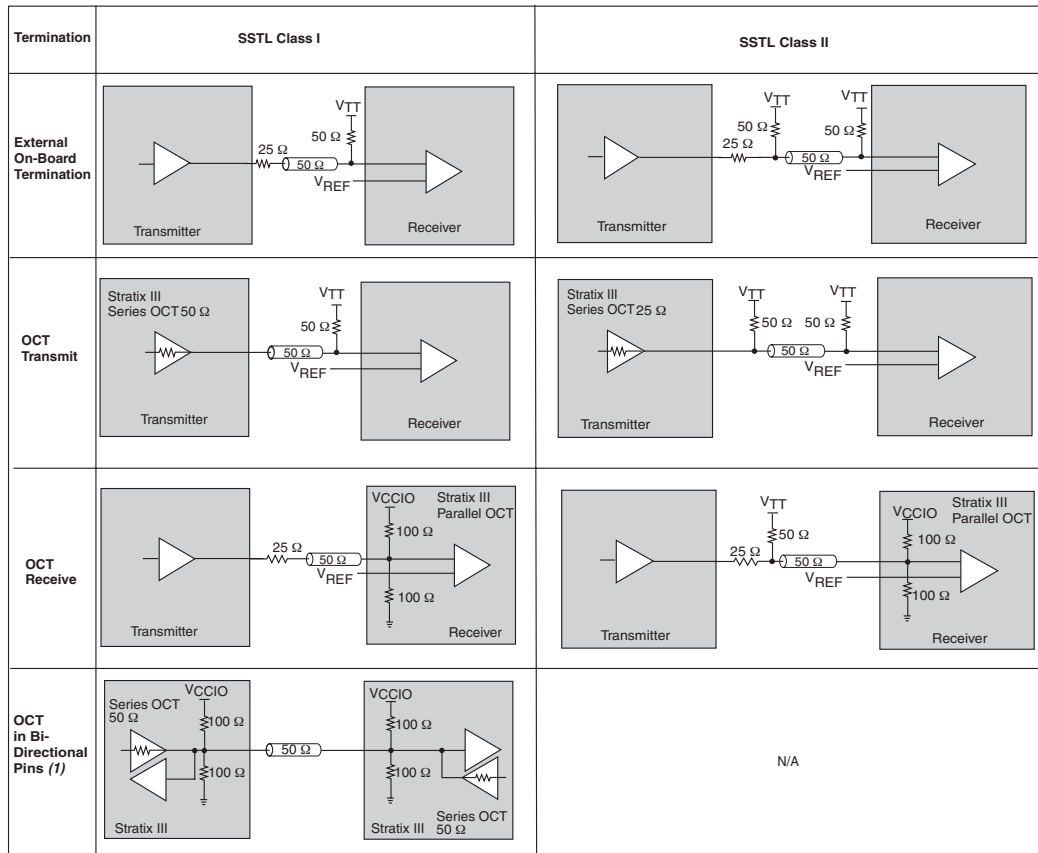
## I/O 規格の終端方法

以下の項では、Stratix III デバイスで使用される I/O 規格ごとの終端方法について説明します。

### シングル・エンド I/O 規格の終端

電圧リファレンス形式の I/O 規格には、入力リファレンス電圧  $V_{REF}$  と、終端電圧  $V_{TT}$  の両方が必要です。受信デバイスのリファレンス電圧は、送信デバイスの終端電圧に追従します。図 7-22 および 7-23 に、Stratix III デバイスの SSTL および HSTL I/O 終端の詳細を示します。

図 7-22. Stratix III の SSTL I/O 規格の終端



## 図 7-22 の注：

- (1) Stratix III デバイスでは、直列および並列 OCT は同時に使用することはできません。詳しくは、7-27 ページの「[ダイナミック On-Chip Termination](#)」を参照してください。

図 7-23. Stratix III の HSTL I/O 規格の終端

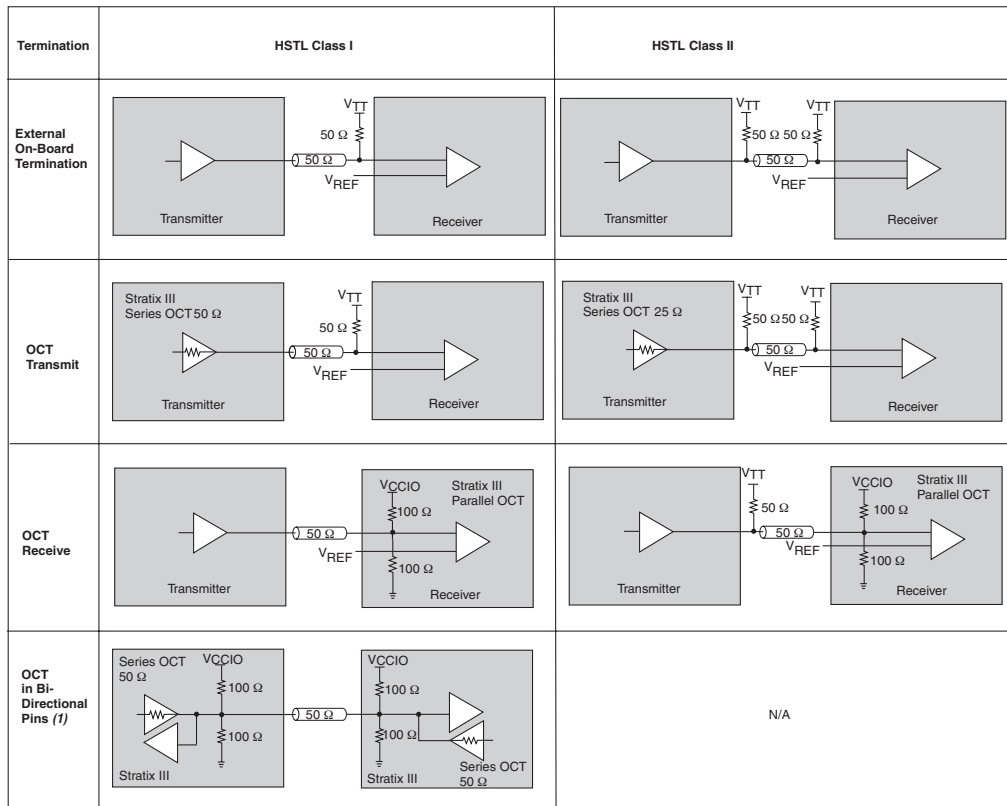


図 7-23 の注：

- (1) Stratix III デバイスでは、直列および並列 OCT は同時に使用することはできません。詳しくは、7-27 ページの「ダイナミック On-Chip Termination」を参照してください。

## 差動 I/O 規格の終端

Stratix III デバイスは、差動 SSTL-2 および SSTL-18、差動 HSTL-18、HSTL-15、HSTL-12、LVDS、LVPECL、RSDS、および mini-LVDS をサポートしています。図 7-24 から 7-30 に、Stratix III デバイスの様々な差動 I/O 終端を示します。



図 7-24. Stratix III の差動 I/O 規格の終端

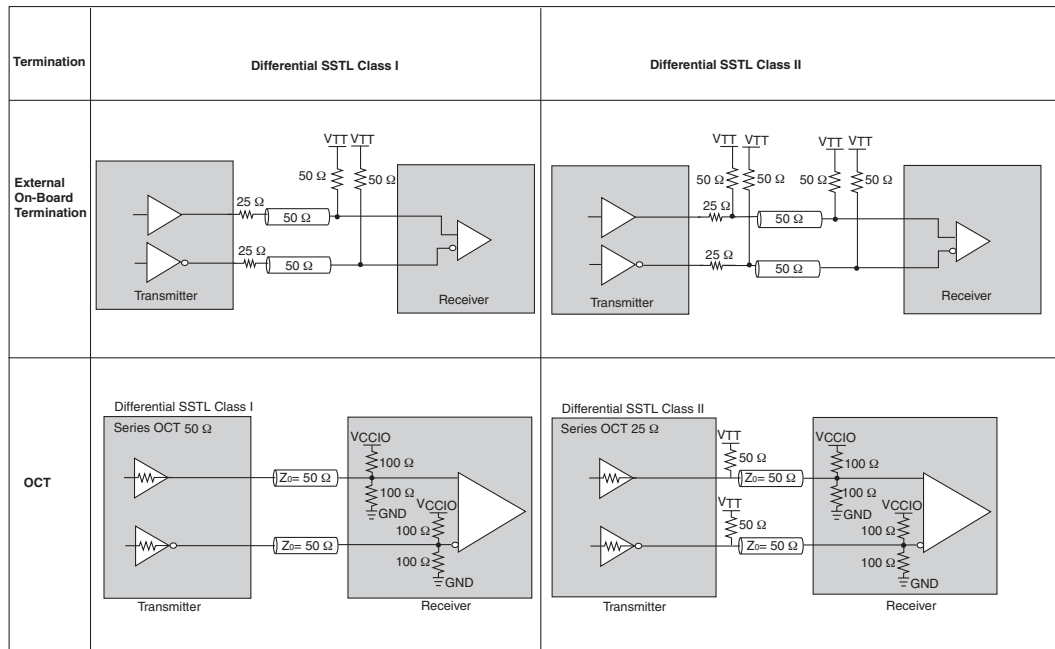
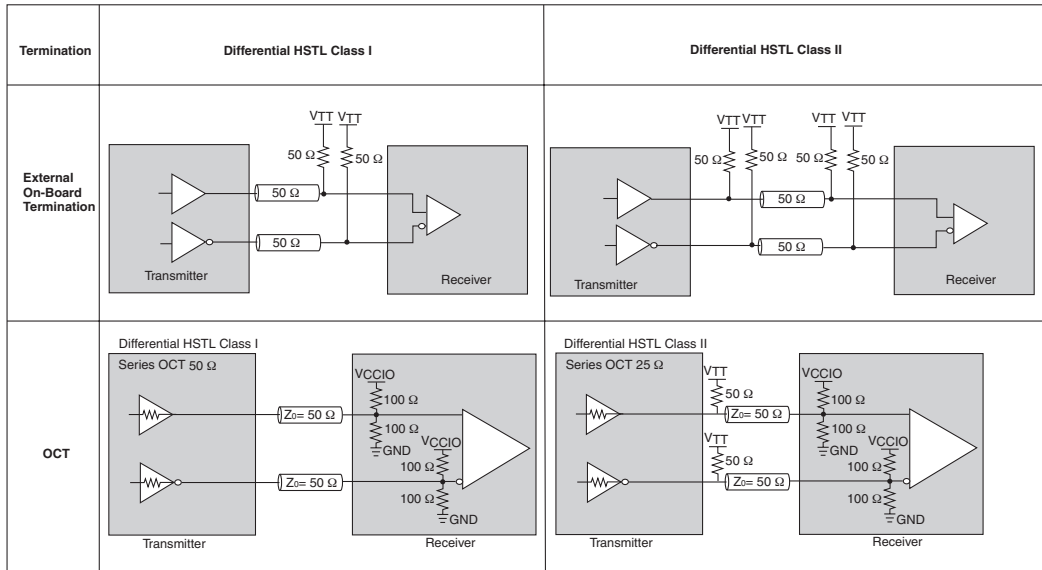


図 7-25. Stratix III の差動 HSTL I/O 規格の終端



## LVDS

LVDS I/O 規格は、差動高速、低電圧振幅、低電力の汎用 I/O インタフェース規格です。Stratix III デバイスでは、LVDS I/O 規格は 2.5 V の  $V_{CCIO}$  レベルを要求します。LVDS 入力バッファは、2.5 V の  $V_{CCPD}$  を要求します。この規格は、広帯域幅データ転送、バックプレーン・ドライバ、およびクロック分配を要求するアプリケーションで使用されます。LVDS は、入力バッファの 2 つの信号間で 100  $\Omega$  の終端抵抗を要求します。Stratix III デバイスは、差動 On-Chip Termination を使用するデバイスで、オプションの 100  $\Omega$  差動終端抵抗を提供します。

図 7-26 に、LVDS 終端の詳細を示します。オンチップ差動抵抗は、ロウ I/O バンクのみで使用できます。1 抵抗トポロジーは 200 Mbps までのデータ・レートに対応しています。3 抵抗トポロジーは 200 Mbps を超えるデータ・レート用です。

図 7-26. Stratix III の LVDS I/O 規格の終端 注 (1)

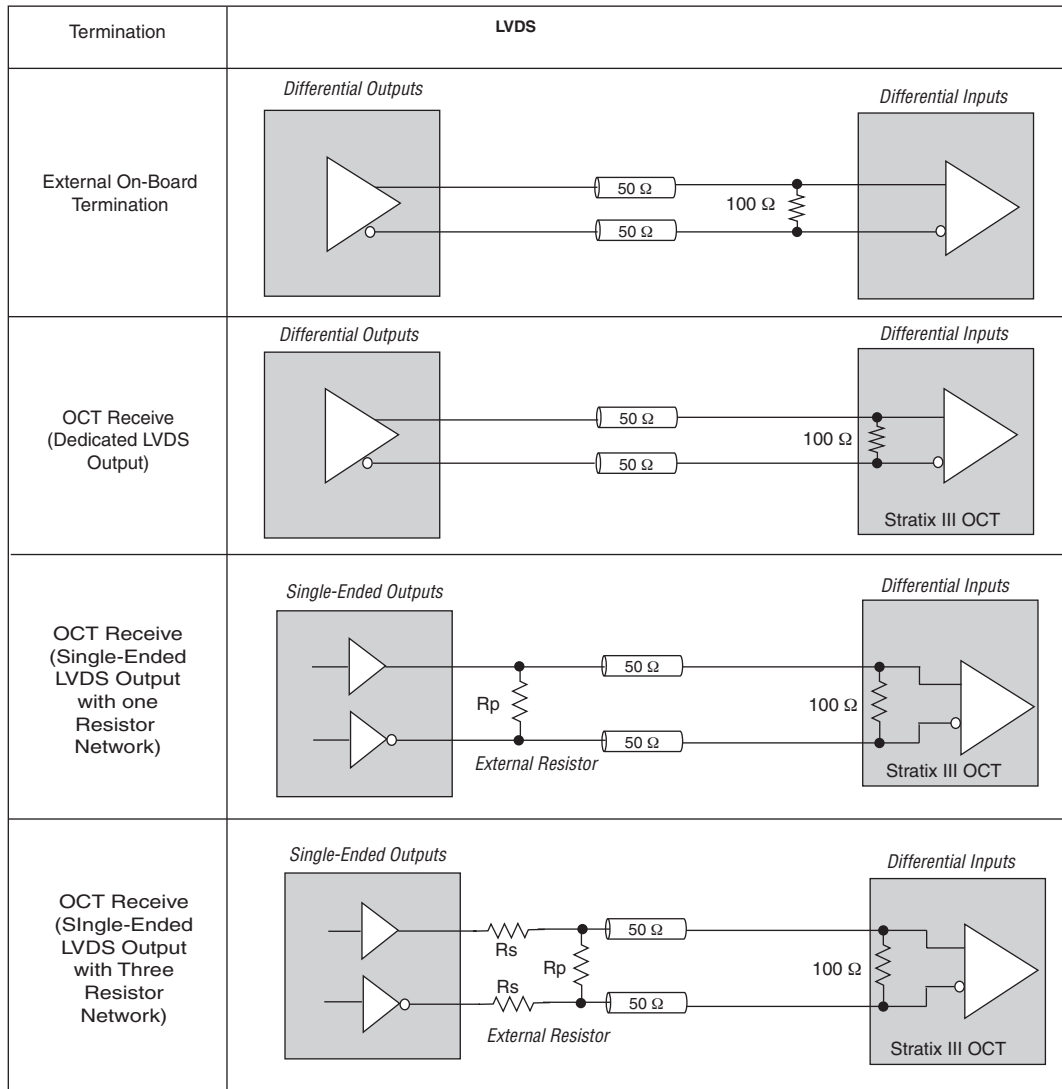


図 7-26 の注 :

(1)  $R_S$  値と  $R_P$  値は、デバイス特性評価後に決定されます。

## 差動 LVPECL

Stratix III デバイスでは、LVPECL I/O 規格はカラムおよびロウ I/O バンクの入力クロック・ピンでサポートされます。LVPECL 出力動作は、Stratix III デバイスではサポートされていません。LVDS の入力バッファは、LVPECL 入力動作をサポートするために使用されます。出力バッファの LVPECL コモン・モード電圧が、Stratix III LVPECL 入力コモン・モード電圧よりも高いときは AC 結合が必要です。図 7-27 に AC 結合終端方法を示します。レシーバ端で使用される  $50\ \Omega$  抵抗は、デバイスの外部になります。

DC 結合 LVPECL は、LVPECL 出力コモン・モード電圧が、Stratix III LVPECL 入力バッファ仕様の範囲内にある場合にサポートされます (図 7-28 参照)。

図 7-27. LVPECL AC 結合終端

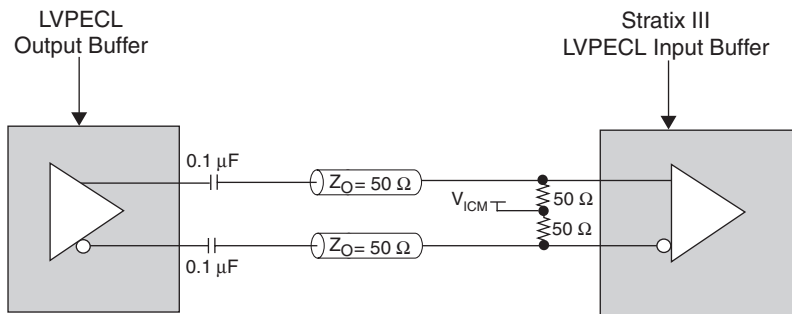
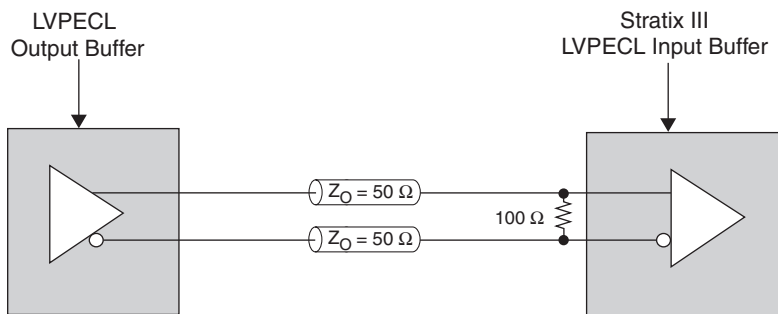


図 7-28. LVPECL DC 結合終端



## RSDS

Stratix III デバイスは、LVDS 出力バッファ・タイプを使用して、最大 230 Mbps のデータ・レートの RSDS 出力規格をサポートします。トランスミッタの場合、図 7-29 に示すとおり、1 本または 3 本の外部抵抗ネットワークを取り付けて LVDS 出力バッファを使用します。1 抵抗トポロジは 200 Mbps までのデータ・レートに対応しています。3 抵抗トポロジは 200 Mbps を超えるデータ・レート用です。

図 7-29. Stratix III の RSDS I/O 規格の終端 注 (1)

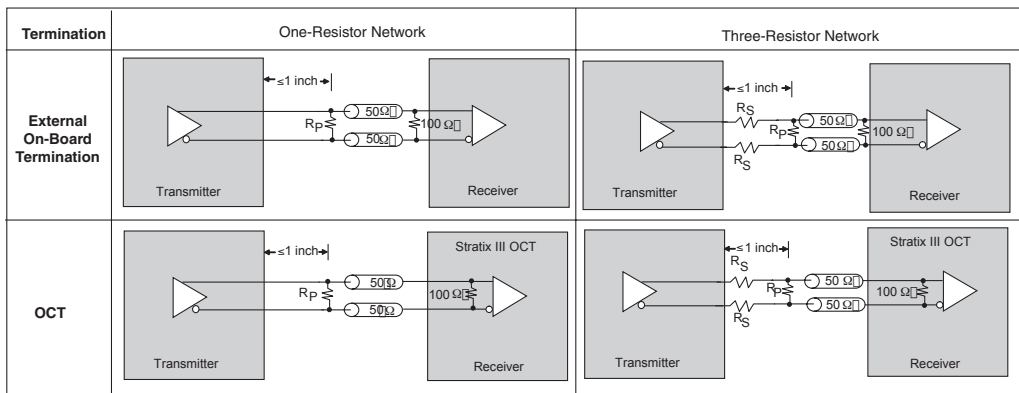


図 7-29 の注：

- (1)  $R_S$  値と  $R_P$  値は、デバイス特性評価後に決定されます。

LVDS 出力電圧振幅を減衰させて RSDS 仕様に適合させるには、1 つの抵抗ネットワークが必要です。3 つの抵抗ネットワークの値を変更して、消費電力を低減したり、ノイズ・マージンを改善することができます。選択する抵抗値は、以下の式を満たさなければなりません。

$$\frac{R_S \times \frac{R_P}{2}}{R_S + \frac{R_P}{2}} = 50 \Omega$$

アルテラでは、IBIS モデルを使用して追加シミュレーションを実行し、カスタム抵抗値が RSDS 要件に適合するかどうかを確認することを推奨しています。



RSDS I/O 規格について詳しくは、National Semiconductor 社のウェブサイト ([www.national.com](http://www.national.com)) の「RSDS Specification」を参照してください。

## mini-LVDS

Stratix III デバイスは、LVDS 出力バッファ・タイプを使用して、最大 340 Mbps のデータ・レートの mini-LVDS 出力規格をサポートします。トランスミッタの場合、図 7-30 に示すとおり、1 本または 3 本の外部抵抗ネットワークで LVDS 出力バッファを使用します。1 抵抗トポロジは 200 Mbps までのデータ・レートに対応しています。3 抵抗トポロジは 200 Mbps を超えるデータ・レート用です。

図 7-30. Stratix III の mini-LVDS I/O 規格の終端 注 (1)

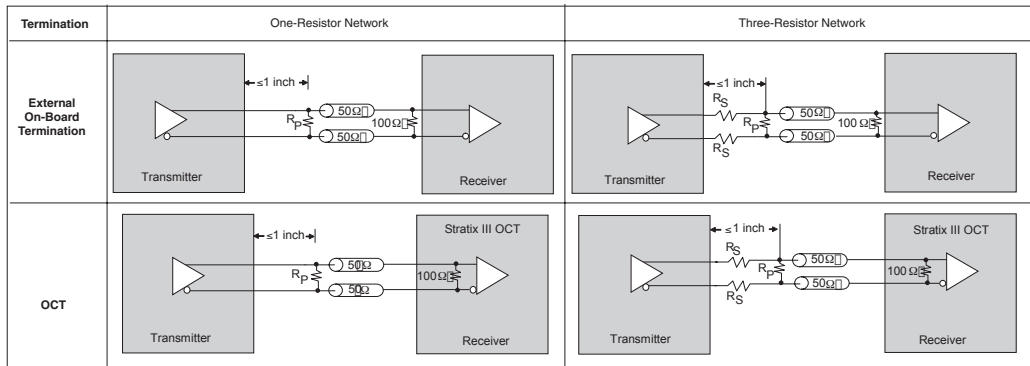


図 7-30 の注：

(1)  $R_S$  値と  $R_P$  値は、デバイス特性評価後に決定されます。

LVDS 出力電圧振幅を減衰させて mini-LVDS 仕様に適合させるには、1 つの抵抗ネットワークが必要です。3 つの抵抗ネットワーク値を変更して、消費電力を低減したり、ノイズ・マージンを改善することができます。選択する抵抗値は、以下の式を満たさなければなりません。

$$\frac{R_S \times \frac{R_P}{2}}{R_S + \frac{R_P}{2}} = 50 \Omega$$

アルテラでは、IBIS モデルを使用して追加シミュレーションを実行し、カスタム抵抗値が RSDS 要件に適合するかどうか確認することを推奨しています。



mini-LVDS I/O 規格について詳しくは、Texas Instruments 社のウェブサイト ([www.ti.com](http://www.ti.com)) の「mini-LVDS Specification」を参照してください。

## デザインの 検討事項

Stratix III デバイスは、高性能および高速システム・デザインに対応する多様な I/O 機能を備えています。その他にも、これらのデザインを成功させるために注意すべき検討事項がいくつかあります。

### I/O 終端

この項では、シングル・エンドおよび差動 I/O 規格に対する I/O 終端要件について説明します。

#### シングル・エンド I/O 規格サポート

シングル・エンド非電圧リファレンス形式の I/O 規格では終端は不要ですが、反射を抑え、シグナル・インテグリティを向上させるためにインピーダンス・マッチングが必要です。

電圧リファレンス形式の I/O 規格には、入力リファレンス電圧  $V_{REF}$  と、終端電圧  $V_{TT}$  の両方が必要です。受信デバイスのリファレンス電圧は、送信デバイスの終端電圧に追従します。電圧リファレンス形式の I/O 規格は、それぞれに固有の終端設定が必要です。例えば、SSTL2 規格では優れたノイズ・マージンを持つ信頼性の高い DDR メモリ・システムを作成するために、適切な抵抗性の信号終端方式が重要です。

Stratix III の直列および並列 On-Chip Termination では、外部コンポーネントが必要ないためデザインが簡潔になります。その代わりとして、外部プルアップ抵抗を使用して、SSTL や HSTL などの電圧リファレンス形式の I/O 規格を終端できます。

### 差動 I/O 規格

差動 I/O 規格は、通常はレシーバの 2 つの信号間に終端抵抗を必要とします。終端抵抗は、信号ラインの差動負荷インピーダンスと整合しなければなりません。Stratix III デバイスは、LVDS を使用するときにオプションの差動オンチップ抵抗を提供します。



PCB レイアウトのガイドラインについては、「AN 224: 高速ボード・レイアウト・ガイドライン」および「AN 315: 高速 FPGA のプリント基板の設計ガイドラン」を参照してください。

### I/O バンクの制約

各 I/O バンクは複数の I/O 規格を同時にサポートできます。以降の項では、Stratix III デバイスで非電圧リファレンス形式および電圧リファレンス形式の I/O 規格を混在させるためのガイドラインを示します。

### 非電圧リファレンス形式の規格

Stratix III デバイスの各 I/O バンクには、専用の  $V_{CCIO}$  ピンがあり、1.2、1.5、1.8、2.5、または 3 V のいずれか 1 つの  $V_{CCIO}$  のみサポートします。I/O バンクは、表 7-2 に示すように、異なる差動 I/O 規格が割り当てられたいかなる数の入力信号でも同時にサポートできます。

出力信号の場合、1 つの I/O バンクは  $V_{CCIO}$  と同じ電圧でドライブする非電圧リファレンス形式の出力信号をサポートします。1 つの I/O バンクは 1 つの  $V_{CCIO}$  の値しか取ることができないため、非電圧リファレンス信号に対してはその 1 つの値のみドライブ・アウトできます。例えば、 $V_{CCIO}$  設定が 2.5 V の I/O バンクは、2.5 V の標準入力と出力、および 3 V の LVCMOS 入力(出力または双方向ピン以外)をサポートできます。

### 電圧リファレンス形式の規格

電圧リファレンス形式の I/O 規格に対応するために、Stratix III デバイスの各 I/O バンクは、共通の  $V_{REF}$  バスに信号を供給する複数の  $V_{REF}$  ピンをサポートします。使用可能な  $V_{REF}$  ピンの数は、デバイスの集積度が大きくなるほど増加します。これらのピンは  $V_{REF}$  ピンとして使用されていない場合に、汎用 I/O ピンとして使用することができないので、 $V_{CCIO}$  または GND に接続しなければなりません。ただし、各バンクが任意の時点で持つことができるのは、1 つの  $V_{CCIO}$  電圧レベルと 1 つの  $V_{REF}$  電圧レベルだけです。

シングル・エンド規格または差動規格に対応する I/O バンクは、すべての電圧リファレンス形式の規格が同じ  $V_{REF}$  設定を使用している限り、電圧リファレンス形式の規格をサポートできます。

性能上の理由により、電圧リファレンス形式の入力規格は、電源として独自の  $V_{CCPD}$  レベルを使用します。この機能により、任意の  $V_{CCIO}$  を持つ I/O バンクに電圧リファレンス形式の入力信号を置くことができます。例えば、 $V_{CCIO}$  が 2.5 V の I/O バンクには、HSTL-15 入力ピンしか配置できません。

電圧リファレンス形式の双方向信号および出力信号は、I/O バンクの  $V_{CCIO}$  電圧と同じでなければなりません。例えば、 $V_{CCIO}$  が 2.5 V の I/O バンクには、SSTL-2 出力ピンしか配置できません。



## 電圧リファレンス形式の規格と非電圧リファレンス形式の規格の混在

I/O バンクはルール・セットを個別に適用することによって、非電圧リファレンス形式のピンと電圧リファレンス形式のピンの両方をサポートできます。例えば、I/O バンクは 1.8 V の  $V_{CCIO}$  および 0.9 V の  $V_{REF}$  で、SSTL-18 入力と 1.8 V 入力および出力をサポートできます。同様に、I/O バンクは 1.5 V 規格、2.5 V 入力（出力は非適用）、および 1.5 V の  $V_{CCIO}$  および 0.75 V の  $V_{REF}$  で、HSTL および HSTL-15 I/O 規格をサポートできます。

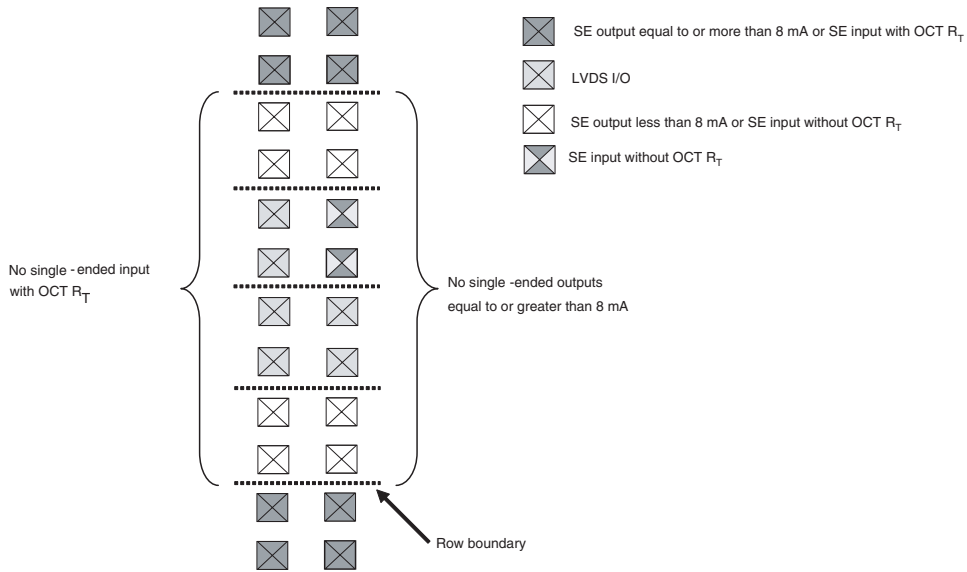
## I/O 配置のガイドライン

この項では、Stratix III デバイスでサポートされるプログラマブル I/O 規格の I/O 配置ガイドラインを示します。デバイスの選択可能な I/O 機能を使用してシステムをデザインするのに必要な情報が記載されています。

### LVDS I/O ピンを基準にした I/O ピンの配置

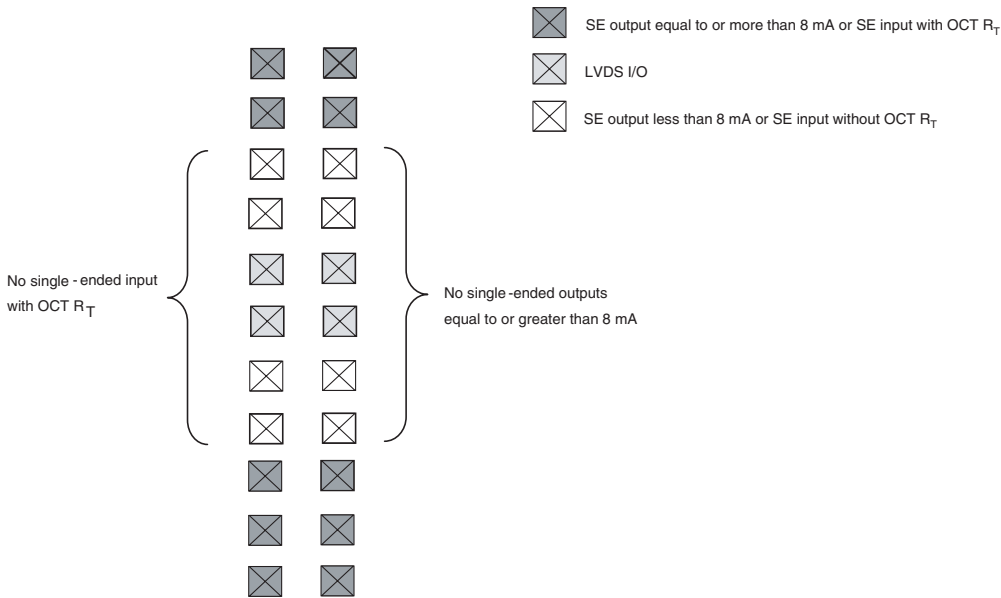
LVDS I/O ピンに対するシングル・エンド I/O ピンの配置は制限されています。図 7-31 に示すように、ドライブ強度が 8 mA 以上のロウ I/O シングル・エンド出力は、LVDS I/O から 1 つのロウ以上離して配置する必要があります。OCT  $R_T$  を持つシングル・エンド入力に同じ制約が適用されます。8 mA 未満のドライブ強度を持つシングル・エンド出力を LVDS I/O に隣接するロウに配置することができます。差動 HSTL/SSTL 入力に LVDS 入力バッファを使用するときは、この制約は適用されません。OCT  $R_T$  のないシングル・エンド入力には配置の制約はありません。DPA がイネーブルされているとき、シングル・エンド I/O の制約は通常の LVDS I/O の制約と同じです。

図 7-31. LVDS I/O ピンを基準にしたシングル・エンド・ロウ I/O ピンの配置



シングル・エンド・カラム I/O を配置する場合の制約は、ロウ I/O の場合と同様です。ドライブ強度が 8 mA 以上のシングル・エンド出力は、LVDS I/O から 4 つの I/O 以上離して配置する必要があります。OCT  $R_T$  を持つシングル・エンド入力に同じルールが適用されます。差動 HSTL/SSTL 入力に LVDS 入力バッファを使用するときは、この制約は適用されません。ドライブ強度が 8 mA 未満のシングル・エンド出力および OCT  $R_T$  のないシングル・エンド入力には制約はありません。カラム I/O のシングル・エンド I/O 配置ルールを図 7-32 に示します。

図 7-32. LVDS I/O ピンを基準にしたシングル・エンド・カラム I/O ピンの配置



## まとめ

Stratix III デバイスは、既存および新たに登場する I/O 規格および要件への準拠を可能にする I/O 機能を提供します。Stratix III デバイスの機能により、ボード・デザインのインタフェース・コストを削減し、開発の柔軟性を向上させることができます。

## 改訂履歴

表 7-9 に、本資料の改訂履歴を示します。

表 7-9. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 5 月 v1.1	プログラマブル入力遅延の機能を 7-13 ページの「Stratix III の I/O 構造」に追加。表 7-4 および表 7-7 を更新。7-28 ページの「LVDS 入力 On-Chip Termination (R <sub>D</sub> )」を更新。図 7-3 から図 7-8 を更新。図 7-24、図 7-25 を更新。14 ページのテキストのマイナーな編集。	—
2006 年 11 月 v1.0	初版	—