



2. Stratix II および Stratix II GX デバイスの TriMatrix エンベデッド・メモリ・ブロック

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SI152002-4.1

はじめに

Stratix[®]II および Stratix II GX デバイスの特長である TriMatrix[™] メモリ構造は、3 種類のサイズのエンベデッド RAM ブロックから構成されており、FPGA デザインのメモリ・ニーズに効率良く対応します。

TriMatrix メモリには、512 ビットの M512 ブロック、4K ビットの M4K ブロック、512K ビットの M-RAM ブロックがあり、それぞれをコンフィギュレーションして多彩な機能をサポートすることができます。TriMatrix メモリは、最高 550 MHz の動作速度で最大 9M ビットの RAM をサポートし、また最大 16 テラビット / 秒の合計メモリ帯域幅（デバイスあたり）を達成しています。この章では、TriMatrix メモリのブロック、モード、および特長について説明します。

TriMatrix メモリの概要

TriMatrix アーキテクチャは、FPGA デザインのさまざまなアプリケーションに対して複雑なメモリ機能を提供します。たとえば、M512 ブロックは、メモリ帯域幅が重要な部分で FIFO (First-In First-Out) 機能やクロック・ドメイン・バッファに使用されます。M4K ブロックは、非同期通信モード (ATM) セル処理など、中規模のメモリを必要とするアプリケーションに理想的です。また、M-RAM ブロックは、インターネット・プロトコル (IP) パケット用バッファやシステム・キャッシュのような大規模なバッファ・アプリケーションに適しています。

TriMatrix メモリ・ブロックは、シングル・ポート、シンプル・デュアル・ポート、トゥルー・デュアル・ポート (双方向デュアル・ポートとも呼ぶ)、シフト・レジスタ、および ROM モードなど、さまざまなメモリ・コンフィギュレーションをサポートします。TriMatrix メモリ・アーキテクチャには、パリティ・ビット・サポート、バイト・イネーブル・サポート、パック・モード・サポート、アドレス・クロック・イネーブル・サポート、混在ポート幅サポート、および混合クロック・モード・サポートも含まれています。

TriMatrix エンベデッド・メモリの非同期クリア信号を入力レジスタに印加すると、入力レジスタは即時にクリアされます。ただし、メモリ・ブロックの出力には次のクロック・エッジまで何も変化しません。非同期クリア信号を出力レジスタに印加すると、出力レジスタがクリアされ、即時に出力に伝達されます。

表 2-1 に、3 種類のサイズの TriMatrix メモリでサポートされる特長をまとめます。

表 2-1. TriMatrix メモリの特長の要約			
特長	M512 ブロック	M4K ブロック	M-RAM ブロック
最大性能	500 MHz	550 MHz	420 MHz
トータル RAM ビット数 (パリティ・ビットを含む)	576	4,608	589,824
コンフィギュレーション	512 × 1 256 × 2 128 × 4 64 × 8 64 × 9 32 × 16 32 × 18	4K × 1 2K × 2 1K × 4 512 × 8 512 × 9 256 × 16 256 × 18 128 × 32 128 × 36	64K × 8 64K × 9 32K × 16 32K × 18 16K × 32 8K × 64 8K × 72 4K × 128 4K × 144
パリティ・ビット	√	√	√
バイト・イネーブル	√	√	√
バック・モード		√	√
アドレス・クロック・イネーブル		√	√
シングル・ポート・メモリ	√	√	√
シンプル・デュアル・ポート・メモリ	√	√	√
トゥルー・デュアル・ポート・メモリ		√	√
エンベデッド・シフト・レジスタ	√	√	
ROM	√	√	
FIFO バッファ	√	√	√
シンプル・デュアル・ポート混在幅サポート	√	√	√
トゥルー・デュアル・ポート混在幅サポート		√	√
メモリ初期設定ファイル (.mif)	√	√	
混合クロック・モード	√	√	√
パワー・アップ条件	出力がクリア	出力がクリア	出力が未知
レジスタ・クリア	出力レジスタのみ	出力レジスタのみ	出力レジスタのみ
ライト中の同一ポート・リード	正クロック・エッジで新しいデータ利用可能	正クロック・エッジで新しいデータ利用可能	正クロック・エッジで新しいデータ利用可能
ライト中の混在ポート・リード	出力は未知または旧データに設定	出力は未知または旧データに設定	出力が未知

表 2-2 および 2-3 に、それぞれ Stratix II および Stratix II GX ファミリの各デバイスの容量と配分を示します。

表 2-2. Stratix II デバイスにおける TriMatrix メモリの容量と配分

デバイス	M512 カラム数/ ブロック数	M4K カラム数/ ブロック数	M-RAM ブロック数	トータル RAM ビット数
EP2S15	4/104	3/78	0	419,328
EP2S30	6/202	4/144	1	1,369,728
EP2S60	7/329	5/255	2	2,544,192
EP2S90	8/488	6/408	4	4,520,448
EP2S130	9/699	7/609	6	6,747,840
EP2S180	11/930	8/768	9	9,383,040

表 2-3. Stratix II GX デバイスにおける TriMatrix メモリの容量と配分

デバイス	M512 カラム数/ ブロック数	M4K カラム数/ ブロック数	M-RAM ブロック数	トータル RAM ビット数
EP2SGX30C EP2SGX30D	6/202	4/144	1	1,369,728
EP2SGX60C EP2SGX60D EP2SGX60E	7/329	5/255	2	2,544,192
EP2SGX90E EP2SGX90F	8/488	6/408	4	4,520,448
EP2SGX130G	9/699	7/609	6	6,747,840

パリティ・ビットのサポート

すべての TriMatrix メモリ・ブロック (M512、M4K、および M-RAM) は、各バイトに対して 1 パリティ・ビットをサポートしています。

パリティ・ビットは各ランダム・アクセス・メモリ (RAM) ブロックでのメモリ容量に加算されます。たとえば、M512 ブロックには 576 ビットがありますが、このうち 64 ビットはオプションでパリティ・ビットの記憶に使用されます。パリティ・ビットは、アダプティブ・ロジック・モジュール (ALM) に実装されるロジックと共に、エラーを検出してデータの正確性を保証するためのパリティ・チェックを実装します。パリティ・サイズ of データ・ワードは、ユーザが指定したコントロール・ビットの格納など、その他の目的に使用することもできます。

パリティ・ビットを使用したメモリ・エラーの検出方法について詳しくは、Stratix デバイスでのパリティ・ビットを使用したメモリ・エラーの検出方法ホワイト・ペーパーを参照してください。

バイト・イネーブルのサポート

すべての TriMatrix メモリ・ブロックは、入力データをマスクして、データの特定のバイト、ニブル、またはビットのみ書き込み可能にするバイト・イネーブルをサポートしています。書き込まれなかったバイトまたはビットは、前に書き込まれた値を保持します。ライト・イネーブル (wren) 信号は、バイト・イネーブル (byteena) 信号と共に、RAM ブロックのライト動作をコントロールします。バイト・イネーブル信号のデフォルト値は High (イネーブル) であり、この場合、ライト動作はライト・イネーブル信号でのみコントロールされます。バイト・イネーブル・レジスタへのクリア・ポート信号はありません。

M512 ブロック

M512 ブロックは、1、2、4、8、9、16、18 ビットのすべてのデータ幅に対するバイト・イネーブルをサポートします。データ幅が 1 バイト (x8/x9) 未満のメモリ・ブロック・コンフィギュレーションの場合、メモリ・ブロックが全幅のメモリ・コンフィギュレーションとしてインスタンス化された場合のみサポートされます。たとえば、128×4 のメモリ・ブロックはバイト・イネーブルをサポートします。ただし、64×8 メモリ・ブロックで 2 つの 4 ビット・グループでバイト・イネーブル機能を使用することはできません。1 バイト未満のメモリ・コンフィギュレーションの場合、ライト・イネーブルまたはクロック・イネーブル信号は、オプションでライト動作をコントロールするために使用できます。表 2-4 に、バイト選択をまとめます。

表 2-4. Stratix II および Stratix II GX での M512 ブロックのバイト・イネーブル 注 (1)

byteena[1..0]	data x1	data x2	data x4	data x8	data x9	data x16	data x18
[0] = 1	[0]	[1..0]	[3..0]	[7..0]	[8..0]	[7..0]	[8..0]
[1] = 1	-	-	-	-	-	[15..8]	[17..9]

表 2-4 の注：

(1) どのバイト・イネーブルの組み合わせでも可能です。

M4K ブロック

M4K ブロックは、1、2、4、8、9、16、18、32、36 ビットのすべてのデータ幅に対するバイト・イネーブルをサポートします。データ幅が 1 バイト (×8/×9) 未満のメモリ・ブロック・コンフィギュレーションの場合、メモリ・ブロックが全幅のメモリ・コンフィギュレーションとしてインスタンス化された場合にのみサポートされます。たとえば、1024 × 4 のメモリ・ブロックはバイト・イネーブルをサポートします。ただし、512 × 8 メモリ・ブロックで 2 つの 4 ビット・グループでバイト・イネーブル機能を使用することはできません。1 バイト未満のメモリ・コンフィギュレーションの場合、ライト・イネーブルまたはクロック・イネーブル信号は、オプションでライト動作をコントロールするために使用できます。表 2-5 にバイト選択をまとめます。

表 2-5. Stratix II および Stratix II GX での M4K ブロックのバイト・イネーブル 注 (1)

byteena [3..0]	data ×1 (2)	data ×2 (2)	data ×4 (2)	data ×8 (2)	data ×9 (2)	data ×16	data ×18	data ×32	data ×36
[0] = 1	[0]	[1..0]	[3..0]	[7..0]	[8..0]	[7..0]	[8..0]	[7..0]	[8..0]
[1] = 1	-	-	-	-	-	[15..8]	[17..9]	[15..8]	[17..9]
[2] = 1	-	-	-	-	-	-	-	[23..16]	[26..18]
[3] = 1	-	-	-	-	-	-	-	[31..24]	[35..27]

表 2-5 の注：

- (1) どのバイト・イネーブルの組み合わせでも可能です。
- (2) ツール・デュアル・ポート・モードで、データ幅が 1、2、4、8、および 9 ビットの場合：byteena[0] = 1 および byteena[2] = 1 に設定。ただし、シングル・ポートおよびシンプル・デュアル・ポート・モードの場合は byteena[0] = 1 にのみ設定

M-RAM ブロック

M-RAM ブロックは、8、9、16、18、32、36、64、72 ビットのすべてのデータ幅に対するバイト・イネーブルをサポートします。128× または ×144 のシングル・デュアル・ポート・モードでは、2 組のバイト・イネーブル信号 (byteena_a および byteena_b) を組み合わせて、必要な 16 バイト・イネーブルを形成します。表 2-6 に、M-RAM ブロックのバイト選択をまとめます。

byteena	data ×8	data ×9	data ×16	data ×18	data ×32	data ×36	data ×64	data ×72
[0] = 1	[7..0]	[8..0]	[7..0]	[8..0]	[7..0]	[8..0]	[7..0]	[8..0]
[1] = 1	-	-	[15..8]	[17..9]	[15..8]	[17..9]	[15..8]	[17..9]
[2] = 1	-	-	-	-	[23..16]	[26..18]	[23..16]	[26..18]
[3] = 1	-	-	-	-	[31..24]	[35..27]	[31..24]	[35..27]
[4] = 1	-	-	-	-	-	-	[39..32]	[44..36]
[5] = 1	-	-	-	-	-	-	[47..40]	[53..45]
[6] = 1	-	-	-	-	-	-	[55..48]	[62..54]
[7] = 1	-	-	-	-	-	-	[63..56]	[71..63]

表 2-6 の注：

(1) どのバイト・イネーブルの組み合わせでも可能です。

表 2-7 に、×144 モードのバイト選択をまとめます。

byteena	data ×128	data ×144
[0] = 1	[7..0]	[8..0]
[1] = 1	[15..8]	[17..9]
[2] = 1	[23..16]	[26..18]
[3] = 1	[31..24]	[35..27]
[4] = 1	[39..32]	[44..36]
[5] = 1	[47..40]	[53..45]
[6] = 1	[55..48]	[62..54]
[7] = 1	[63..56]	[71..63]
[8] = 1	[71..64]	[80..72]
[9] = 1	[79..72]	[89..73]

表 2-7. Stratix II および Stratix II GX での M-RAM の x144 モードに対する組み合わせバイト選択 (2 / 2) 注 (1)

byteena	data x128	data x144
[10] = 1	[87..80]	[98..90]
[11] = 1	[95..88]	[107..99]
[12] = 1	[103..96]	[116..108]
[13] = 1	[111..104]	[125..117]
[14] = 1	[119..112]	[134..126]
[15] = 1	[127..120]	[143..135]

表 2-7 の注：

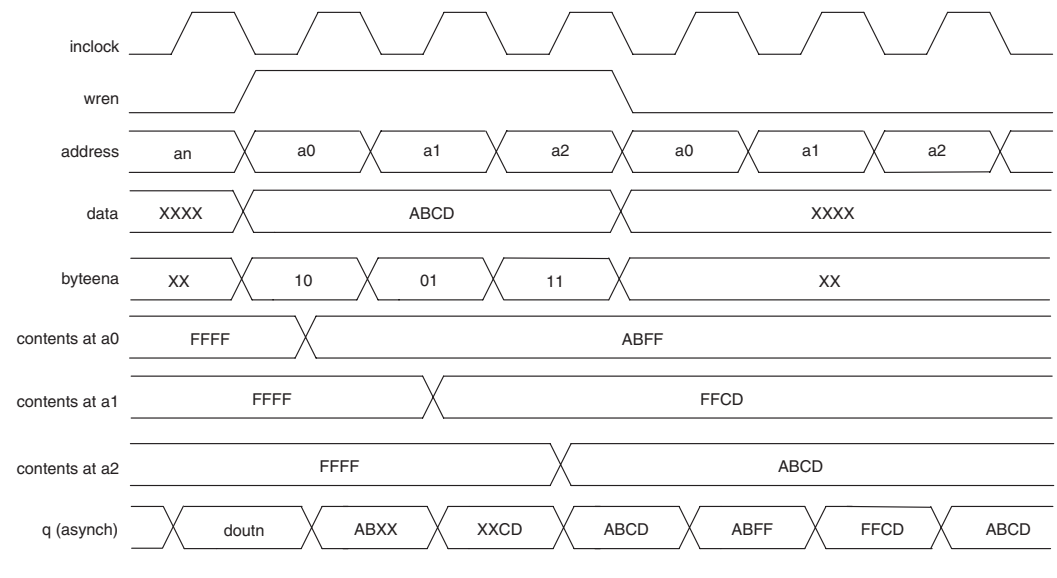
(1) どのバイト・イネーブルの組み合わせでも可能です。

バイト・イネーブル動作時の波形

図 2-1 に、ライト・イネーブル(wren)信号とバイト・イネーブル(byteena)信号による RAM 動作のコントロール方法を示します。

ライト・サイクル中にバイト・イネーブル・ビットがデアサートされると、対応するデータ・バイト出力は「ドント・ケア」または未知の値として現れます。ライト・サイクル中にバイト・イネーブル・ビットがアサートされると、対応するデータ・バイト出力は新しく書き込まれたデータになります。

図 2-1. Stratix II および Stratix II GX のバイト・イネーブル動作時の波形



パック・モードのサポート

Stratix II および Stratix II GX での M4K および M-RAM メモリ・ブロックは、パック・モードをサポートします。M4K および M-RAM メモリ・ブロックでは以下の条件のときに、1 つのブロックに 2 つのシングル・ポート・メモリ・ブロックを実装できます。

- 2 つの独立したブロック・サイズはそれぞれ、M4K または M-RAM ブロック・サイズの 1/2 に等しいかそれ以下です。
- 各シングル・ポート・メモリ・ブロックは、シングル・クロック・モードでコンフィギュレーションされます。

したがって、各シングル・ポート・メモリ・ブロックは、クロック、クロック・イネーブル、非同期クリア信号などの M4K または M-RAM のメモリ・リソースの 1/2 までアクセスします。

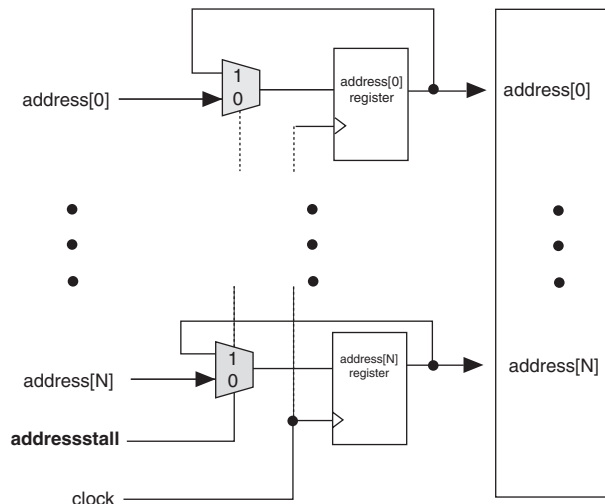
詳しくはこの章の「[シングル・ポート・モード](#)」および「[シングル・クロック・モード](#)」のセクションを参照してください。

アドレス・クロック・イネーブルのサポート

Stratix II および Stratix II GX における M4K および M-RAM メモリ・ブロックは、アドレス・クロック・イネーブルをサポートしています。これは信号がイネーブルされている間、以前のアドレス値を保持するのに使用されます。メモリ・ブロックがデュアル・ポート・モードでコンフィギュレーションされると、各ポートは専用の独立したアドレス・クロック・イネーブルを持ちます。

図 2-2 に、アドレス・クロック・イネーブル・ブロック図を示します。アドレス・レジスタから出力されるアドレス信号は、アドレス・レジスタに置かれ、マルチプレクサを経由してレジスタの入力にフィードバックされます。マルチプレクサ出力は、アドレス・クロック・イネーブル (addressstall) 信号で選択されます。addressstall 信号が High になると、アドレスのラッチがイネーブルされます。アドレス・レジスタの出力は、継続的にレジスタの入力に送られるため、アドレス値は addressstall 信号が Low になるまで保持することができます。

図 2-2. Stratix II および Stratix II GX のアドレス・クロック・イネーブル・ブロック図



アドレス・クロック・イネーブルは通常キャッシュ・メモリ・アプリケーションに使用され、リードに1つのポート、ライトに別のポートが必要になります。アドレス・クロック・イネーブル信号のデフォルト値は Low (ディセーブル) です。図 2-3 および 2-4 に、それぞれリード・サイクルとライト・サイクル中のアドレス・クロック・イネーブル波形を示します。

図 2-3. Stratix II および Stratix II GX でのリード・サイクル中のアドレス・クロック・イネーブル波形

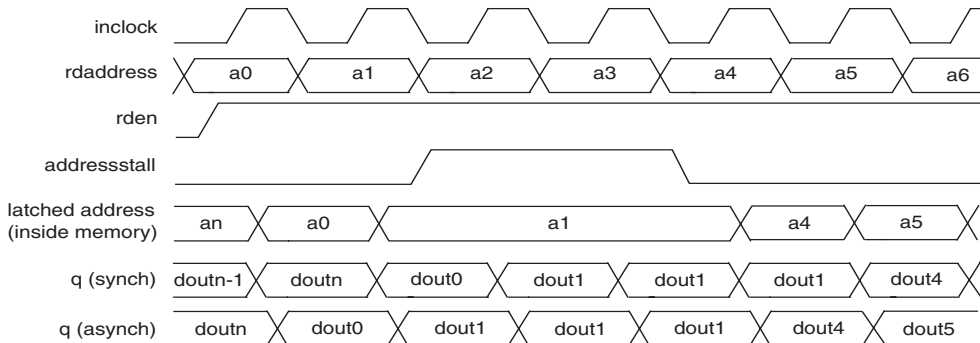
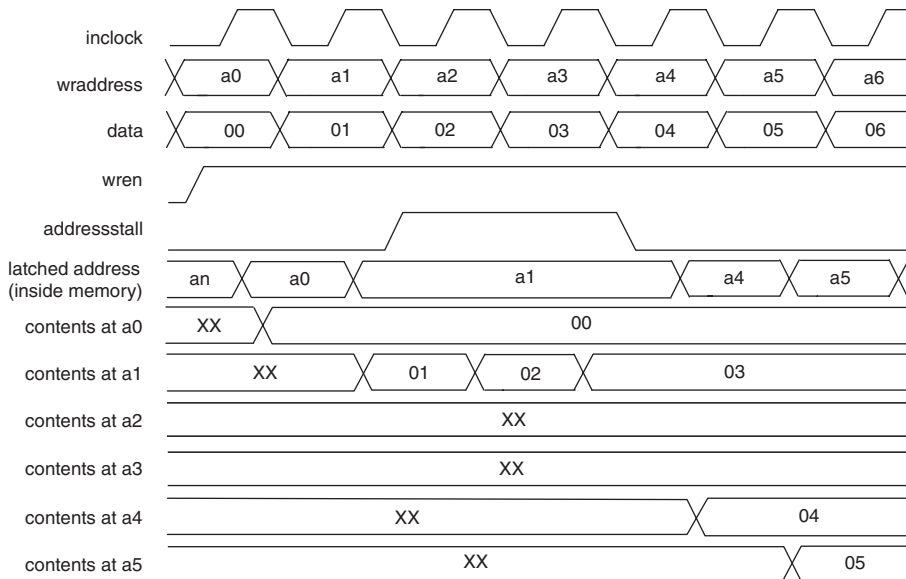



図 2-4. Stratix II および Stratix II GX でのライト・サイクル中のアドレス・クロック・イネーブル波形




メモリ・モード Stratix II および Stratix II GX の TriMatrix メモリ・ブロックには、ライト動作に同期する入力レジスタ、およびデータをパイプライン化してシステム性能を向上させるための出力レジスタが含まれています。すべての TriMatrix メモリ・ブロックは完全同期式です。すなわち、すべての入力はラッチされますが、出力はラッチすることもしないこともできます。

 TriMatrix メモリは非同期メモリ（入力がラッチされない）をサポートしていません。

どの TriMatrix メモリ・ブロックを使用するかによって、メモリには以下のような各種モードがあります。

- シングル・ポート
- シンプル・デュアル・ポート
- トゥルー・デュアル・ポート（双方向デュアル・ポート）
- シフト・レジスタ
- ROM
- FIFO

 メモリ・ブロック・アドレス・レジスタのセットアップ時間またはホールド時間に違反すると、メモリの内容が破壊されることがあります。これはリード動作とライト動作の両方に適用されます。

シングル・ポート・モード

すべての TriMatrix メモリ・ブロックでは、リードとライトの動作を同時に行う必要がないシングル・ポート・モードをサポートしています。[図 2-5](#) は、TriMatrix メモリのシングル・ポート・メモリ・コンフィギュレーションを示します。

図 2-5. シングル・ポート・メモリ 注 (1)

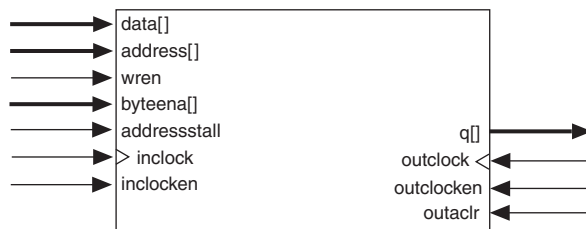


図 2-5 の注：

- (1) 1 つの M4K または M-RAM ブロックに 2 つのシングル・ポート・メモリ・ブロックを実装できます。

M4K および M-RAM メモリ・ブロックは半分にして、2つの独立したシングル・ポート RAM ブロックに使用することも可能です。アルテラの Quartus®II ソフトウェアは、メモリ・リソースが不足すると自動的にこのシングル・ポート・メモリ・パッキングを使用します。2つのシングル・ポート・メモリを1つの M4K または M-RAM ブロックに強制するには、最初に2つの独立した RAM ブロックのそれぞれが M4K または M-RAM ブロックのサイズの 1/2 以下になるようにします。次に、両方のシングル・ポート RAM を同じ M4K または M-RAM ブロックに割り当てます。

シングル・ポート RAM コンフィギュレーションでは、ライト中のリード・モードでのみ出力できます。ライト動作中は、RAM に書き込まれたデータは RAM 出力に流れます。出力レジスタがバイパスされると、書き込みと同じクロック・サイクルの立ち上がりエッジで新しいデータが利用可能になります。ライト中のリードについて詳しくは、「[同一アドレスでのライト中のリード動作](#)」を参照してください。表 2-8 に、シングル・ポート・モードでの TriMatrix ブロックのポート幅コンフィギュレーションを示します。

	M512 ブロック	M4K ブロック	M-RAM ブロック
ポート幅コンフィギュレーション	512 × 1	4K × 1	64K × 8
	256 × 2	2K × 2	64K × 9
	128 × 4	1K × 4	32K × 16
	64 × 8	512 × 8	32K × 18
	64 × 9	512 × 9	16K × 32
	32 × 16	256 × 16	16K × 36
	32 × 18	256 × 18	8K × 64
		128 × 32	8K × 72
	128 × 36	4K × 128	
			4K × 144

図 2-6 は、シングル・ポート・モードでのリードおよびライト動作のタイミング波形を示します。

図 2-6. Stratix II および Stratix II GX のシングル・ポート・タイミング波形

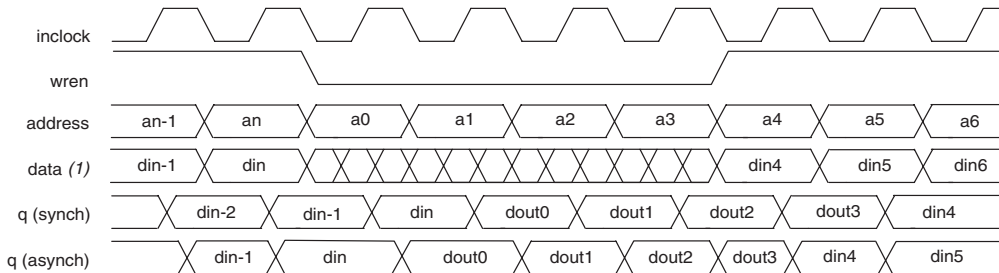


図 2-6 の注：

- (1) リード中の data 波形のクロス部分は、「ドント・ケア」を意味します。

シンプル・デュアル・ポート・モード

すべての TriMatrix メモリ・ブロックでは、リードとライトの動作を同時に行うシンプル・デュアル・ポート・モードをサポートしています。

図 2-7 は、TriMatrix メモリのシンプル・デュアル・ポート・メモリ・コンフィギュレーションを示します。

図 2-7. Stratix II および Stratix II GX のシンプル・デュアル・ポート・メモリ 注 (1)

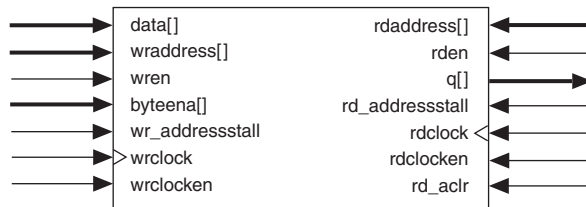


図 2-7 の注：

- (1) シンプル・デュアル・ポート RAM は、図に示すリード / ライト・クロック・モードの他に入力 / 出力クロック・モードをサポートしています。

TriMatrixメモリは異なる幅のコンフィギュレーションをサポートしており、異なるリード・ポート幅およびライト・ポート幅に対応できます。表 2-9 から 2-11 は、それぞれ M512、M4K、および M-RAM ブロックの異なる幅のコンフィギュレーションを示します。

リード・ポート	ライト・ポート						
	512 × 1	256 × 2	128 × 4	64 × 8	32 × 16	64 × 9	32 × 18
512 × 1	√	√	√	√	√		
256 × 2	√	√	√	√	√		
128 × 4	√	√	√	√	√		
64 × 8	√	√	√	√	√		
32 × 16	√	√	√	√	√		
64 × 9						√	√
32 × 18						√	√

リード・ポート	ライト・ポート								
	4K × 1	2K × 2	1K × 4	512 × 8	256 × 16	128 × 32	512 × 9	256 × 18	128 × 36
4K × 1	√	√	√	√	√	√			
2K × 2	√	√	√	√	√	√			
1K × 4	√	√	√	√	√	√			
512 × 8	√	√	√	√	√	√			
256 × 16	√	√	√	√	√	√			
128 × 32	√	√	√	√	√	√			
512 × 9							√	√	√
256 × 18							√	√	√
128 × 36							√	√	√

リード・ポート	ライト・ポート				
	64K × 9	32K × 18	18K × 36	8K × 72	4K × 144
64K × 9	√	√	√	√	
32K × 18	√	√	√	√	
18K × 36	√	√	√	√	
8K × 72	√	√	√	√	
4K × 144					√

シンプル・デュアル・ポート・モードでは、M512 および M4K ブロックには、1 つのライト・イネーブルと 1 つのリード・イネーブル信号があります。ただし、M-RAM ブロックにはライト・イネーブル信号が 1 つしかなく、これを High に保持するとライト動作が実行されます。M-RAM ブロックは常にリード動作に対してイネーブルされます。ライト動作中に、リード・アドレスとライト・アドレスが同じアドレス・ロケーションを選択した場合、M-RAM ブロック出力は未知になります。

TriMatrix メモリ・ブロックは、ライト・イネーブル・レジスタとリード・イネーブル・レジスタでクリア・ポートはサポートしていません。リード・イネーブルが非アクティブになると、出力ポートで現在のデータが保持されます。ライト動作中に、同じアドレス・ロケーションを選択した状態でリード・イネーブルがアクティブになった場合、シンプル・デュアル・ポート RAM 出力は未知になるか、またはメモリ・アドレスに格納された旧データを出力するように設定できます。詳しくは、「[同一アドレスでのライト中のリード動作](#)」セクションを参照してください。図 2-8 は、シンプル・デュアル・ポート・モードでのリードおよびライト動作のタイミング波形を示します。

図 2-8. Stratix II および Stratix II GX のシンプル・デュアル・ポート・タイミング波形

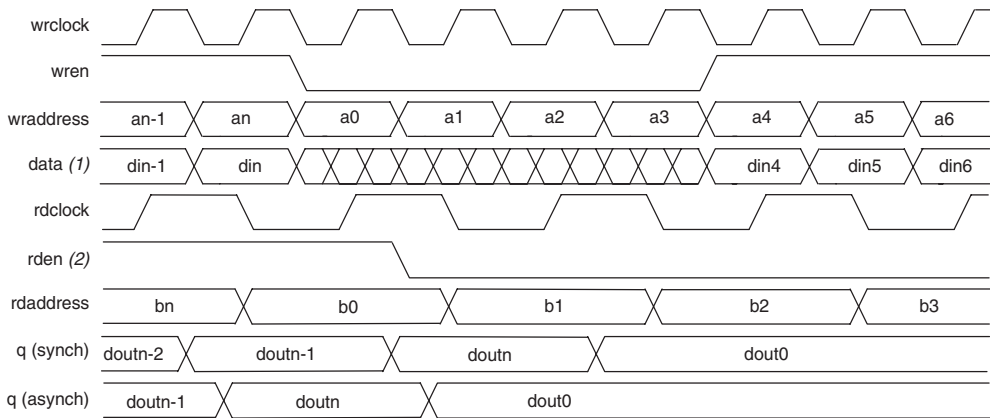


図 2-8 の注：

- (1) リード中の data 波形のクロス部分は、「ドント・ケア」を意味します。
- (2) M-RAM ブロックには、リード・イネーブル rden 信号はありません。シンプル・デュアル・ポート・モードの M-RAM ブロックは、常に現在のリード・アドレス・ロケーションに格納されたデータを読み出します。

トゥルー・デュアル・ポート・モード

Stratix II および Stratix II GX の M4K および M-RAM メモリ・ブロックは、トゥルー・デュアル・ポート・モードをサポートします。トゥルー・デュアル・ポート・モードは、2つのポート動作（2種類のクロック周波数での2つのリード、2つのライト、または1つのリードと1つのライト）のいずれの組み合わせもサポートします。図 2-9 に、Stratix II および Stratix II GX のトゥルー・デュアル・ポート・メモリ・コンフィギュレーションを示します。

図 2-9. Stratix II および Stratix II GX のトゥルー・デュアル・ポート・メモリ 注 (1)

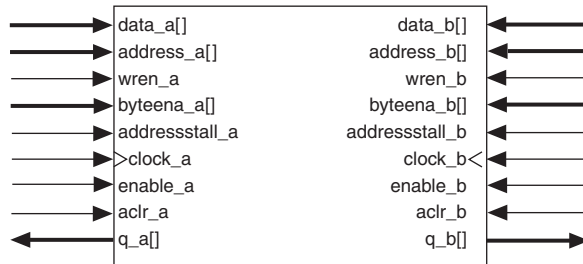


図 2-9 の注：

- (1) トゥルー・デュアル・ポート・メモリは、図に示す独立クロック・モードの他に入力 / 出力クロック・モードをサポートしています。

トゥルー・デュアル・ポート・モードでの M4K および M-RAM ブロックの最も幅の広いビット・コンフィギュレーションは、以下のとおりです。

- 256 × 16 ビット (×18 ビット、パリティ付き) (M4K)
- 8K × 64 ビット (×72 ビット、パリティ付き) (M-RAM)

M4K ブロックの 128 × 32 ビット (×36 ビット、パリティ付き) コンフィギュレーションおよび M-RAM ブロックの 4K × 128 ビット (×144 ビット、パリティ付き) コンフィギュレーションは、出力ドライバ数が対応するメモリ・ブロックの最大ビット幅に等しいので利用できません。トゥルー・デュアル・ポート RAM には 2 つのポートに出力があるので、トゥルー・デュアル・ポート RAM の最大幅は、合計出力ドライバ数の半分になります。表 2-12 に、可能な M4K ブロックの異なるポート幅のコンフィギュレーションをリストします。

表 2-12. Stratix II および Stratix II GX での M4K ブロックの異なるポート幅のコンフィギュレーション (トゥルー・デュアル・ポート)

リード・ポート	ライト・ポート						
	4K × 1	2K × 2	1K × 4	512 × 8	256 × 16	512 × 9	256 × 18
4K × 1	√	√	√	√	√		
2K × 2	√	√	√	√	√		
1K × 4	√	√	√	√	√		
512 × 8	√	√	√	√	√		
256 × 16	√	√	√	√	√		
512 × 9						√	√
256 × 18						√	√

表 2-13 に、可能な M-RAM ブロックの異なるポート幅のコンフィギュレーションをリストします。

表 2-13. Stratix II および Stratix II GX での M-RAM ブロックの異なるポート幅のコンフィギュレーション (トゥルー・デュアル・ポート)

リード・ポート	ライト・ポート			
	64K × 9	32K × 18	18K × 36	8K × 72
64K × 9	√	√	√	√
32K × 18	√	√	√	√
18K × 36	√	√	√	√
8K × 72	√	√	√	√

トゥルー・デュアル・ポート・コンフィギュレーションでは、RAM 出力はライト中のリード・モードにのみコンフィギュレーションできます。これは、ライト中に RAM の A または B ポートに書き込まれているデータは、それぞれ A または B 出力に流れます。出力レジスタがバイパスされると、書き込みと同じクロック・サイクルの立ち上がりエッジで新しいデータが利用可能になります。ライト中の混在ポート・リードについて詳しくは、「[同一アドレスでのライト中のリード動作](#)」を参照してください。

両方のポートで同じアドレス・ロケーションに書き込むとそのロケーションのデータが未知のデータになるため、潜在的な書き込み競合は RAM の外部で解決する必要があります。M-RAM ブロックの同じアドレスに有効なライト動作を実行する場合、ポート A に対するライト・クロックの立ち上がりエッジは、ポート B に対するライト・クロックの立ち上がりエッジ後に最大ライト・サイクル時間間隔に続いて発生しなければなりません。データは M-RAM ブロックに対するライト・クロックの立ち上がりエッジで書き込まれます。

データはライト・クロックの立ち下がりエッジで M512 および M4K ブロックに書き込まれるため、ポート A に対するライト・クロックの立ち上がりエッジは、ポート B に対するライト・クロックの立ち下がりエッジ後に最大ライト・サイクル時間間隔の 1/2 に続いて発生しなければなりません。このタイミングが満足されない場合、当該アドレスに記憶されているデータは無効になります。

最大同期ライト・サイクル時間については、*Stratix II Device Handbook, Volume 1* の *Stratix II Device Family Data Sheet* または *Stratix II GX Device Handbook, Volume 1* の *Stratix II GX Device Family Data Sheet* を参照してください。

図 2-10 は、ポート A におけるライト動作およびポート B におけるリード動作のトゥルー・デュアル・ポート・タイミング波形を示します。

図 2-10. Stratix II および Stratix II GX のトゥルー・デュアル・ポート・タイミング波形

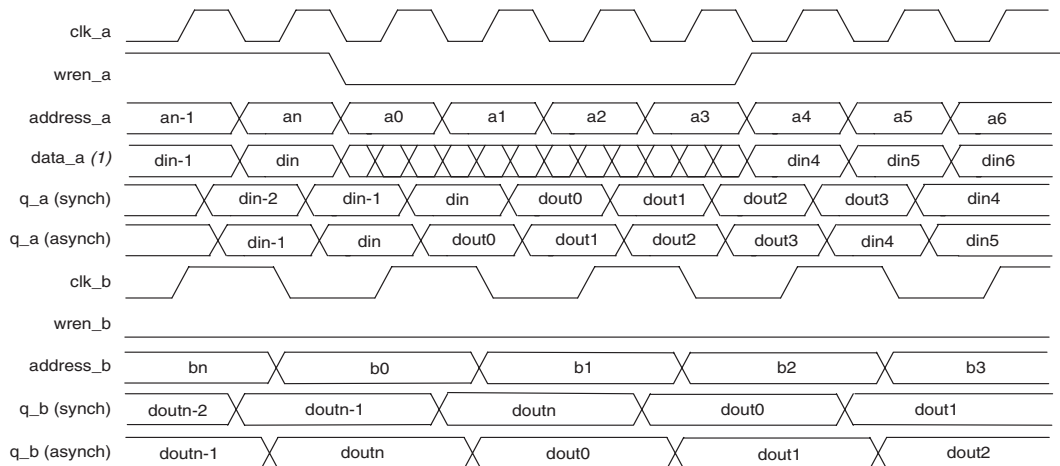


図 2-10 の注：

- (1) ライト中の data_a 波形のクロス部分は、「ドント・ケア」を意味します。

シフト・レジスタ・モード

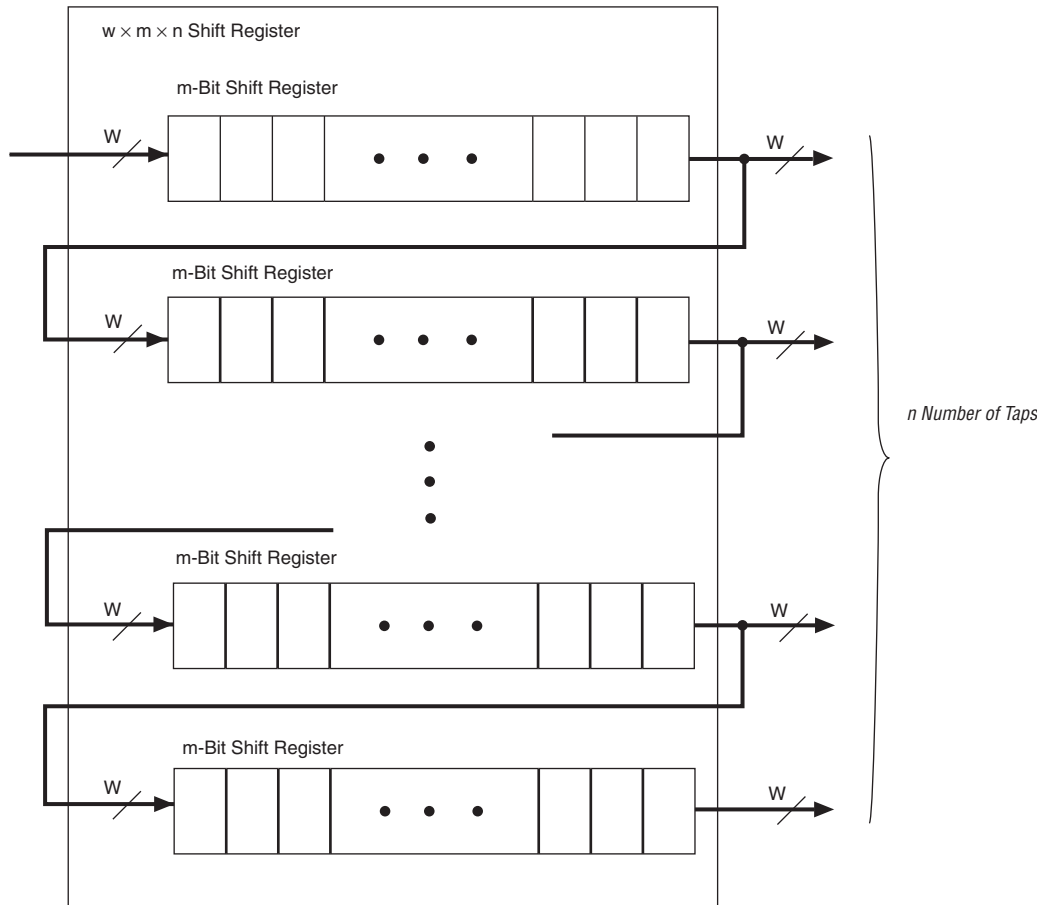
Stratix II メモリ・ブロックはすべてシフト・レジスタ・モードをサポートしています。

エンベデッド・メモリ・ブロック・コンフィギュレーションでは、有限インパルス応答 (FIR) フィルタ、疑似ランダム数発生器、マルチチャネル・フィルタリング、自己相関、相互相関ファンクションなどのデジタル信号処理 (DSP) アプリケーション向けシフト・レジスタを実装することができます。これらの DSP アプリケーションおよびその他の DSP アプリケーションには、ローカル・データ・ストレージが必要です。ローカル・データ・ストレージは従来、シフト・レジスタが大きくなると、すぐに多数のロジック・セルを消費する標準的なフリップ・フロップで実装されていました。より効率的な代替手段は、エンベデッド・メモリをシフト・レジスタ・ブロックとして使用することで、これによってロジック・セルと配線リソースが節約されます。

$(w \times m \times n)$ シフト・レジスタのサイズは、入力データ幅 (w)、タップの長さ (m)、およびタップ数 (n) によって決まり、対応するブロックの最大メモリ・ビット数 (すなわち、M512 ブロックは 576 ビット、M4K ブロックは 4,608 ビット、MRAM ブロックは 589,824 ビット) 以下でなければなりません。また、 $w \times n$ のサイズは対応するブロックの最大幅 (すなわち、M512 ブロックは 18 ビット、M4K ブロックは 36 ビット、MRAM ブロックは 144 ビット) 以下でなければなりません。より大きなシフト・レジスタが必要な場合は、メモリ・ブロックをカスケード接続できます。

M512 および M4K ブロックでは、データはクロックの立ち下がりエッジで各アドレス・ロケーションに書き込まれ、クロックの立ち上がりエッジでそのアドレスから読み出されます。シフト・レジスタのモード・ロジックは、正および負のエッジ・クロッキングを自動的にコントロールして、データを 1 クロック・サイクルでシフトします。MRAM ブロックは立ち上がりエッジで読み出しと書き込みを実行します。図 2-11 にシフト・レジスタ・モードの TriMatrix メモリ・ブロックを示します。

図 2-11. Stratix II および Stratix II GX のシフト・レジスタ・メモリ・コンフィギュレーション



ROM モード

M512 および M4K メモリ・ブロックは ROM モードをサポートします。メモリ初期設定ファイル (.mif) は、これらのブロックの ROM の内容を初期化します。ROM のアドレス・ラインはラッチされます。出力はラッチすることもしないこともできます。ROM リード動作は、シングル・ポート RAM コンフィギュレーションでのリード動作と同じです。

FIFO バッファ・モード

TriMatrix メモリ・ブロックは FIFO モードをサポートしています。M512 メモリ・ブロックは、多数の浅い FIFO バッファを使用するデザインに最適です。すべてのメモリ・コンフィギュレーションには同期入力がありますが、FIFO バッファ出力は常に組み合わせて使用されます。空の FIFO バッファからのリードとライトの同時動作はサポートされていません。

FIFO バッファについて詳しくは、「Single- & Dual-Clock FIFO Megafunctions User Guide」および「FIFO Partitioner Function User Guide」を参照してください。

クロック・モード

どの TriMatrix メモリ・モードを選択するかによって、以下のクロック・モードを使用できます。

- 独立
- 入力 / 出力
- リード / ライト
- シングル・クロック

表 2-14 に、対応するメモリ・モードとしてコンフィギュレーションされたときに、すべての TriMatrix ブロックでサポートされるこれらのクロック・モードを示します。

クロッキング・モード	ツール・デュアル・ポート・モード	シンプル・デュアル・ポート・モード	シングル・ポート・モード
独立	√		
入力 / 出力	√	√	√
リード / ライト		√	
シングル・クロック	√	√	√

独立クロック・モード

TriMatrix メモリ・ブロックは、トゥルー・デュアル・ポート・メモリ用の独立クロック・モードを実装できます。このモードでは、各ポート (A および B) で別々のクロックを使用できます。クロック A はポート A 側のすべてのレジスタをコントロールし、クロック B はポート B 側のすべてのレジスタをコントロールします。各ポートは、ポート A および B レジスタに対する独立したクロック・イネーブルもサポートしています。ただし、レジスタに対する非同期クリア信号はサポートされていません。

図 2-12 は、独立クロック・モードの TriMatrix メモリ・ブロックを示します。

図 2-12. 独立クロック・モードの Stratix II および Stratix II GX の TriMatrix メモリ・ブロック 注 (1)

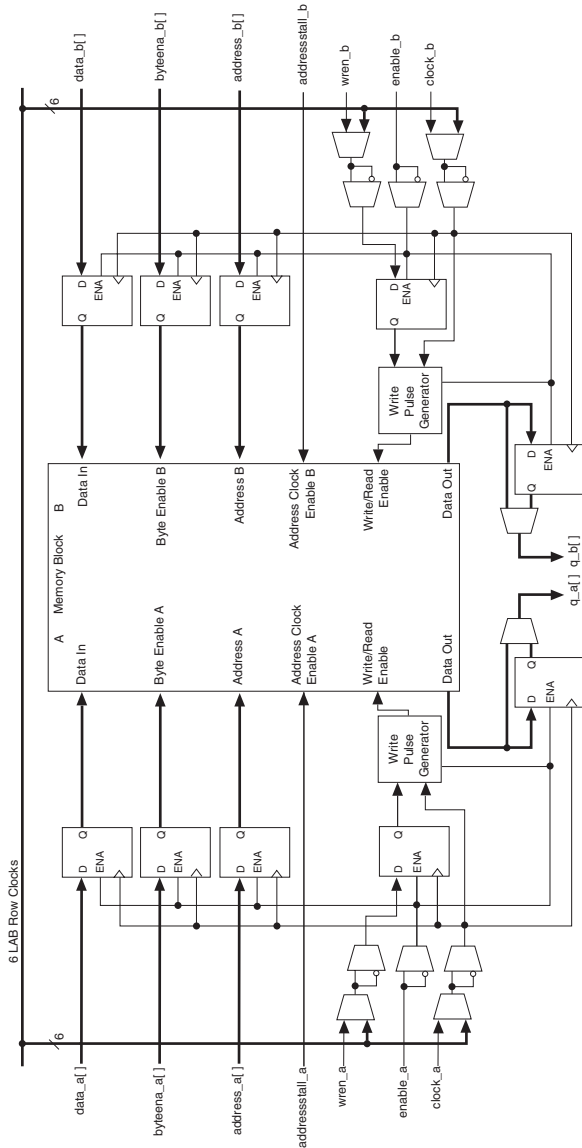


図 2-12 の注：

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ時間またはホールド時間に違反すると、メモリの内容が破壊されることがあります。これはリード動作とライト動作の両方に適用されます。

入力/出力クロック・モード

Stratix II および Stratix II GX の TriMatrix メモリ・ブロックは、トゥルーおよびシンプル・デュアル・ポート・メモリ用の入力 / 出力クロック・モードを実装できます。A および B の 2 つの各ポートで、1 つのクロックがメモリ・ブロックへの入力（データ入力、ライト・イネーブル、およびアドレス）用のすべてのレジスタをコントロールします。その他のクロックは、ブロックのデータ出力レジスタをコントロールします。各メモリ・ブロック・ポートは、入力および出力レジスタに対する独立したクロック・イネーブルもサポートしています。ただし、レジスタに対する非同期クリア信号はサポートされていません。

図 2-13 から 2-15 に、それぞれトゥルー・デュアル・ポート、シンプル・デュアル・ポート、およびシングル・ポート・モードでの入力 / 出力クロック・モードのメモリ・ブロックを示します。

図 2-13. Stratix II および Stratix II GX のツール・デュアル・ポート・モードでの入力/出力クロック・モード **注 (1)**

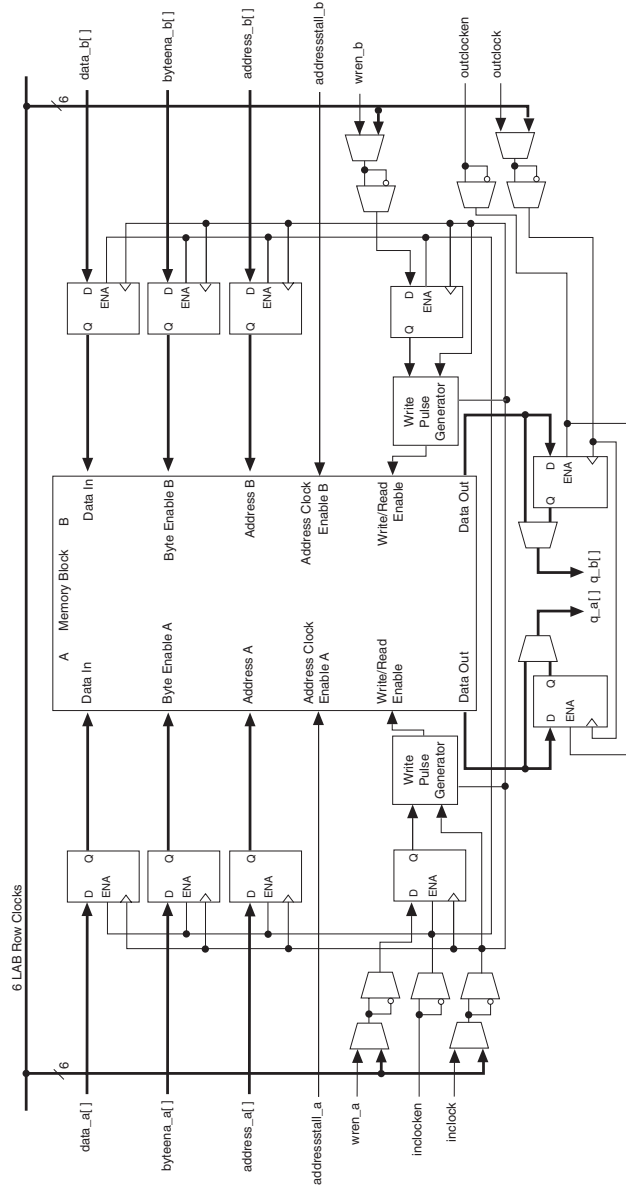


図 2-13 の注：

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ時間またはホールド時間に違反すると、メモリの内容が破壊されることがあります。これはリード動作とライト動作の両方に適用されます。

図 2-14. Stratix II および Stratix II GX のシンプル・デュアル・ポート・モードでの入力/出力クロック・モード **注 (1)**

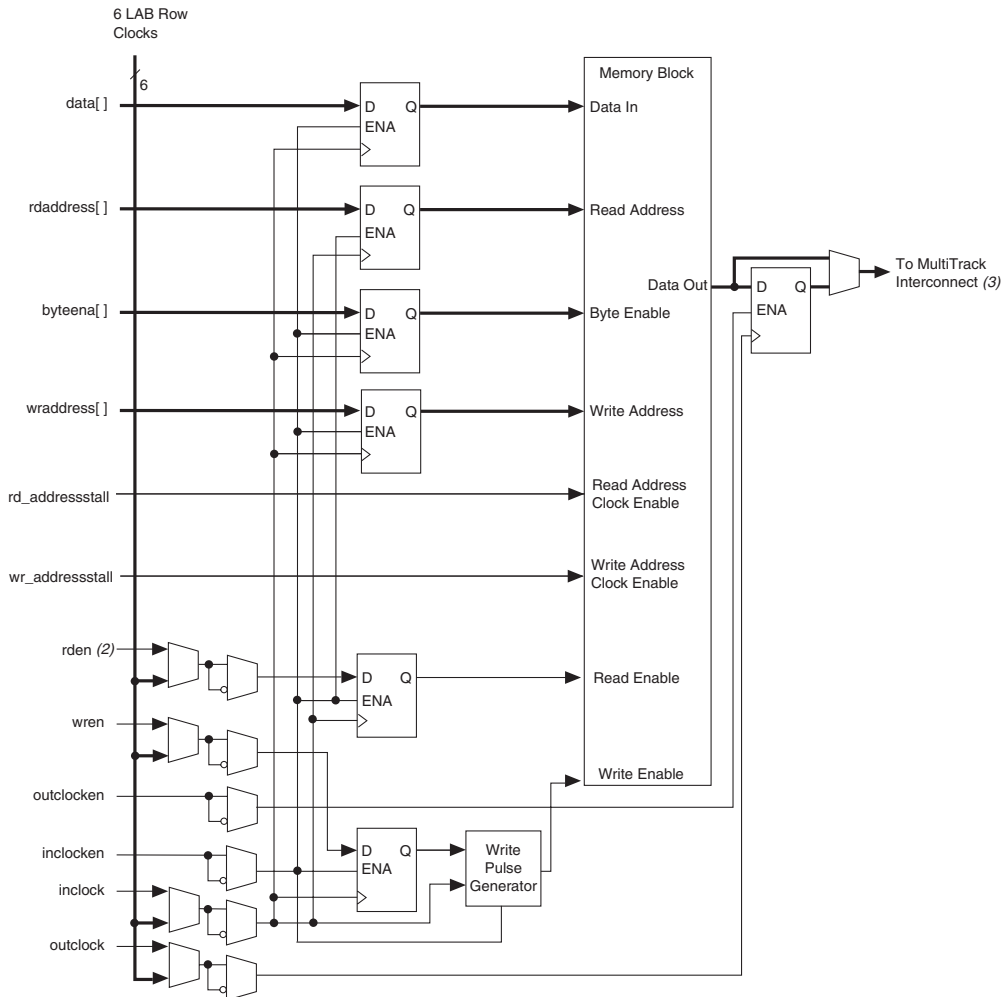


図 2-14 の注：

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ時間またはホールド時間に違反すると、メモリの内容が破壊されることがあります。これはリード動作とライト動作の両方に適用されます。
- (2) M-RAM ブロックには、リード・イネーブル rden 信号はありません。シンプル・デュアル・ポート・モードの M-RAM ブロックは、常に現在のリード・アドレス・ロケーションに格納されたデータを読み出します。
- (3) MultiTrack™ インタコネクタについて詳しくは、「Stratix II デバイス・ハンドブック Volume 1」の「Stratix II デバイス・ファミリー・データシート」または「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX デバイス・ファミリー・データシート」を参照してください。

図 2-15. Stratix II および Stratix II GX のシングル・ポート・モードでの入力 / 出力クロック・モード 注 (1)

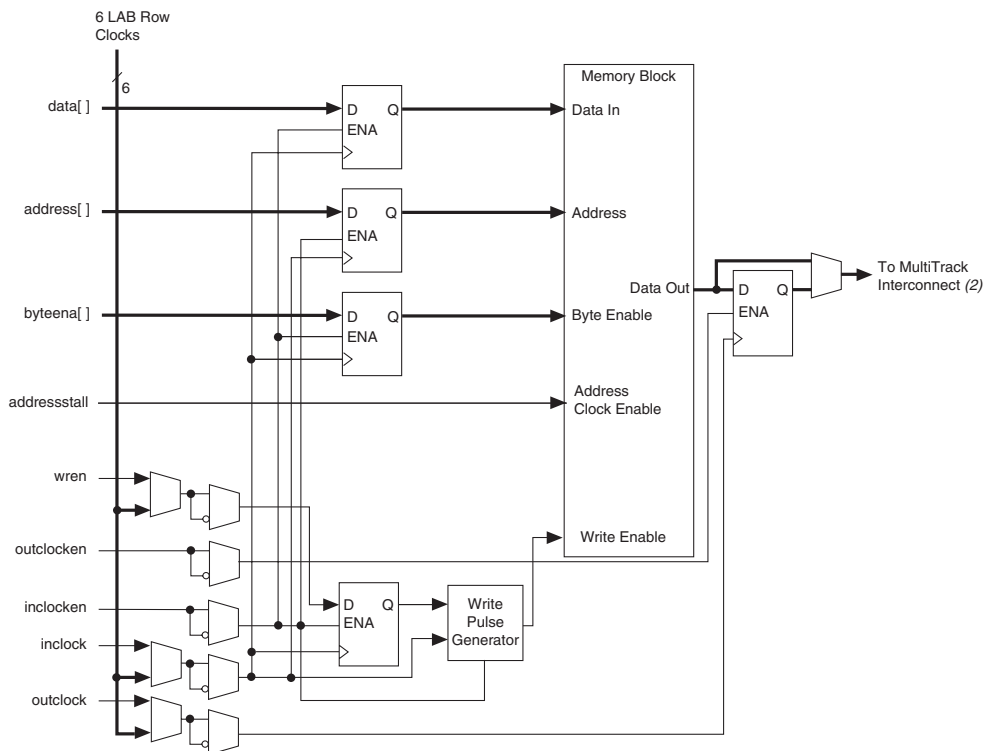


図 2-15 の注：

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ時間またはホールド時間に違反すると、メモリの内容が破壊されることがあります。これはリード動作とライト動作の両方に適用されます。
- (2) MultiTrack インタコネクタについて詳しくは、「Stratix II デバイス・ハンドブック Volume 1」の「Stratix II デバイス・ファミリー・データシート」または「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX デバイス・ファミリー・データシート」を参照してください。

リード/ライト・クロック・モード

Stratix II および Stratix II GX の TriMatrix メモリ・ブロックは、シングル・デュアル・ポート・メモリ用のリード/ライト・クロック・モードを実装できます。このモードでは最大2つのクロックを使用します。ライト・クロックは、ブロックのデータ入力、ライト・アドレス、およびライト・イネーブル信号をコントロールします。リード・クロックは、データ出力、リード・アドレス、およびリード・イネーブル信号をコントロールします。メモリ・ブロックは、リードおよびライト・サイド・レジスタの各クロックに対する独立したクロック・イネーブルをサポートします。ただし、レジスタに対する非同期クリア信号はサポートされていません。図 2-16 は、リード/ライト・クロック・モードのメモリ・ブロックを示します。

図 2-16. Stratix II および Stratix II GX のリード/ライト・クロック・モード 注 (1)

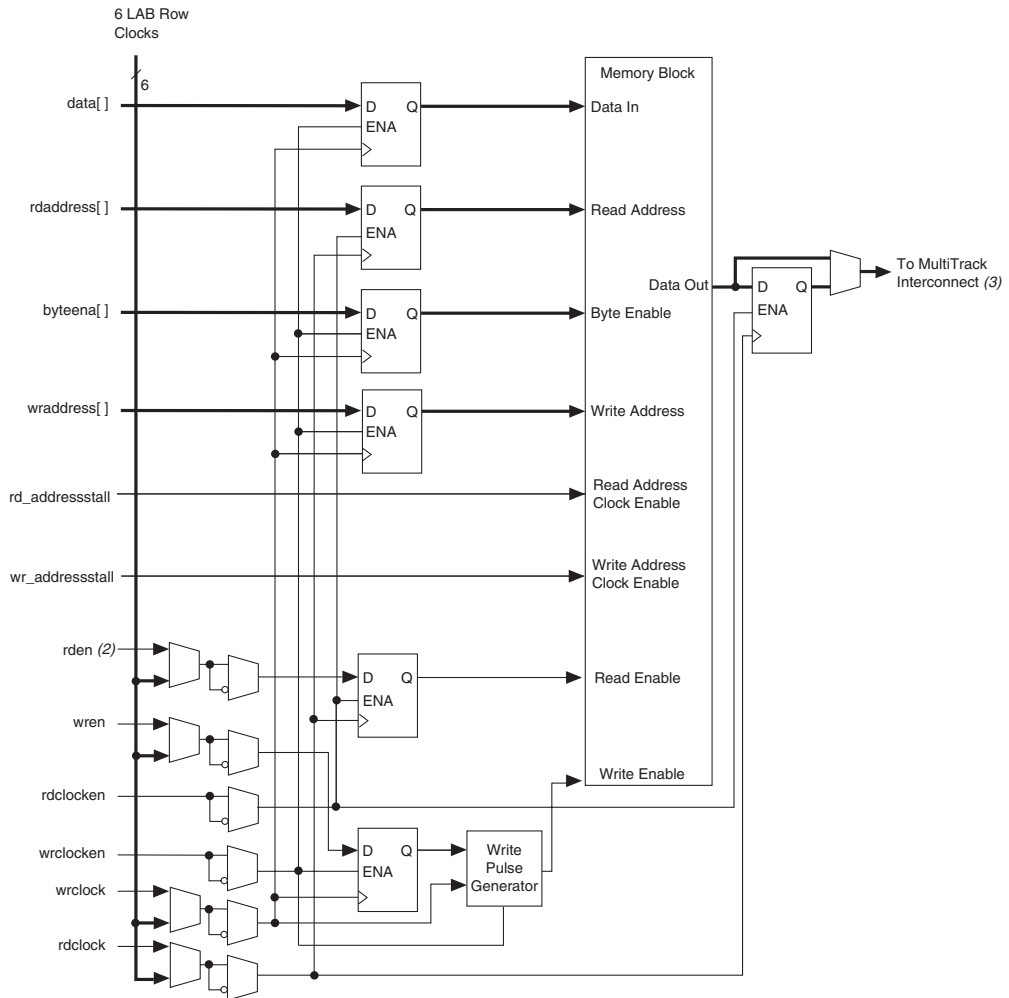


図 2-16 の注：

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ時間またはホールド時間に違反すると、メモリの内容が破壊されることがあります。これはリード動作とライト動作の両方に適用されます。
- (2) M-RAM ブロックには、リード・イネーブル `rden` 信号はありません。シンプル・デュアル・ポート・モードの M-RAM ブロックは、常に現在のリード・アドレス・ロケーションに格納されたデータを読み出します。
- (3) MultiTrack インタコネクタについて詳しくは、「Stratix II デバイス・ハンドブック Volume 1」の「Stratix II デバイス・ファミリー・データシート」または「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX デバイス・ファミリー・データシート」を参照してください。

シングル・クロック・モード

Stratix II および Stratix II GX TriMatrix メモリ・ブロックは、トゥルーおよびシングル・デュアル・ポート・メモリ用のシングル・クロック・モードを実装します。このモードでは、シングル・クロックがクロック・イネーブルと共に、メモリ・ブロックのすべてのレジスタをコントロールするのに使用されます。ただし、レジスタに対する非同期クリア信号はサポートされていません。図 2-17 から 2-19 に、それぞれトゥルー・デュアル・ポート、シングル・デュアル・ポート、およびシングル・ポート・モード用のシングル・クロック・モードのメモリ・ブロックを示します。

図 2-17. Stratix II および Stratix II GX の トゥール・デュアル・ポート・モードでのシングル・クロック・モード 注 (1)

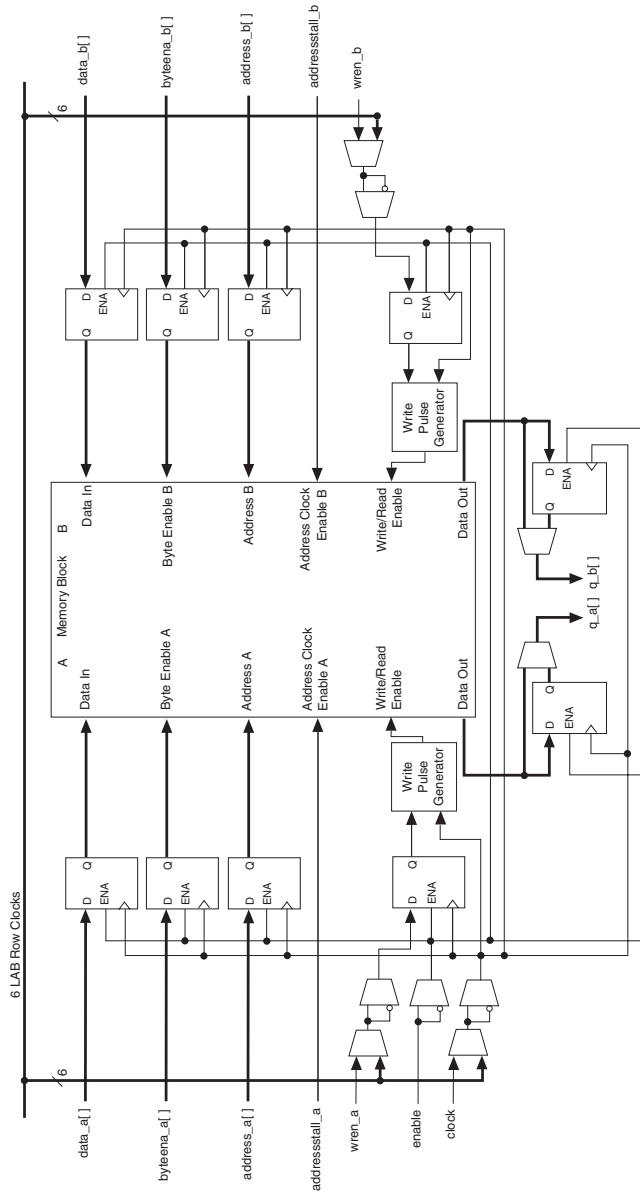


図 2-17 の注：

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ時間またはホールド時間に違反すると、メモリの内容が破壊されることがあります。これはリード動作とライト動作の両方に適用されます。

図 2-18. Stratix II および Stratix II GX のシンプル・デュアル・ポート・モードでのシングル・クロック・モード 注 (1)

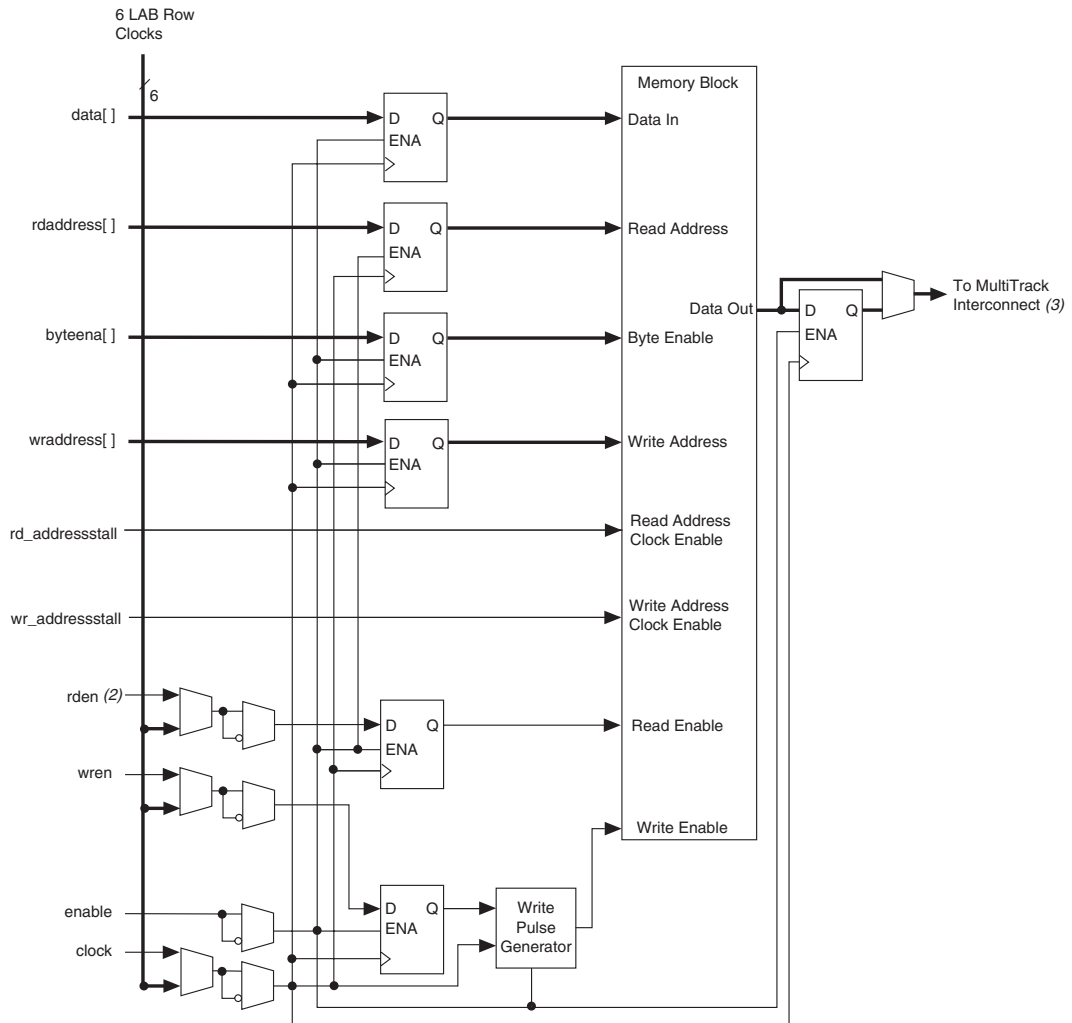


図 2-18 の注：

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ時間またはホールド時間に違反すると、メモリの内容が破壊されることがあります。これはリード動作とライト動作の両方に適用されます。
- (2) M-RAM ブロックには、リード・イネーブル `rden` 信号はありません。シンプル・デュアル・ポート・モードの M-RAM ブロックは、常に現在のリード・アドレス・ロケーションに格納されたデータを読み出します。
- (3) MultiTrack インタコネクタについて詳しくは、「Stratix II デバイス・ハンドブック Volume 1」の「Stratix II デバイス・ファミリ・データシート」または「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX デバイス・ファミリ・データシート」を参照してください。

図 2-19. Stratix II および Stratix II GX のシングル・ポート・モードでのシングル・クロック・モード 注 (1)

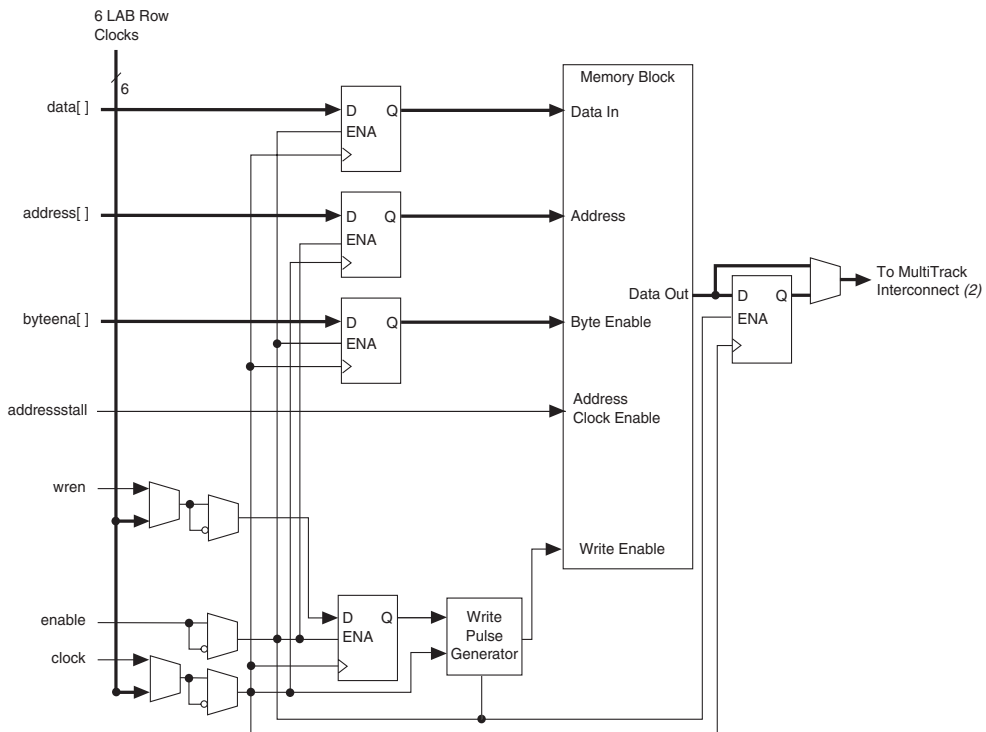


図 2-19 の注：

- (1) メモリ・ブロック・アドレス・レジスタのセットアップ時間またはホールド時間に違反すると、メモリの内容が破壊されることがあります。これはリード動作とライト動作の両方に適用されます。
- (2) MultiTrack インタコネクタについて詳しくは、「Stratix II デバイス・ハンドブック Volume 1」の「Stratix II デバイス・ファミリ・データシート」または「Stratix II GX デバイス・ハンドブック Volume 1」の「Stratix II GX デバイス・ファミリ・データシート」を参照してください。

TriMatrix メモリでのデザイン

TriMatrix メモリをインスタンス化するときには、他のメモリ・アーキテクチャとは別に設定する機能を理解することが重要です。以下のセクションでは、TriMatrix メモリ固有の属性と機能を説明します。

TriMatrix メモリ・ブロックの選択

Quartus II ソフトウェアは、最も効率的なサイズの組み合わせを使用して、ユーザ定義メモリを自動的にエンベデッド・メモリ・ブロックに分割します。メモリには手動で特定のブロック・サイズ、または複数のブロック・サイズを割り当てることもできます。2-2 ページの表 2-1 は、サポートされている機能に基づいて TriMatrix メモリ・ブロックのサイズを選択するための手引きです。

適切なメモリ・ブロックの選択について詳しくは、「Application Note 207: TriMatrix Memory Selection Using the Quartus II Software」を参照してください。

同期および擬似非同期モード

TriMatrix メモリ・アーキテクチャでは、入力信号と出力信号を RAM ブロックにラッチすることによって同期型 RAM を実装します。TriMatrix メモリ・ブロックへの入力はすべてラッチされ、同期ライト・サイクルが提供され、出力レジスタはバイパスできます。同期動作では、RAM はグローバル・クロックまたはリージョナル・クロックから独自のセルフ・タイミング・ストロブ・ライト・イネーブル信号を生成します。これに対して、非同期型 RAM を使用する回路では RAM ライト・イネーブル信号を生成し、データおよびアドレス信号はこのライト・イネーブル信号に対して規定されるセットアップ時間とホールド時間の仕様に準拠する必要があります。同期動作中は、RAM はパイプライン・モード（入力と出力がラッチされる）またはフロースルー・モード（入力のみがラッチされる）で使用されます。ただし、非同期メモリでは入力も出力もラッチされません。

Stratix II および Stratix II GX デバイスは、非同期メモリをサポートしておらず、リード・アドレスがドライブされるクロック・サイクル中に出力データが利用可能になる擬似非同期リードをサポートしています。擬似非同期リード動作は、M512 および M4K ブロックのシンプルおよびトゥルー・デュアル・ポート・モードにおいて、リード・イネーブルおよびリード・アドレス・レジスタを負クロック・エッジでクロックし、出力レジスタをバイパスすることにより可能です。

詳しくは、「AN 210: Converting Memory from Asynchronous to Synchronous for Stratix & Stratix GX Designs」を参照してください。

パワー・アップ条件とメモリの初期化

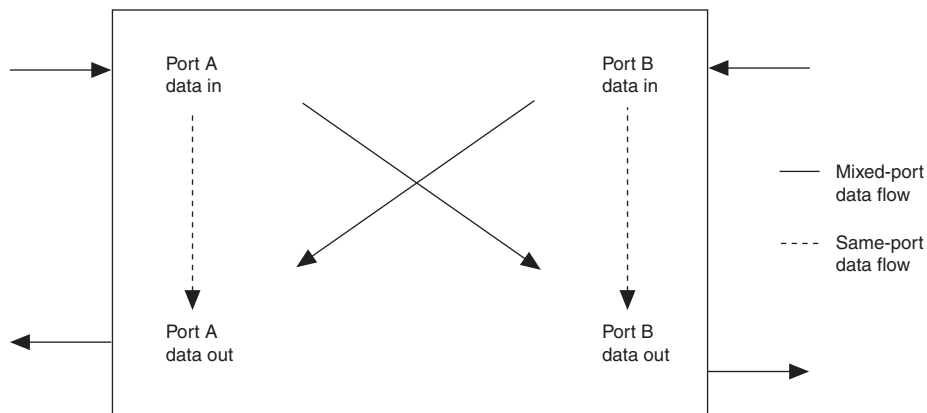
パワーアップ時、TriMatrix メモリはアイドル状態です。M512 および M4K ブロック出力は、出力レジスタが使用されていてもバイパスされていても関係なく、パワーアップ時には常にゼロになります。RAM ブロックの内容をプリロードするのに MIF を使用している場合でも、出力はパワーアップ時にはクリアされます。たとえば、アドレス 0 が事前に FF に初期設定されていても、M512 および M4K ブロックはパワーアップ時には 00 になります。

M-RAM ブロックは MIF をサポートしていないので、パワーアップ時にデータをプリロードすることはできません。M-RAM ブロックの非同期出力とメモリ・コントロールは、パワーアップ時には常に未知の状態になっています。M-RAM ブロックの出力がラッチされる場合、レジスタはパワーアップ時にはクリアされます。パワーアップ直後にリードが実行された場合、M-RAM の内容は初期設定されないで、リード動作からの出力は不定になります。あるアドレスにライト動作が実行されるまで、そのアドレスに対するリード動作は不定のままです。

同一アドレスでのライト中のリード動作

「ライト中の同一ポート・リード・モード」および「ライト中の混在ポート・リード・モード」セクションでは、あるアドレスでのライト動作中に同じアドレスから読み出したときのさまざまな RAM コンフィギュレーションの機能について説明します。ライト中のリード・データ・フローには、同一ポートと混在ポートの 2 つがあります。図 2-20 は、これらのフローの違いを示しています。

図 2-20. Stratix II および Stratix II GX でのライト中のリード・データ・フロー



ライト中の同一ポート・リード・モード

シングル・ポート RAM または トゥルー・デュアル・ポート RAM の同一ポートでのライト中のリード動作の場合、書き込みと同じクロック・サイクルの立ち上がりエッジで新しいデータが利用可能になります。この動作はすべてのメモリ・ブロック・サイズで有効です。図 2-21 に動作時の波形例を示します。トゥルー・デュアル・ポート RAM モードでバイト・イネーブルを使用するときには、同一ポートのマスクされたバイトの出力は未知です (2-8 ページの図 2-1) を参照。図 2-21 に示すとおり、マスクされないバイトが読み出されます。

図 2-21. Stratix II および Stratix II GX でのライト中の同一ポート・リード機能 注 (1)

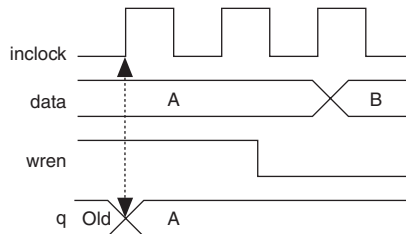


図 2-21 の注：

(1) 出力はラッチされません。

ライト中の混在ポート・リード・モード

このモードは、RAM が 1 つのポートで読み出し、他のポートで同一クロックで同じアドレス・ロケーションに書き込むシングルまたはトゥルー・デュアル・ポート・モードのときに使用されます。

M512 および M4K メモリ・ブロックの `READ_DURING_WRITE_MODE_MIXED_PORTS` パラメータは、アドレスの古いデータまたは「ドント・ケア」値のいずれを出力するかを決定します。このパラメータを `OLD_DATA` に設定すると、そのアドレスの古いデータが出力されます。このパラメータを `DONT_CARE` に設定すると、「ドント・ケア」または未知の値が出力されます。図 2-22 および 2-23 は、両方のポートが同じアドレスを持つ動作波形例を示します。これらの図では出力はラッチされないものと仮定しています。

`DONT_CARE` 設定では、任意の TriMatrix メモリ・ブロックにメモリを実装できますが、`OLD_DATA` 設定では、メモリの実装を M512 または M4K メモリ・ブロックに限定します。`DONT_CARE` を選択すると、コンパイラが TriMatrix メモリにメモリ機能を配置する際の柔軟性が向上します。

図 2-23 に示すとおり、M-RAM ブロックの同一アドレス・ロケーションに対するライト中の混在ポート・リード動作では、RAM 出力は未知になります。

図 2-22. Stratix II および Stratix II GX でのライト中の混在ポート・リード : OLD_DATA

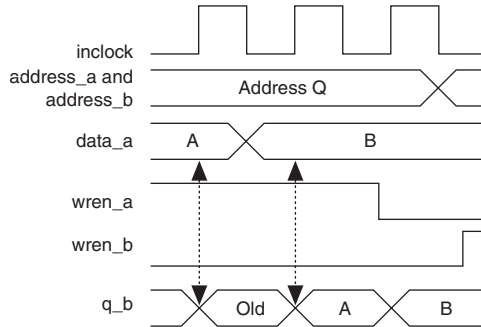
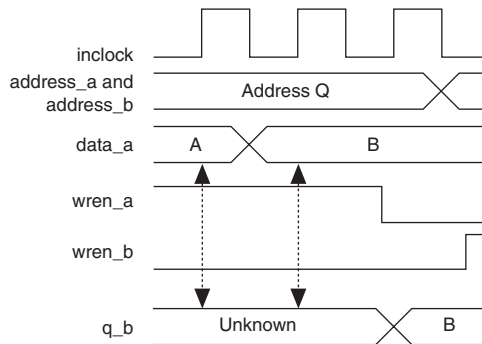


図 2-23. Stratix II および Stratix II GX でのライト中の混在ポート・リード : DONT_CARE



デュアル・ポート RAM で、2 種類のクロックが使用されているときには、ライト中の混在ポート・リードはサポートされません。ライト中の混在ポート・リード時には出力値は未知になります。

まとめ

Stratix II および Stratix II GX デバイスの TriMatrix メモリ構造は、高いメモリ帯域幅を持つエンハンスド RAM アーキテクチャです。異なるメモリ・ブロック・サイズおよびモード、バイト・イネーブル、パリティ・ビット記憶、アドレス・クロック・イネーブル、混合クロック・モード、シフト・レジスタ・モード、混在ポート幅サポート、トゥルー・デュアル・ポート・モードなどの機能を備えた FPGA デザインでの、さまざまなメモリ・アプリケーションのニーズに対応します。

