

エンベデッド・メモリ・ブロックは、強化された 640 ビットのメモリ・ロジック・アレイ・ブロック (MLAB) および 20K ビット M20K ブロックで提供されています。本章では、Stratix® V デバイスのエンベデッド・メモリ・ブロックについて説明します。エンベデッド・メモリ・ブロックには、異なるサイズのエンベデッド SRAM があり、Stratix V デバイス・デザインの要件に効率的に対応します。MLAB は、デジタル信号処理 (DSP) アプリケーションのためのシフト・レジスタ、広くて浅い FIFO バッファ、およびフィルタの遅延線の実装に最適化されています。M20K ブロックでは、大規模なメモリ・コンフィギュレーションをサポートし、誤り訂正コード (ECC) を含むことができます。

この章は、以下の項で構成されています。

- 2-1 ページの「概要」
- 2-9 ページの「メモリ・モード」
- 2-17 ページの「クロック・モード」
- 2-18 ページの「デザインの検討事項」

### 概要

表 2-1 に、エンベデッド・メモリ・ブロックがサポートされる機能をリストします。

表 2-1. stratix V デバイスのメモリの機能の要約 (その 1)

特長	MLAB	M20K ブロック
最大性能	600 MHz	600 MHz
トータル RAM ビット数 (パリティ・ビットを含む)	640	20480
構成 (深さ × 幅)		16K × 1
		8K × 2
	64 × 8	4K × 4
	64 × 9	4K × 5
	64 × 10	2K × 8
	32 × 16	2K × 10
	32 × 18	1K × 16
	32 × 20	1K × 20
		512 × 32
		512 × 40
パリティ・ビット	✓	✓
バイト・イネーブル	✓	✓
バック・モード	—	✓

表 2-1. stratix V デバイスのメモリの機能の要約（その 2）

特長	MLAB	M20K ブロック
アドレス・クロック・イネーブル	✓	✓
シングル・ポート・メモリ	✓	✓
シングル・デュアル・ポート・メモリ	✓	✓
トゥルー・デュアル・ポート・メモリ	—	✓
エンベデッド・シフト・レジスタ	✓	✓
ROM	✓	✓
FIFO バッファ	✓	✓
シングル・デュアル・ポートの異なるデータ幅のサポート	—	✓
トゥルー・デュアル・ポートの異なるデータ幅のサポート	—	✓
メモリ初期化ファイル (.mif)	✓	✓
混合クロック・モード	✓	✓
パワーアップ条件	ラッチされる場合は出力がクリアされ、ラッチされない場合はメモリ内容が読み出されます。	出力クリア
レジスタ・クリア	出力レジスタ	出力レジスタ
ライト/リード動作のトリガ	ライトおよびリード：立ち上がりクロック・エッジ	ライトおよびリード：立ち上がりクロック・エッジ
同一ポートに対する Read-During-Write	出力は「Old Data」または「New Data」に設定	出力は「Old Data」または「New Data」に設定
混在ポートに対する Read-During-Write	出力は「Old Data」または「Don't Care」に設定	出力は「Old Data」または「Don't Care」に設定
ECC サポート	Quartus II ソフトウェアによるソフト IP のサポート	Quartus II ソフトウェアによって 32 ビット幅のシングル・デュアル・ポート・モードまたはソフト IP サポートのビルトイン・サポート

表 2-2 に、Stratix V の各デバイスに容量と分配を示します。

表 2-2. Stratix V デバイスのメモリの容量と分配

デバイス	MLAB	M20K ブロック	トータル専用 RAM ビット数 (M20K ブロックのみ) (Kb)	トータル RAM ビット数 (LAB は含む) (Kb)
5SGXA3	7552	1034	20680	25400
5SGXA4	11312	1316	26320	33390
5SGXA5	16040	2304	46080	56105
5SGXA7	23464	2560	51200	65865
5SGXB5	15262	1836	36720	46259
5SGXB6	20158	1989	39780	52379
5SGSB7	21256	1620	32400	45685
5SGSB8	26656	1755	35100	51760

## エンベデッド・メモリ・ブロックのタイプ

M20K メモリ・ブロックは専用リソースです。MLAB は兼用ブロックです。これらは、標準ロジック・アレイ・ブロック (LAB) またはメモリ・ロジック・アレイ・ブロック (MLAB) としてコンフィギュレーションできます。1 個の MLAB は 10 個のアダプティブ・ロジック・モジュール (ALM) から構成されます。1 個の MLAB 内の各 ALM を、64x1 または 32x2 ブロックとしてコンフィギュレーションして、1 個の MLAB 内で 64x10 または 32x20 のシングル・デュアル・ポート SRAM ブロックを得ることができます。

## パリティ・ビットのサポート

MLAB では、各バイトに関連する 9 番目のビットは、パリティ・ビットを格納したり、追加データ・ビットとして機能させることができます。9 番目のビットでパリティ機能が実際に実行されるわけではありません。

M20K は、データの幅が 5、10、20 または 40 ビットの場合は、4 データ・ビットあたり 1 つのパリティ・ビットをサポートしています。入力および出力のパリティ・ビットが 4、9、14、19、24、29、34、39 ビットです。非パリティ幅で書き込むときまたは読み取るとき、これらのビットはスキップされます。4、9、14、19、24、29、34、39 ビットでは、パリティ機能が実行されません。

## バイト・イネーブルのサポート

すべてのエンベデッド・メモリ・ブロックは、データの特定のバイトだけが書き込まれるように、入力データをマスクするバイト・イネーブルをサポートしています。書き込まれなかったバイトは、前に書き込まれた値を保持します。ライト・イネーブル (wren) 信号は、バイト・イネーブル (byteena) 信号と共に RAM ブロックのライト動作を制御します。

バイト・イネーブル信号のデフォルト値は High (イネーブル) であり、この場合、ライト動作はライト・イネーブル信号でのみコントロールされます。バイト・イネーブル・レジスタへのクリア・ポートはありません。M20K ブロックでパリティ・ビットを使用する場合、バイト・イネーブルが 10 つのビット (データの 8 つのビット +2 つのパリティ・ビット) をすべて制御します。MLAB でパリティ・ビットを使用する場合、バイト・イネーブルは最も広いモードで 10 ビットをすべて制御します。

表 2-3 には、x40 データ幅の byteena コントロールをリストします。

表 2-3. x40 データ幅の byteena コントロール

byteena[3..0]	書き込まれるデータ・ビット			
1111(デフォルト)	[39:30]	[29:20]	[19:10]	[9:0]
1000	[39:30]	—	—	—
0100	—	[29:20]	—	—
0010	—	—	[19:10]	—
0001	—	—	—	[9:0]

表 2-4 には、x20 データ幅の byteena コントロールをリストします。

表 2-4. x20 データ幅の byteena コントロール

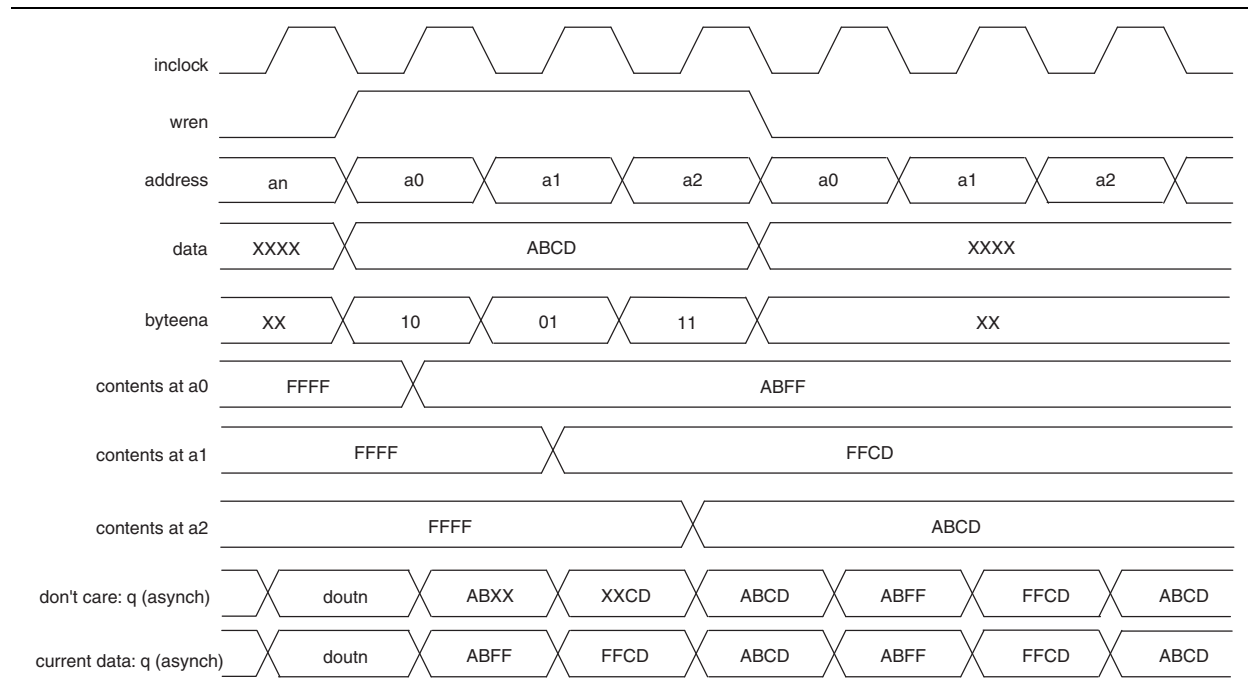
byteena[1..0]	書き込まれるデータ・ビット	
11(デフォルト)	[19:10]	[9:0]
10	[19:10]	—
01	—	[9:0]



M20K ブロックで誤り訂正コード (ECC) 機能を使用する場合、バイト・イネーブル機能は使用できません。

図 2-1 に、ライト・イネーブル (wren) 信号とバイト・イネーブル (byteena) 信号が RAM ブロックの動作を制御する方法を示します。ライト・サイクルの間にバイト・イネーブル・ビットがディassertされた場合、対応するデータ・バイト出力が「Don't Care」値または現在のデータとしてその位置に現れます。マスクされたバイトの出力値は、Quartus II ソフトウェアを介して制御可能です。ライト・サイクルの間にバイト・イネーブル・ビットがアassertされた場合、対応するデータ・バイト出力も Quartus II ソフトウェアで選択された設定に依存します。

図 2-1. Stratix V バイト・イネーブル機能の波形



## パック・モードのサポート

Stratix V M20K および M144K ブロックは、パック・モードをサポートしています。パック・モード機能は、2 つの独立したシングル・ポート RAM を 1 つのメモリ・ブロックに集積します。Quartus II ソフトウェアは、必要に応じて物理的の RAM ブロックをトゥルー・デュアル・ポート・モードに配置し、アドレスの最上位ビット (MSB) を使用して 2 つの論理 RAM を区別することによって、自動的にパック・モードを実装します。独立した各シングル・ポート RAM のサイズは、ターゲット・ブロック・サイズの半分以下でなければなりません。

## アドレス・クロック・イネーブル・サポート

Stratix V エンベデッド・メモリ・ブロックは、アドレス・クロック・イネーブルをサポートし、アドレス・クロック・イネーブルは信号がイネーブルされている間 (**addressstall = 1**) 前のアドレス値を保持します。メモリ・ブロックがデュアル・ポート・モードでコンフィギュレーションされると、各ポートは専用の独立したアドレス・クロック・イネーブルを持ちます。アドレス・クロック・イネーブル信号のデフォルト値は **Low** (ディセーブル) です。

図 2-2 に、アドレス・クロック・イネーブルのブロック図を示します。アドレス・クロック・イネーブルは、ポート名 `addressstall` で参照されます。

図 2-2. Stratix V アドレス・クロック・イネーブルのブロック図

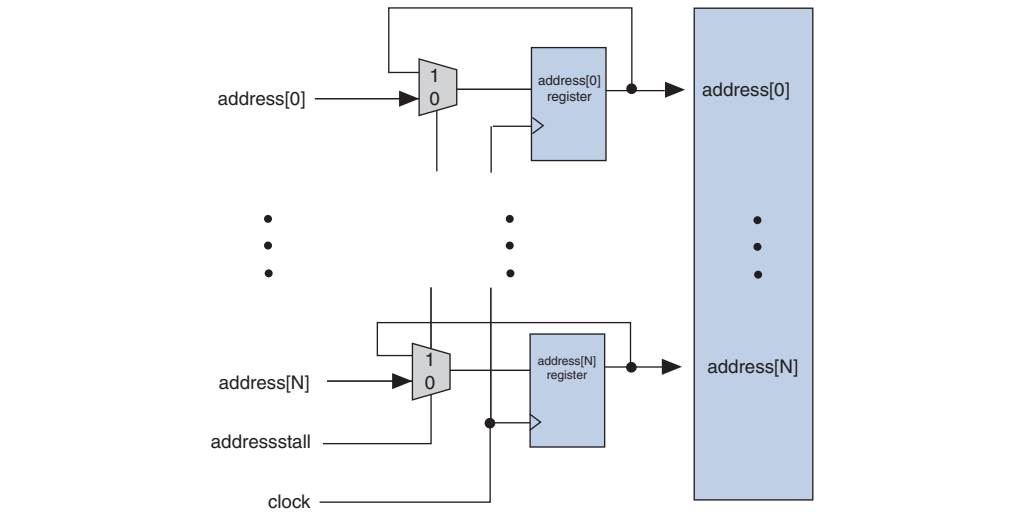


図 2-3 に、アドレス・クロック・イネーブルのリード・サイクル時の波形を示します。

図 2-3. Stratix IV アドレス・クロック・イネーブルのリード・サイクル時の波形

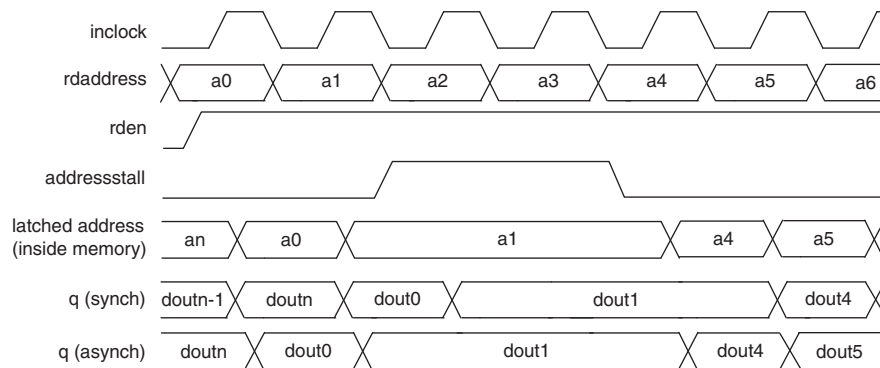
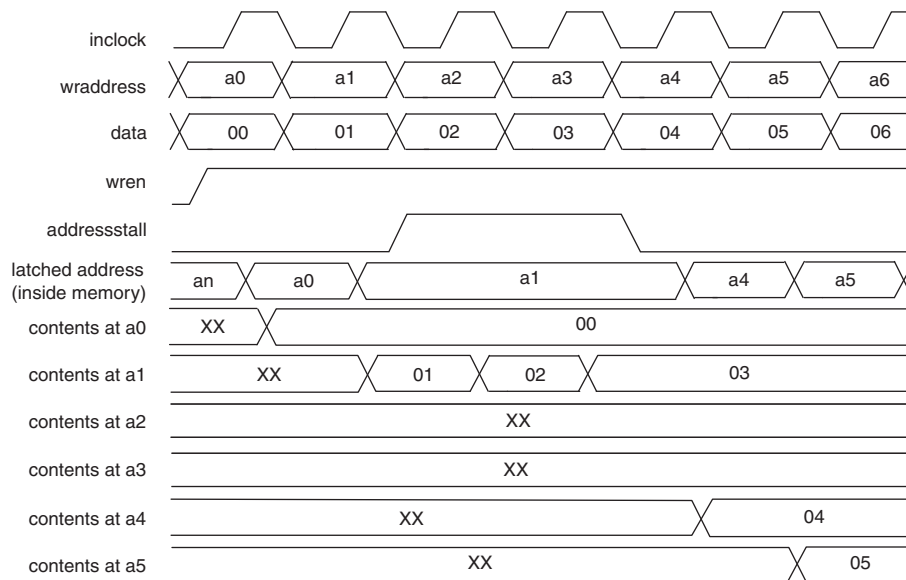


図 2-4 に、アドレス・クロック・イネーブルのライト・サイクル時の波形を示します。

図 2-4. Stratix V アドレス・クロック・イネーブルのライト・サイクル時の波形



## 混合幅サポート

M20K メモリ・ブロックは、本質的にデータ幅混合をサポートします。MLAB は、Quartus II ソフトウェアのエミュレーションを通じてデータ幅混合をサポートできます。シンプル・デュアル・ポート、トゥルー・デュアル・ポート、または FIFO モードを使用する場合、データ幅混合のサポートにより、メモリ・ブロックに異なるデータ幅のリードおよびライト動作を実行できます。メモリ・モード別にサポートされるデータ幅混合について詳しくは、2-9 ページの「メモリ・モード」を参照してください。

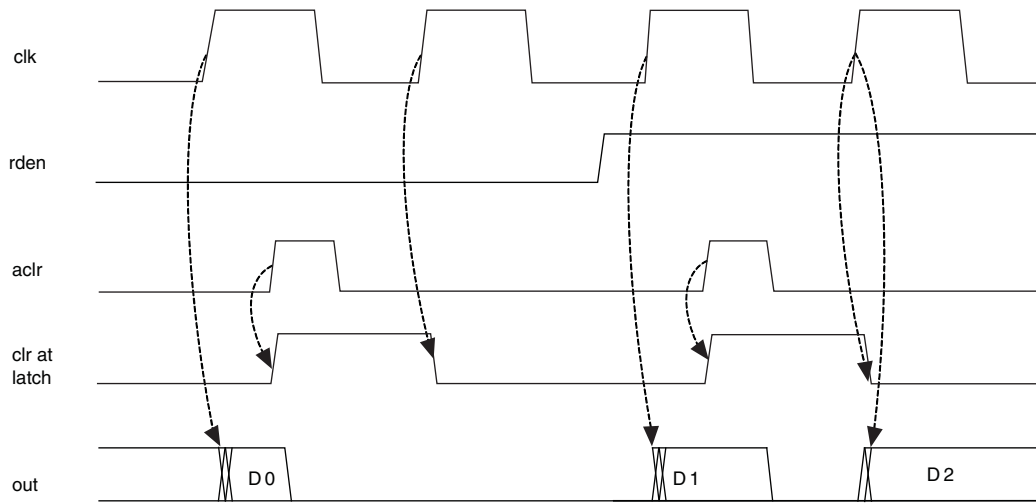


MLAB は混合幅の FIFO モードをサポートしません。

## 非同期クリア

M20K メモリ・ブロックは、出力ラッチおよび出力レジスタの非同期クリアをサポートします。したがって、RAM が出力レジスタを使用していない場合でも、出力ラッチの非同期クリアを介して RAM 出力をクリアできます。クリアは非同期信号なので、いつでも生成されます。内部ロジックは、出力クロックの次の立ち上がりエッジまでクリア・パルスを拡張しています。クリアがアサートされると、出力がクリアされ、[図 2-5](#) に示すように、次のリード・サイクルまでクリアのままにしておきます。

図 2-5. Stratix V デバイスの出力ラッチ・クリア



## 誤り訂正コード (ECC) のサポート

M20K ブロックは、32 ビット幅シングル・デュアル・ポート・モードにおける誤り訂正コード (ECC) のビルトイン・サポートを備えています。ECC により、メモリ・アレイのデータ・エラーを検出して修正できます。ECC は、32 ビット・ワード内のシングル・エラー訂正、隣接のダブル・エラー訂正、および隣接のトリプル・エラー検出を実行することができますが、ECC は、4 つ以上のエラーを検出することはできません。

ECC が有効のときには、M20K の実行は非 ECC シングル・デュアル・ポート・モードよりも遅くなります。しかし、非 ECC シングル・デュアル・ポート・モードと同じパフォーマンスを実現するには、出力デコーダの前にオプションの ECC パイプライン・レジスタをイネーブルすることができます (レイテンシの 1 サイクルが必要)。

M20K ECC の状態は、3 つの ECC ステータス・フラグ信号の e (エラー) および ue (訂正不能エラー) を介して通信されます。ステータス・フラグは、メモリ・ブロックからの通常の出力の一部です。ECC が有効のときには、ECC ステータス・フラグによって置き換えられるため、2 つのパリティ・ビットをアクセスすることはできません。



表 2-5 に、ECC ステータス・フラグの真理値表を示します。

表 2-5. ECC ステータス・フラグの真理値表

e (エラー)	ue (訂正不可エラー)	ステータス
0	0	エラーなし。
0	1	不正。
1	0	訂正可能エラーが発生し、エラーが出力で訂正されていますが、メモリ・アレイが更新されていません。
1	1	訂正不可エラーが発生して、訂正不可能データが出力に表示されます。


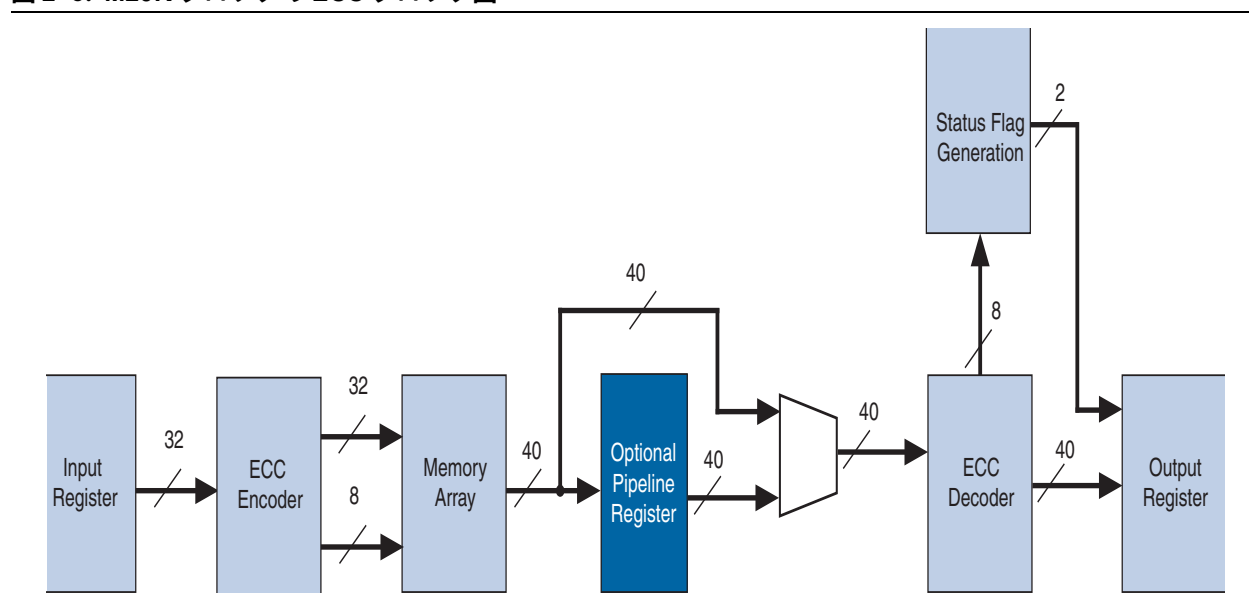
 ECC が有効のときには、バイト・イネーブル機能は使用できません。また、ECC が有効のときには、Read-During-Write: Old Data モードはサポートされません。

図 2-6 に、M20K ブロックの ECC ブロック図を示します。

図 2-6. M20K ブロックの ECC ブロック図




## メモリ・モード

Stratix V エンベデッド・メモリ・ブロックにより、完全同期 SRAM メモリを複数の動作モードで実装することができます。M20K ブロックは、非同期メモリ（入力がラッチされない）をサポートしません。MLAB は、非同期（フロースルー）リード動作をサポートしています。

ターゲットとするメモリ・ブロックに応じて、以下のモードを使用することができます。

- 2-10 ページの「シングル・ポート RAM」
- 2-12 ページの「シンプル・デュアル・ポート・モード」

- 2-14 ページの「トウルー・デュアル・ポート・モード」
- 2-15 ページの「シフト・レジスタ・モード」
- 2-16 ページの「ROM モード」
- 2-16 ページの「FIFO モード」

 ROM、シングル・ポート、シンプル・デュアル・ポート、またはトウルー・デュアル・ポート・モードでメモリ・ブロックを使用する場合、メモリ・ブロック入力レジスタのいずれかに対するセットアップ・タイムまたはホールド・タイムに違反すると、メモリの内容が破壊される可能性があります。これはリードおよびライトの両方の動作に当てはまります。

## シングル・ポート RAM

すべてのエンベデッド・メモリ・ブロックは、シングル・ポート・モードをサポートしています。シングル・ポート・モードでは、同時に 1 リードまたは 1 ライト動作のいずれかを実行することができます。

図 2-7 に、シングル・ポート RAM コンフィギュレーションを示します。

図 2-7. シングル・ポート RAM (注 1)

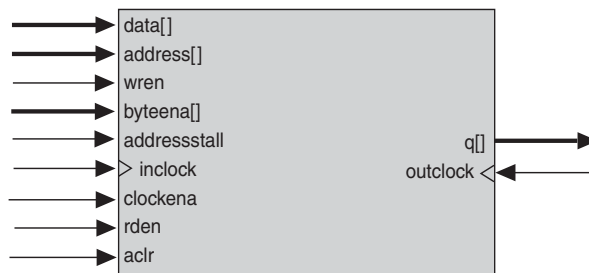


図 2-7 の注:

- (1) 2 つのシングル・ポート・メモリ・ブロックを 1 つの M20K ブロックに実装することができます。詳細は、2-5 ページの「パック・モードのサポート」を参照してください。

ライト動作中に、RAM 出力の動作をコンフィギュレーションすることができます。リード・イネーブルを無効にした状態でリード・イネーブル信号を使用してライト動作を実行する場合、RAM 出力は最新の有効なリード・イネーブル中に取得した値を保持します。ライト動作中にリード・イネーブルを有効にする場合、またはリード・イネーブル信号をまったく使用しない場合、RAM 出力は新しく書き込まれるデータ、そのアドレスに存在する「New Data」、または「Old Data」値を示します。希望の動作を選択するには、Quartus II ソフトウェアの RAM MegaWizard™ Plug-In Manager で、Read-During-Write 動作を「New Data」または「Old Data」のいずれかに設定します。この動作について詳しくは、2-19 ページの「Read-During-Write 動作」を参照してください。

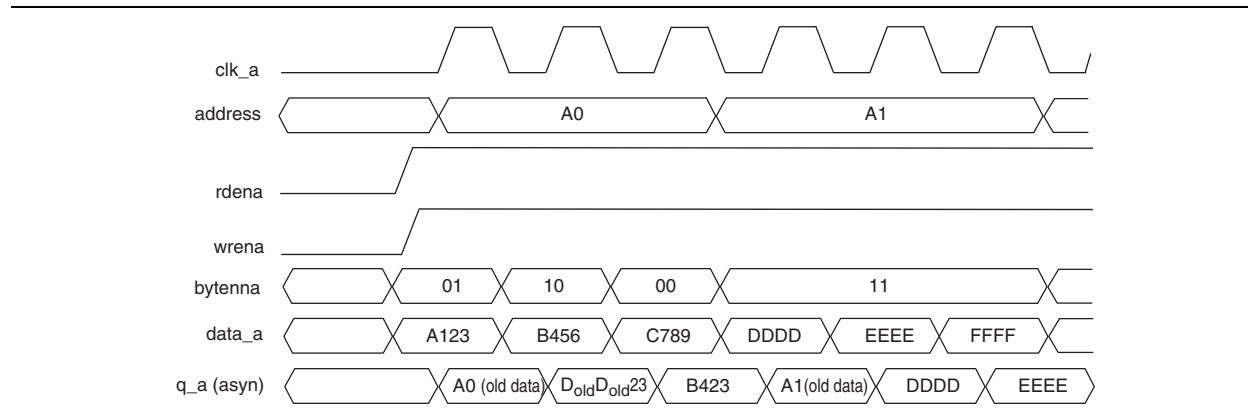
表 2-6 に、シングル・ポート・モードのエンベデッド・メモリ・ブロックに対して可能なポート幅コンフィギュレーションを示します。

表 2-6. MLAB および M20K ブロック (シングル・ポート・モード) のポート幅コンフィギュレーション

ポート幅コンフィギュレーション	
MLAB	M20K
	16K x 1
	8K x 2
64 x 8	4K x 4
64 x 9	4K x 5
64 x 10	2K x 8
32 x 16	2K x 10
32 x 18	1K x 16
32 x 20	1K x 20
	512 x 32
	512 x 40

図 2-8 に、シングル・ポート・モードでのラッチなし出力のリードおよびライト動作のタイミング波形を示します。RAM の出力をラッチしても、q 出力が 1 クロック・サイクルだけ遅延するにすぎません。

図 2-8. リードおよびライト動作のタイミング波形 (シングル・ポート・モード)



## シンプル・デュアル・ポート・モード

すべてのエンベデッド・メモリ・ブロックは、シンプル・デュアル・ポート・モードをサポートしています。シンプル・デュアル・ポート・モードでは、異なる位置への 1 リード動作と 1 ライト動作の同時実行が可能です。ライト動作はポート A で実行されますが、リード動作はポート B で実行されます。図 2-9 に、シンプル・デュアル・ポート・コンフィギュレーションを示します。

図 2-9. Stratix V デバイスのシンプル・デュアル・ポート・メモリ (注 1)

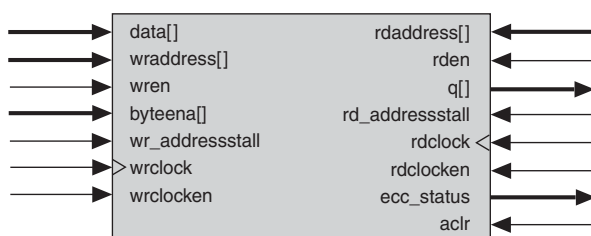


図 2-9 の注:

- (1) シンプル・デュアル・ポート RAM は、ここに示すリード/ライト・クロック・モードに加えて、入力/出力クロック・モードをサポートします。

シンプル・デュアル・ポート・メモリは、異なるリードおよびライト・データ幅をサポートします (混合幅サポート)。表 2-7 に、シンプル・デュアル・ポート・モードでの M20K ブロックのデータ幅混合の構成を示します。MLAB は、データ幅混合動作のネイティブ・サポートは行っていません。Quartus II ソフトウェアは、複数の MLAB を使用してデータ幅混合メモリを MLAB に実装することができます。

表 2-7. M20K ブロックのデータ幅混合の構成 (シンプル・デュアル・ポート・モード)

リード・ポート	ライト・ポート									
	16K x 1	8K x 2	4K x 4	4K x 5	2K x 8	2K x 10	1K x 16	1K x 20	512 x 32	512 x 40
16K x 1	✓	✓	✓	—	✓	—	✓	—	✓	—
8K x 2	✓	✓	✓	—	✓	—	✓	—	✓	—
4K x 4	✓	✓	✓	—	✓	—	✓	—	✓	—
4K x 5	—	—	—	✓	—	✓	—	✓	—	✓
2K x 8	✓	✓	✓	—	✓	—	✓	—	✓	—
2K x 10	—	—	—	✓	—	✓	—	✓	—	✓
1K x 16	✓	✓	✓	—	✓	—	✓	—	✓	—
1K x 20	—	—	—	✓	—	✓	—	✓	—	✓
512 x 32	✓	✓	✓	—	✓	—	✓	—	✓	—
512 x 40	—	—	—	✓	—	✓	—	✓	—	✓

シンプル・デュアル・ポート・モードでは、M20K ブロックは個別のライト・イネーブルおよびリード・イネーブル信号をサポートします。リード動作を実行しないときは、リード・イネーブル信号を **Low** (非アクティブ) に保持することによって電力を節約できます。ライト中に同一アドレスへのリード動作を実行することにより、「Don't Care」値または「Old Data」を出力することができます。希望の動作を選択するには、Quartus II ソフトウェアの RAM MegaWizard Plug-In Manager で、Read-During-Write 動作を「Don't Care」または「Old Data」のいずれかに設定します。この動作について詳しくは、2-19 ページの「Read-During-Write 動作」を参照してください。

MLAB はライト・イネーブル信号のみサポートします。MLAB に対する Read-During-Write 動作は、「New Data」、「Don't Care」、または「Old Data」値のいずれかになります。指定可能な選択肢は、MLAB のコンフィギュレーションによって異なります。

図 2-10 に、シンプル・デュアル・ポート・モードでのラッチなし出力のリードおよびライト動作のタイミング波形を示します。RAM の出力をラッチしても、q 出力が 1 クロック・サイクルだけ遅延するにすぎません。

図 2-10. シンプル・デュアル・ポートのタイミング波形

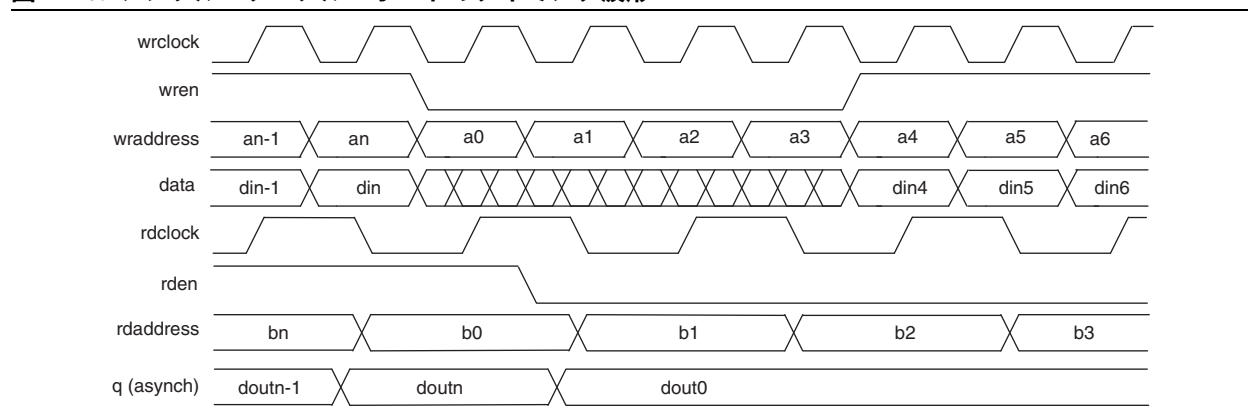
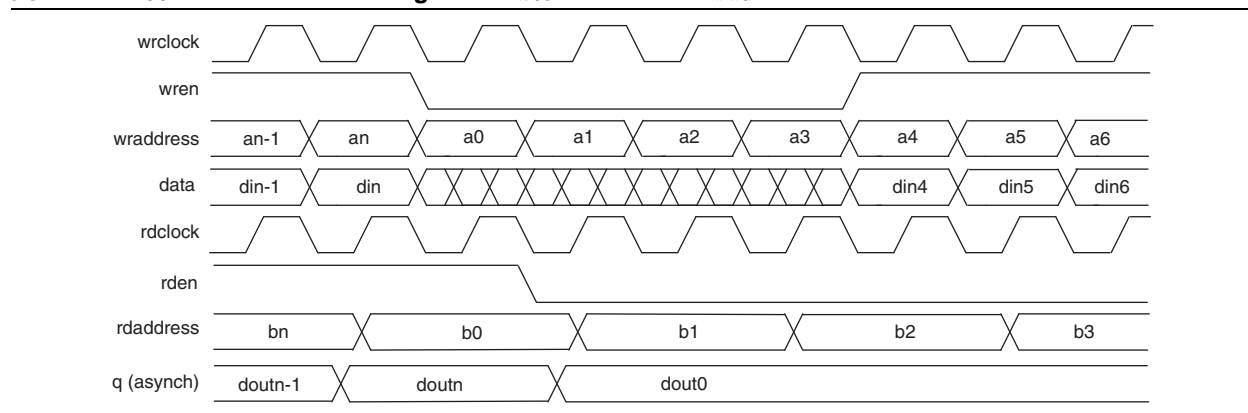


図 2-11 に、混合ポート・モードでのラッチなし出力のリードおよびライト動作のタイミング波形を示します。

図 2-11. 混合ポートの Read-During-Write 動作のタイミング波形

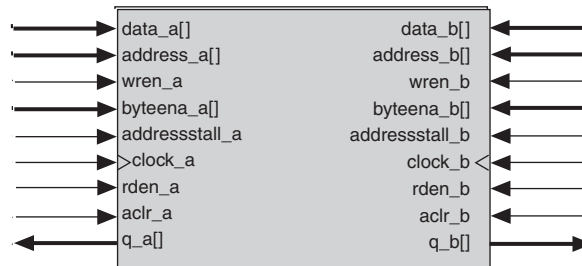


## トゥルー・デュアル・ポート・モード

Stratix V M20K ブロックは、トゥルー・デュアル・ポート・モードをサポートしています。トゥルー・デュアル・ポート・モードは、双方向デュアル・ポートと呼ばれ、2つの異なるクロック周波数で、2つのポート動作の任意の組み合わせ、すなわち2リード、2ライト、または1リードおよび1ライトを実行できます。

図 2-12 に、トゥルー・デュアル・ポート RAM の構成を示します。

図 2-12. Stratix V トゥルー・デュアル・ポート・メモリ



トゥルー・デュアル・ポート・モードでの M20K ブロックの最も幅の広いビット・コンフィギュレーションは  $1k \times 16$  ビット (x20 ビット、パリティ付き) です。

出力ドライバの数は対応するメモリ・ブロックの最大ビット幅と等しいため、より幅の広いコンフィギュレーションを選択することはできません。トゥルー・デュアル・ポート RAM は 2つのポートに出力があるため、最大ビット幅は合計出力ドライバ数の半分です。

表 2-8 に、トゥルー・デュアル・ポート・モードで可能な M20K ブロックの混合ポート幅のコンフィギュレーションを示します。

表 2-8. M20K ブロックのデータ幅混合の構成 (トゥルー・デュアル・ポート・モード)

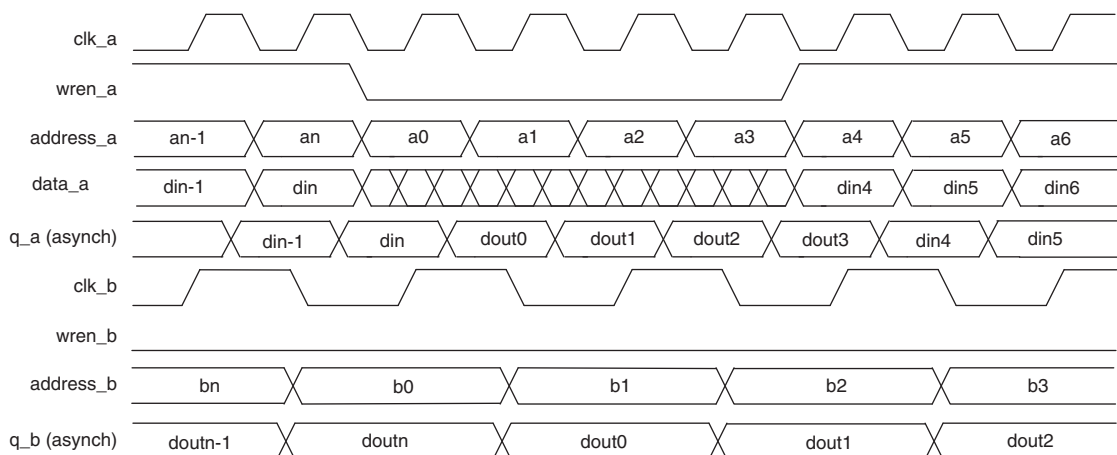
ポート A	ポート B							
	16K x 1	8K x 2	4K x 4	4K x 5	2K x 8	2K x 10	1K x 16	1K x 20
16K x 1	✓	✓	✓	—	✓	—	✓	—
8K x 2	✓	✓	✓	—	✓	—	✓	—
4K x 4	✓	✓	✓	—	✓	—	✓	—
4K x 5	—	—	—	✓	—	✓	—	✓
2K x 8	✓	✓	✓	—	✓	—	✓	—
2K x 10	—	—	—	✓	—	✓	—	✓
1K x 16	✓	✓	✓	—	✓	—	✓	—
1K x 20	—	—	—	✓	—	✓	—	✓

トゥルー・デュアル・ポート・モードでは、M20K ブロックは、個別のライト・イネーブルおよびリード・イネーブル信号をサポートします。リード動作を実行しないときは、リード・イネーブル信号を **Low** (非アクティブ) に保持することによって電力を節約できます。「Read-During-Write」動作に同一アドレスへのリード動作を実行することにより、そのアドレスに存在する「New Data」または「Old Data」を出力することができます。希望の動作を選択するには、Quartus II ソフトウェアの RAM MegaWizard Plug-In Manager で、Read-During-Write 動作を「New Data」または「Old Data」のいずれかに設定します。この動作について詳しくは、2-19 ページの「Read-During-Write 動作」を参照してください。

トゥルー・デュアル・ポート・モードでは、いずれのポートからでも任意のメモリ位置にいつでもアクセスできます。両方のポートから同一メモリ位置にアクセスする場合は、発生する可能性があるライト競合を回避しなければなりません。ライト競合は、両方のポートから同じアドレス位置に同時に書き込みを試みると発生します。これにより、このアドレス位置に不定のデータが格納されます。Stratix V エンベデッド・メモリ・ブロックには、競合解消回路は内蔵されていません。アドレス競合は RAM ブロックの外部で処理する必要があります。

図 2-13 に、「Read-During-Write」動作を「New Data」に設定した場合のポート A でのライト動作、およびポート B でのリード動作のトゥルー・デュアル・ポートのタイミング波形を示します。RAM の出力をラッチしても、q 出力が 1 クロック・サイクルだけ遅延するにすぎません。

図 2-13. トゥルー・デュアル・ポートのタイミング波形



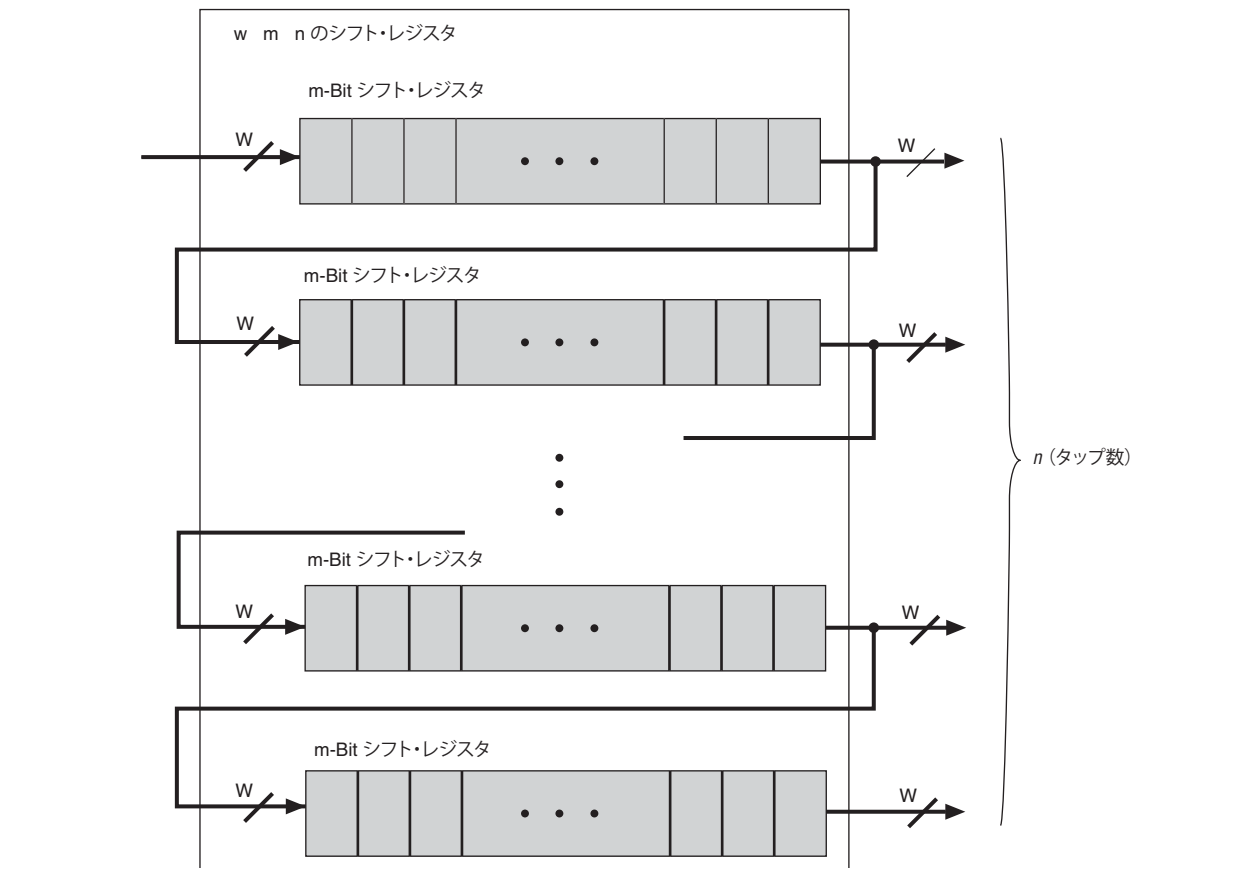
## シフト・レジスタ・モード

すべての Stratix V メモリ・ブロックは、シフト・レジスタ・モードをサポートしています。エンベデッド・メモリ・ブロック・コンフィギュレーションは、有限インパルス応答 (FIR) フィルタ、擬似ランダム数発生器、マルチチャネル・フィルタリング、自己相関関数および相互相関関数など、デジタル信号処理 (DSP) アプリケーション用のシフト・レジスタを実装できます。これらの DSP アプリケーション、およびその他の DSP アプリケーションには、ローカル・データ・ストレージが必要です。ローカル・データ・ストレージは従来、大規模なシフト・レジスタを用いて、多数のロジック・セルを消費する標準的なフリップ・フロップで実装されてきました。あるいは、エンベデッド・メモリをシフト・レジスタ・ブロックとして使用することができます。これにより、ロジック・セルと配線リソースが節約されます。

シフト・レジスタ ( $w \times m \times n$ ) のサイズは、入力データ幅 ( $w$ )、タップの長さ ( $m$ )、およびタップ数 ( $n$ ) によって決まります。メモリ・ブロックをカスケード接続して、より大きなシフト・レジスタを実装することができます。

図 2-14 に、シフト・レジスタ・モードでのエンベデッド・メモリ・ブロックを示します。

図 2-14. シフト・レジスタ・メモリのコンフィギュレーション




## ROM モード

すべての Stratix V エンベデッド・メモリ・ブロックは、ROM モードをサポートしています。これらのブロックの ROM 内容は、メモリ初期化ファイル (.mif) で初期化されます。ROM のアドレス・ラインは、M20K ブロックでラッチされますが、MLAB ではラッチされない場合があります。出力はラッチしてもしなくても構いません。出力レジスタは非同期でクリアできます。ROM のリード動作は、シングル・ポート RAM コンフィギュレーションでのリード動作と同じです。

## FIFO モード

すべての Stratix V エンベデッド・メモリ・ブロックは、FIFO モードをサポートしています。MLAB は、多数の小規模な浅い FIFO バッファを使用するデザインに最適です。デザインに FIFO バッファを実装するには、Quartus II ソフトウェア FIFO MegaWizard Plug-In Manager を使用します。シングル・クロックおよびデュアル・クロック（非同期）FIFO バッファの両方がサポートされています。



 FIFO バッファの実装について詳しくは、「[SCFIFO and DCFIFO Megafunctions](#)」を参照してください。

 MLAB はデータ幅混合 FIFO モードをサポートしません。

## クロック・モード

Stratix V エンベデッド・メモリ・ブロックは、以下のクロック・モードをサポートしています。

- [2-17 ページの「独立クロック・モード」](#)
- [2-18 ページの「入力/出力クロック・モード」](#)
- [2-18 ページの「リード/ライト・クロック・モード」](#)
- [2-18 ページの「シングル・クロック・モード」](#)


 メモリ・ブロック・アドレス・レジスタのセットアップ・タイムまたはホールド・タイムに違反すると、メモリの内容が破壊される可能性があります。これはリードおよびライトの両方の動作に当てはまります。

表 2-9 に、内部メモリ・クロック・モードをリストします。

表 2-9. 内部メモリ・クロック・モード

クロック・モード	トゥルー・デュアル・ポート・モード	シンプル・デュアル・ポート・モード	シングル・ポート・モード	ROM モード	FIFO モード
独立	✓	—	—	✓	—
入力/出力	✓	✓	✓	✓	—
リード/ライト	—	✓	—	—	✓
シングル・クロック	✓	✓	✓	✓	✓

## 独立クロック・モード

Stratix V エンベデッド・メモリ・ブロックは、トゥルー・デュアル・ポート・メモリ用の独立クロック・モードを実装できます。このモードでは、各ポート（クロック A およびクロック B）で個別のクロックを使用できます。クロック A はポート A 側のすべてのレジスタをコントロールし、クロック B はポート B 側のすべてのレジスタをコントロールします。各ポートは、ポート A およびポート B のレジスタに対する独立したクロック・イネーブルもサポートします。非同期クリアは、両方のポートの出力ラッチと出力レジスタに対してのみサポートされます。

## 入力/出力クロック・モード

Stratix V エンベデッド・メモリ・ブロックは、トゥルー・デュアル・ポートおよびシングル・デュアル・ポート・メモリ用の入力/出力クロック・モードを実装できます。このモードでは、入力クロックがデータ、アドレス、バイト・イネーブル、リード・イネーブル、およびライト・イネーブルなど、メモリ・ブロックへのデータ入力に関連するすべてのレジスタを制御します。出力クロックはデータ出力レジスタを制御します。非同期クリアは出力ラッチと出力レジスタでのみ使用できます。

## リード/ライト・クロック・モード

Stratix V エンベデッド・メモリ・ブロックは、シングル・デュアル・ポート・メモリ用のリード/ライト・クロック・モードを実装できます。このモードでは、ライト・クロックがデータ入力、ライト・アドレス、およびライト・イネーブル・レジスタをコントロールします。同様に、リード・クロックがデータ出力、リード・アドレス、およびリード・イネーブル・レジスタをコントロールします。メモリ・ブロックは、リードおよびライト・クロックに対する独立クロック・イネーブルをサポートします。非同期クリアはデータ出力ラッチとデータ出力レジスタでのみ使用できます。

リード/ライト・クロック・モードを使用するとき、同じアドレスの位置に同時にリード/ライトを実行すると出力のリード・データ出力は未知です。出力データが既知の値として必要な場合は、シングル・クロック・モードまたは入力/出力クロック・モードのいずれかを使用して、**MegaWizard Plug-In Manager** での適切な「Read-During-Write」動作を選択してください。

## シングル・クロック・モード

Stratix V エンベデッド・メモリ・ブロックは、トゥルー・デュアル・ポート、シングル・デュアル・ポート、およびシングル・ポート・メモリ用のシングル・クロック・モードを実装できます。このモードでは、シングル・クロックはクロック・イネーブルと併用して、メモリ・ブロックのすべてのレジスタをコントロールします。非同期クリアは出力ラッチおよび出力レジスタでのみ使用できます。

## デザインの検討事項

この項では、エンベデッド・メモリ・ブロックを使用したデザインのガイドラインについて説明します。

## エンベデッド・メモリ・ブロックの選択

Quartus II ソフトウェアは、デザインの速度とサイズの制約を考慮して、ユーザー定義メモリを自動的にエンベデッド・メモリ・ブロックに分割します。例えば、Quartus II ソフトウェアは、デザインの性能を向上させるために、リソースが使用可能な場合はメモリを複数のメモリ・ブロックに分割します。**RAM MegaWizard Plug-In Manager** により、メモリを特定のブロック・サイズに割り当てることができます。

MLAB は、Quartus II ソフトウェアのエミュレーションを通じてシングル・ポート SRAM を実装できます。エミュレーションを実行することにより、使用する追加ロジック・リソースが少なくすみすみます。MLAB は兼用アーキテクチャとなっているため、ブロック内にはデータ入力レジスタとデータ出力レジスタしかありません。MLAB はレジスタ・パッキングを使用して、隣接する ALM から入力アドレス・レジスタとオプションのデータ出力レジスタを取得します。

レジスタ・パッキングについて詳しくは「Stratix V デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール」の章を参照してください。

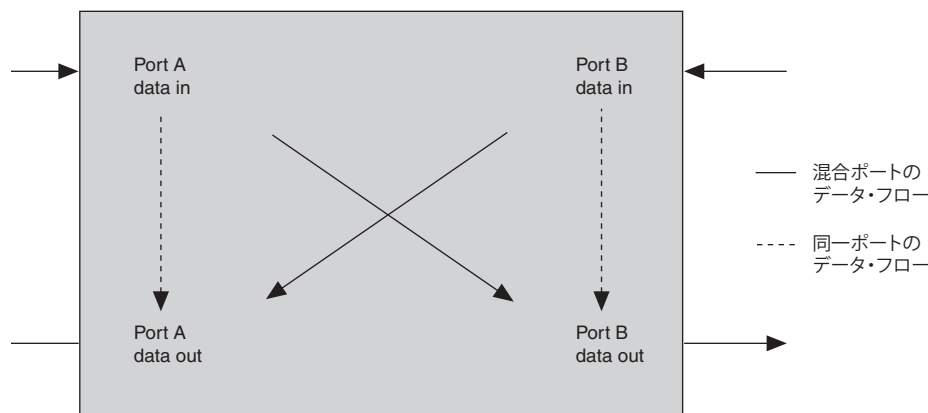
## 競合の解決

トゥルー・デュアル・ポート・モードでメモリ・ブロックを使用する場合、同じメモリ位置（アドレス）に対して 2 つのライト動作を試みるのが可能です。メモリ・ブロックには競合解決回路が組み込まれていないため、このアドレスには不定のデータが書き込まれます。したがって、アドレス競合を回避するために、メモリ・ブロックの外部に競合解消ロジックを実装しなければなりません。

## Read-During-Write 動作

デザインのニーズに合わせて、Stratix V エンベデッド・メモリ・ブロックの Read-During-Write 動作をカスタマイズすることができます。同一ポートと混合ポートの 2 種類の Read-During-Write 動作が用意されています。図 2-15 に、2 つのポートの違いを示します。

図 2-15. Stratix V の Read-During-Write データ・フロー



## 同一ポートに対する Read-During-Write モード

このモードは、シングル・ポート RAM またはトゥルー・デュアル・ポート RAM の同一ポートに適用されます。同一ポートに対する Read-During-Write モードでは、New Data モード（またはフロー・スルー）、Old Data モード、および Don't Care モードの 3 つの中から出力を選択できます。New Data モードでは、新しいデータが書き込まれた同一クロック・サイクルの立ち上がりエッジでそのデータを使用することができます。Old Data モードでは、ライト動作が続行される前にそのアドレスにある古いデータが RAM 出力に反映されます。Don't Care モードでは、RAM は Read-During-Write 動作ではドントケア値を出力します。

図 2-16 に、New Data モードによる同一ポートに対する「Read-During-Write」動作のサンプル機能波形を示します。

図 2-16. 同一ポートの Read-During-Write: New Data モード

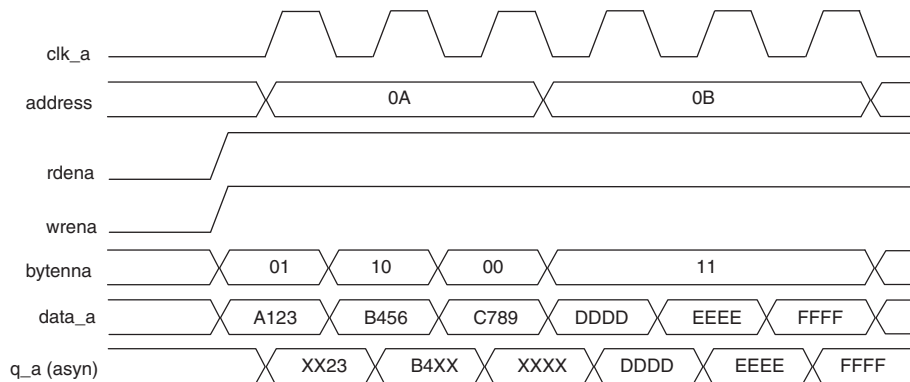
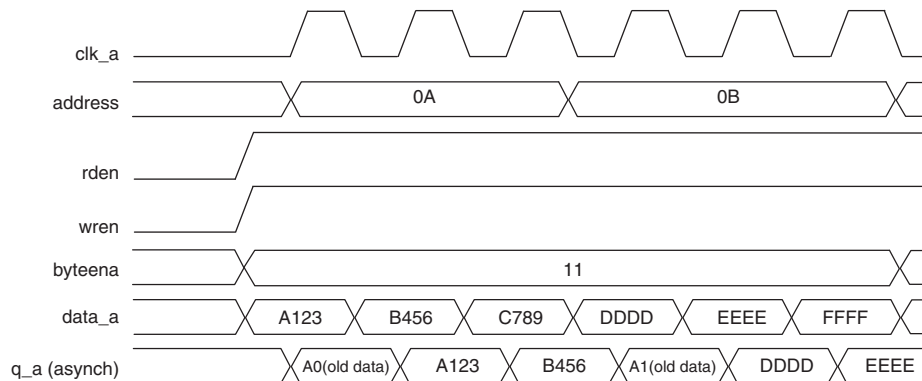


図 2-17 に、Old Data モードでの同一ポートに対する Read-During-Write 動作のサンプル機能波形を示します。

図 2-17. 同一ポートの Read-During-Write: Old Data モード



## 混合ポートに対する Read-During-Write モード

このモードは、同一クロックで同じアドレス位置に対して 1 つのポートはリード動作、別のポートはライト動作を実行する、シングルまたはトゥルー・デュアル・ポート・モードの RAM に適用されます。

このモードでは、「Old Data」と「Don't Care」の 2 つの出力の 1 つを選択することもできます。Old Data モードでは、異なるポートに対する Read-During-Write 動作により、RAM 出力はそのアドレス位置にある古いデータを反映します。Don't Care モードでは、同じ動作によって、RAM 出力は「Don't Care」または「Unknown」値になります。


 Read-During-Write 動作は、RAM MegaWizard Plug-In Manager を通じて制御されます。希望の動作を実装する方法について詳しくは、「[Internal Memory \(RAM and ROM\) User Guide](#)」を参照してください。

図 2-18 に、Old Data モードでの混合ポートに対する Read-During-Write 動作のサンプル機能波形を示します。

図 2-18. 混合ポートの Read-During-Write: Old Data モード

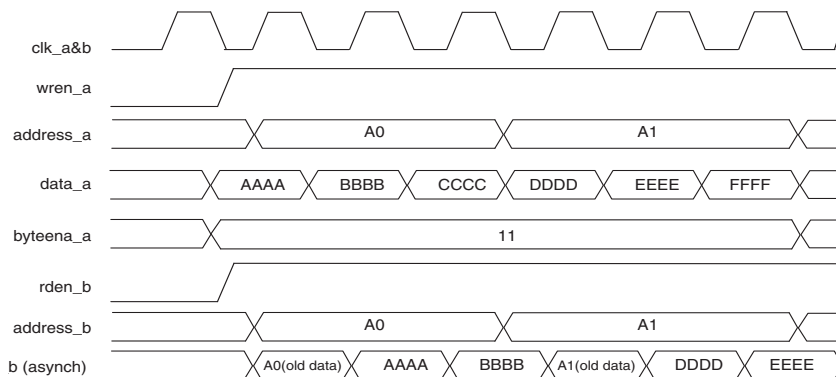
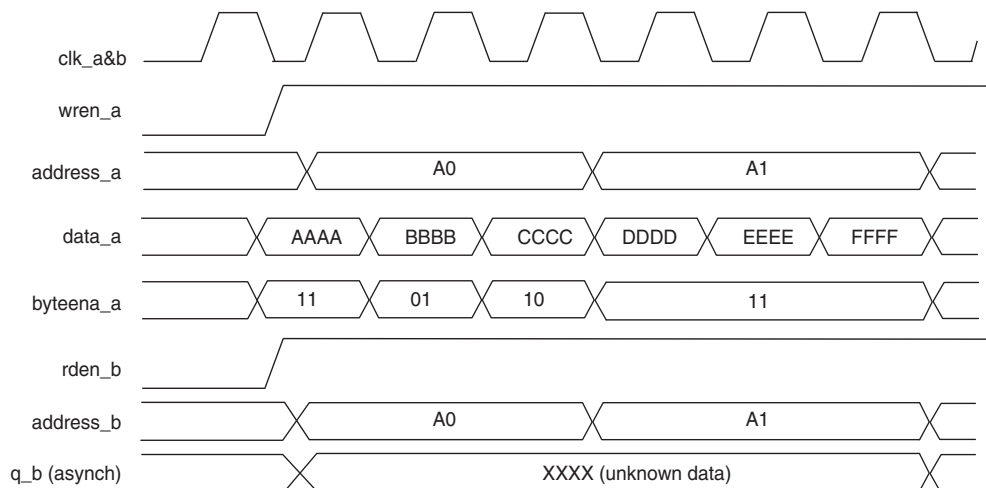


図 2-19 に、Don't Care モードでの混合ポートに対する Read-During-Write 動作のサンプル機能波形を示します。

図 2-19. 混合ポートの Read-During-Write: Don't Care モード



混合ポートの Read-During-Write は、デュアル・ポート RAM で 2 つの異なるクロックが使用されるときにサポートされません。デュアル・クロック混合ポートに対する Read-During-Write を動作する時には、出力値は不定です。

## パワーアップ条件およびメモリ初期化

M20K メモリ・ブロック出力は、出力レジスタを使用されるか、またはバイパスされるかに関係なく、パワーアップ時に 0 (クリア) になります。MLAB は、出力レジスタを使用される場合はパワーアップ時に 0 になり、出力レジスタを使用されない場合はパワーアップ時にメモリ内容が読み出されます。MLAB メモリ・ブロックの初期パワーアップ値を評価するロジックを設計するときは、これを考慮に入れる必要があります。Stratix V デバイスでは、指定された .mif ファイルがない場合、Quartus II ソフトウェアは RAM セルを 0 に初期化します。

すべてのメモリ・ブロックは .mif ファイルによる初期化をサポートしています。デザインでメモリをインスタンス化するとき、Quartus II ソフトウェアで .mif ファイルを作成し、RAM MegaWizard Plug-In Manager でそれらのファイルの使用を指定することができます。メモリが（例えば、.mif ファイルにより）事前に初期化されない場合でも、出力をクリアした状態でパワーアップします。

 .mif ファイルについて詳しくは、「[Internal Memory \(RAM and ROM\) User Guide](#)」および「[Quartus II Handbook](#)」を参照してください。

## 消費電力管理

Stratix V メモリ・ブロック・クロック・イネーブルにより、各メモリ・ブロックのクロックを制御して、AC 消費電力を低減できます。リード・イネーブル信号を使用して、必要な場合にのみリード動作が発生するようにします。デザインで Read-During-Write 動作が不要な場合は、ライト動作中またはメモリ動作が実行されていない期間にリード・イネーブル信号をディアサートして消費電力を削減することができます。

Quartus II ソフトウェアは、自動的に未使用メモリ・ブロックを低消費電力モードに切り替えてスタティック消費電力を削減します。

## 改訂履歴

表 2-10 に、このドキュメントの改訂履歴を示します。

表 2-10. 改訂履歴

日付	ドキュメント・バージョン	変更内容
2010 年 12 月	1.1	Quartus II ソフトウェア 10.1 のためのこの章の内容に変更はありません。
2010 年 7 月	1.0	初版。