

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIV51003-3.0

この章では、Stratix® IV デバイスの TriMatrix エンベデッド・メモリ・ブロックについて説明します。TriMatrix エンベデッド・メモリ・ブロックには、3 種類のサイズのエンベデッド SRAM があり、Stratix IV FPGA デザインのニーズに効率的に対応します。TriMatrix メモリには、640 ビットのメモリ・ロジック・アレイ・ブロック (MLAB)、9K ビットの M9K ブロック、および 144K ビットの M144K ブロックがあります。MLAB は、フィルタのディレイ・ライン、小規模 FIFO (First-In First-Out) バッファおよびシフト・レジスタを実装するために最適化されています。M9K ブロックは汎用メモリ・アプリケーションに使用でき、M144K ブロックはプロセッサ・コードのストレージ、パケット・バッファリング、およびビデオ・フレーム・バッファリングに最適です。

Quartus® II の MegaWizard™ Plug-In Manager により、各エンベデッド・メモリ・ブロックをシングルまたはデュアル・ポート RAM、FIFO バッファ、ROM、またはシフト・レジスタに個別にコンフィギュレーションできます。同じタイプの複数のブロックを統合して、最小のタイミング・ペナルティでより大きなメモリを作成することができます。TriMatrix メモリは、最大 600 MHz で動作可能な最大 31、491 K ビットのエンベデッド SRAM を提供します。この章では、TriMatrix メモリ・ブロック、モード、機能、およびデザインにおける検討事項について説明します。

この章は、以下の項で構成されています。

- 3-2 ページの「概要」
- 3-9 ページの「メモリ・モード」
- 3-18 ページの「クロック・モード」
- 3-19 ページの「デザインの検討事項」

概要

表 3-1 に、3 種類のサイズの TriMatrix メモリの特長をまとめます。

表 3-1. TriMatrix メモリの機能の要約 (その 1)

特長	MLAB	M9K ブロック	M144K ブロック
最大性能	600 MHz	600 MHz	540 MHz
トータル RAM ビット数 (パリティ・ビットを含む)	640	9216	147,456
構成 (深さ×幅)	64 × 8 64 × 9 64 × 10 32 × 16 32 × 18 32 × 20	8K × 1 4K × 2 2K × 4 1K × 8 1K × 9 512 × 16 512 × 18 256 × 32 256 × 36	16K × 8 16K × 9 8K × 16 8K × 18 4K × 32 4K × 36 2K × 64 2K × 72
パリティ・ビット	✓	✓	✓
バイト・イネーブル	✓	✓	✓
バック・モード	—	✓	✓
アドレス・クロック・イ ネーブル	✓	✓	✓
シングル・ポート・メモリ	✓	✓	✓
シンプル・デュアル・ポー ト・メモリ	✓	✓	✓
トゥルー・デュアル・ポー ト・メモリ	—	✓	✓
エンベデッド・シフト・レ ジスタ	✓	✓	✓
ROM	✓	✓	✓
FIFO バッファ	✓	✓	✓
シンプル・デュアル・ポー トの異なるデータ幅のサ ポート	—	✓	✓
トゥルー・デュアル・ポー トの異なるデータ幅のサ ポート	—	✓	✓
メモリ初期化ファイル (.mif)	✓	✓	✓
混合クロック・モード	✓	✓	✓
パワーアップ条件	ラッチされる場合は出力 がクリアされ、ラッチさ れない場合はメモリ内容 が読み出されます。	出力クリア	出力クリア
レジスタ・クリア	出力レジスタ	出力レジスタ	出力レジスタ

表 3-1. TriMatrix メモリの機能の要約 (その 2)

特長	MLAB	M9K ブロック	M144K ブロック
ライト/リード動作のトリガ	ライト: 立ち下がりク ロック・エッジ リード: 立ち上がりク ロック・エッジ	ライトおよびリード: 立 ち上がりクロック・エッ ジ	ライトおよびリード: 立 ち上がりクロック・エッ ジ
同一ポートに対する Read- During-Write	出力は「Don't Care」に 設定	出力は「Old Data」また は「New Data」に設定	出力は「Old Data」ま たは「New Data」に 設定
混在ポートに対する Read- During-Write	出力は「Old Data」また は「Don't Care」に設定	出力は「Old Data」また は「Don't Care」に設定	出力は「Old Data」ま たは「Don't Care」に 設定
ECC サポート	Quartus II によるソフト IP のサポート	Quartus II によるソフト IP のサポート	64 幅 SDP モードでの ビルトイン・サポート または Quartus II によ るソフト IP サポート

表 3-2 に、Stratix IV ファミリの各デバイスの TriMatrix メモリ・ブロックの分配と容量を示します。

表 3-2. Stratix IV デバイスの TriMatrix メモリのブロック数とトータル・ビット数

デバイス	MLAB	M9K ブロック	M144K ブロック	トータル専用 RAM ビット数 (専用メモリ・ブロックのみ) (Kb)	トータル RAM ビット数 (MLAB は含む) (Kb)
EP4SE230	4560	1235	22	14,283	17,133
EP4SE360	7072	1248	48	18,144	22,564
EP4SE530	10,624	1280	64	20,736	27,376
EP4SE820	16,261	1610	60	23,130	33,294
EP4SGX70	1452	462	16	6462	7370
EP4SGX110	2112	660	16	8244	9564
EP4SGX180	3515	950	20	11,430	13,627
EP4SGX230	4560	1235	22	14,283	17,133
EP4SGX290	5824	936	36	13,608	17,248
EP4SGX360	7072	1248	48	18,144	22,564
EP4SGX530	10,624	1280	64	20,736	27,376
EP4S40G2	4560	1235	22	14,283	17,133
EP4S40G5	10,624	1280	64	20,736	27,376
EP4S100G2	4560	1235	22	14,283	17,133
EP4S100G3	5824	936	36	13,608	17,248
EP4S100G4	7072	1248	48	18,144	22,564
EP4S100G5	10624	1280	64	20,736	27,376

TriMatrix メモリ・ブロックのタイプ

M9K および M144K メモリ・ブロックは専用リソースの場合、MLAB は兼用ブロックです。これらは、標準ロジック・アレイ・ブロック (LAB) またはメモリ・ロジック・アレイ・ブロック (MLAB) としてコンフィギュレーションできます。1 個の MALB は 10 個のアダプティブ・ロジック・モジュール (ALM) から構成されます。1 個の MLAB 内の各 ALM を、 64×1 または 32×2 ブロックとしてコンフィギュレーションして、1 個の MLAB 内で 64×10 または 32×20 のシングル・デュアル・ポート SRAM ブロックを得ることができます。

パリティ・ビットのサポート

すべての TriMatrix メモリ・ブロックは、ビルトイン・パリティ・ビット・サポートを備えています。各バイトに関連する 9 番目のビットは、パリティ・ビットを格納したり、追加データ・ビットとして機能させることができます。9 番目のビットでパリティ機能が実際に実行されるわけではありません。

バイト・イネーブルのサポート

すべての TriMatrix メモリ・ブロックは、データの特定のバイトだけが書き込まれるように、入力データをマスクするバイト・イネーブルをサポートしています。書き込まれなかったバイトは、前に書き込まれた値を保持します。ライト・イネーブル (wren) 信号は、バイト・イネーブル (byteena) 信号と共に RAM ブロックのライト動作を制御します。

バイト・イネーブル信号のデフォルト値は High (イネーブル) であり、この場合、ライト動作はライト・イネーブル信号でのみコントロールされます。バイト・イネーブル・レジスタへのクリア・ポートはありません。M9K または M144K ブロックでパリティ・ビットを使用する場合、バイト・イネーブルが 9 つのビット (データの 8 つのビット + 1 つのパリティ・ビット) をすべて制御します。MLAB でパリティ・ビットを使用する場合、バイト・イネーブルは最も広いモードで 10 ビットをすべて制御します。

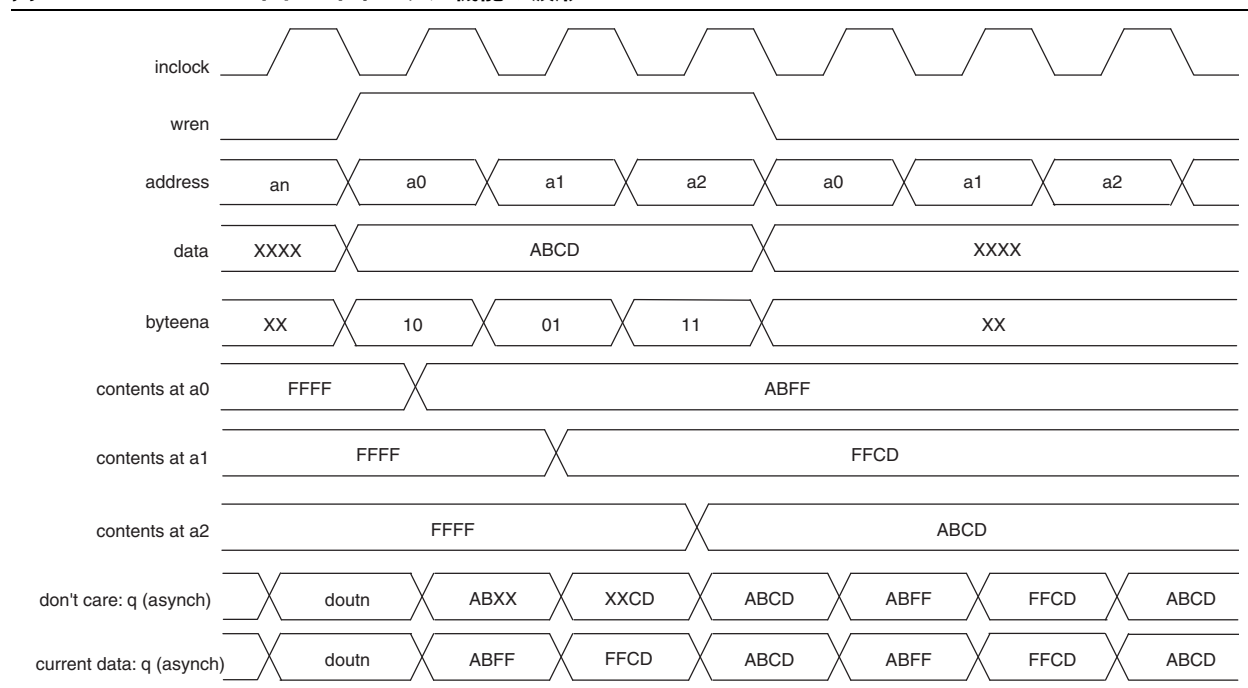
バイト・イネーブルは one-hot 方式で動作し、byteena 信号の最下位ビット (LSB) がデータ・バスの最下位バイトに対応します。例えば、byteena = 01 で RAM ブロックを 18 モードで使用する場合、data[8..0] がイネーブルされ、data[17..9] がディセーブルされます。同様に、byteena = 11 の場合、data[8..0] と data[17..9] の両方がイネーブルされます。バイト・イネーブルはアクティブ High です。

 M144K ブロックで誤り訂正コード (ECC) 機能を使用する場合、バイト・イネーブル機能は使用できません。

図 3-1 に、ライト・イネーブル (wren) 信号とバイト・イネーブル (byteena) 信号が RAM ブロックの動作を制御する方法を示します。

ライト・サイクルの間にバイト・イネーブル・ビットがディassertされた場合、対応するデータ・バイト出力が「Don't care」値または現在のデータとしてその位置に現れます。マスクされたバイトの出力値は、Quartus II ソフトウェアを介して制御可能です。ライト・サイクルの間にバイト・イネーブル・ビットがアassertされた場合、対応するデータ・バイト出力も Quartus II ソフトウェアで選択された設定に依存します。

図 3-1. Stratix IV バイト・イネーブル機能の波形



パック・モードのサポート

Stratix IV M9K および M144K ブロックは、パック・モードをサポートしています。パック・モード機能は、2つの独立したシングル・ポート RAM を1つのメモリ・ブロックに集積します。Quartus II ソフトウェアは、必要に応じて物理的の RAM ブロックをトゥルー・デュアル・ポート・モードに配置し、アドレスの最上位ビット (MSB) を使用して2つの論理 RAM を区別することによって、自動的にパック・モードを実装します。独立した各シングル・ポート RAM のサイズは、ターゲット・ブロック・サイズの半分以下でなければなりません。

アドレス・クロック・イネーブル・サポート

すべての Stratix IV メモリ・ブロックは、アドレス・クロック・イネーブルをサポートし、アドレス・クロック・イネーブルは信号がイネーブルされている間 (addressstall = 1) 前のアドレス値を保持します。メモリ・ブロックがデュアル・ポート・モードでコンフィギュレーションされると、各ポートは専用の独立したアドレス・クロック・イネーブルを持ちます。アドレス・クロック・イネーブル信号のデフォルト値は Low (ディセーブル) です。

図 3-2 に、アドレス・クロック・イネーブルのブロック図を示します。アドレス・クロック・イネーブルは、ポート名 addressstall で参照されます。

図 3-2. Stratix IV アドレス・クロック・イネーブルのブロック図

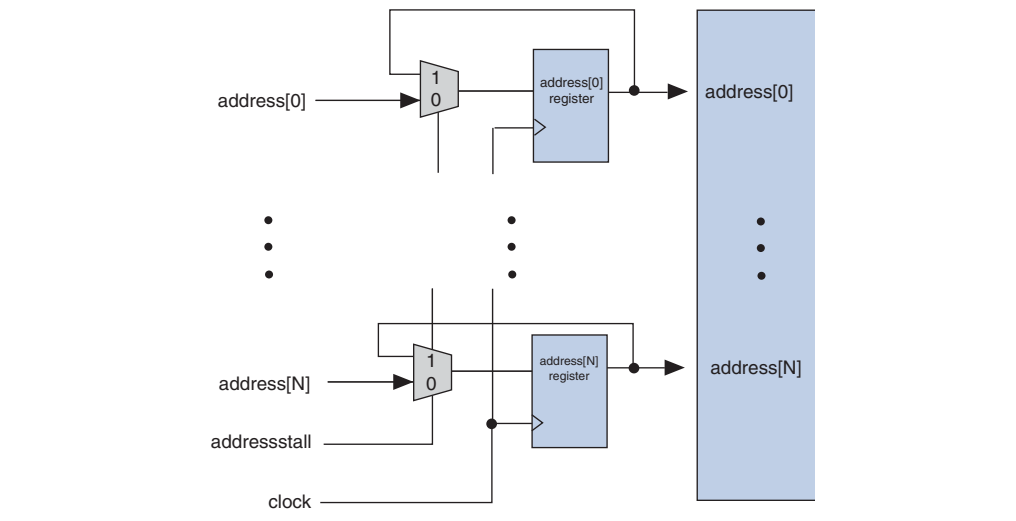


図 3-3 に、アドレス・クロック・イネーブルのリード・サイクル時の波形を示します。

図 3-3. Stratix IV アドレス・クロック・イネーブルのリード・サイクル時の波形

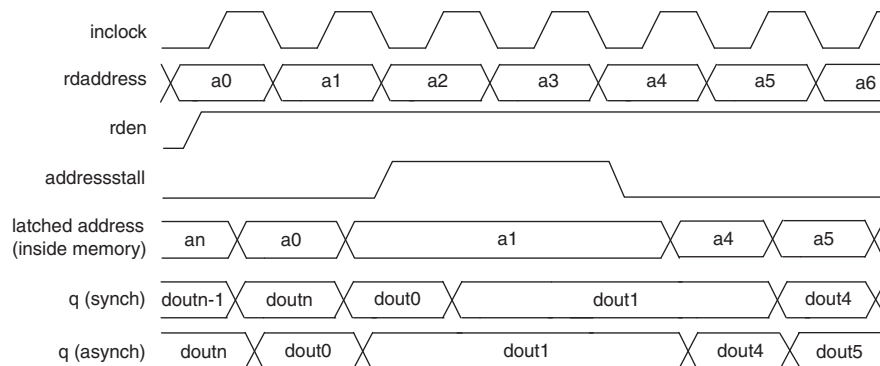
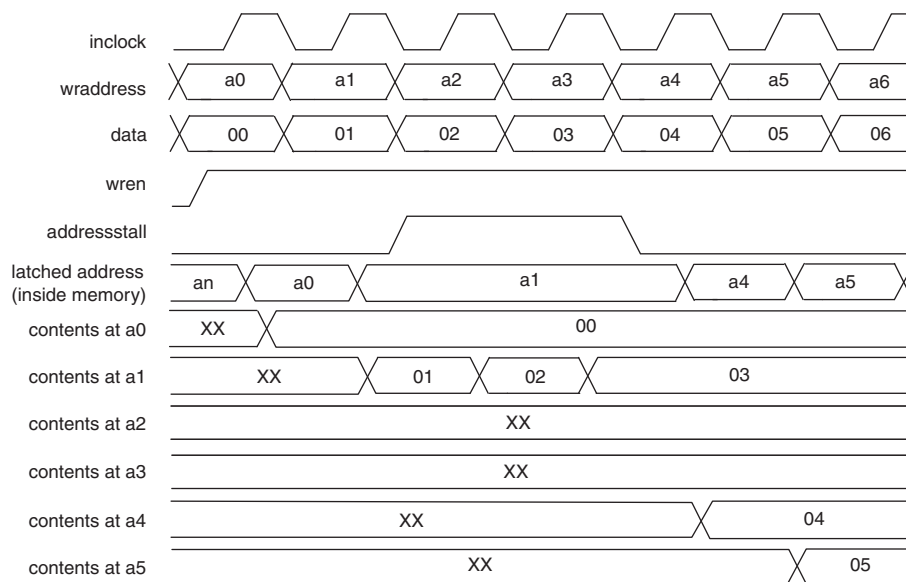


図 3-4 に、アドレス・クロック・イネーブルのライト・サイクル時の波形を示します。

図 3-4. Stratix IV アドレス・クロック・イネーブルのライト・サイクル時の波形



混合幅サポート

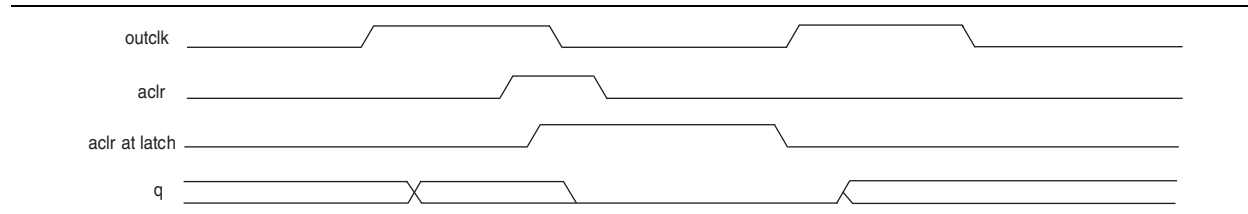
M9K および M144K メモリ・ブロックは、本質的にデータ幅混合をサポートします。MLAB は、Quartus II ソフトウェアのエミュレーションを通じてデータ幅混合をサポートできます。シングル・デュアル・ポート、トウラー・デュアル・ポート、または FIFO モードを使用する場合、データ幅混合のサポートにより、メモリ・ブロックに異なるデータ幅のリードおよびライト動作を実行できます。メモリ・モード別にサポートされるデータ幅混合について詳しくは、3-9 ページの「メモリ・モード」を参照してください。

 MLAB は混合幅の FIFO モードをサポートしません。

非同期クリア

Stratix IV TriMatrix メモリ・ブロックは、出力ラッチおよび出力レジスタの非同期クリアをサポートします。したがって、RAM が出力レジスタを使用していない場合でも、出力ラッチの非同期クリアを介して RAM 出力をクリアできます。図 3-5 に出力ラッチの非同期クリア波形ファンクションを示します。

図 3-5. 出力ラッチの非同期クリア波形



Quartus II RAM MegaWizard Plug-In Manager により、ロジック・メモリごとに非同期クリアを選択的にイネーブルすることができます。

 詳細は、「RAM メガファンクション・ユーザーガイド」を参照してください。

誤り訂正コード (ECC) のサポート


Stratix IV M144K ブロックは、64 ビット幅シングル・デュアル・ポート・モードにおける誤り訂正コード (ECC) のビルトイン・サポートを備えています。ECC により、メモリ・アレイのデータ・エラーを検出し修正できます。M144K ブロックは、SECDED (Single-Error-Correction Double-Error-Detection) 実装を備えています。SECDEC は、64 ビット・ワード内のシングル・ビット・エラーを検出および修正できます。あるいは、64 ビット・ワード内の 2 ビット・エラーを検出できます。3 ビット以上のエラーは検出できません。

M144K ECC の状態は、3 ビット・ステータス・フラグ `eccstatus[2..0]` を介して通信されます。ステータス・フラグはラッチしてもしなくても構いません。ラッチする場合、出力レジスタと同じクロックおよび非同期クリア信号を使用します。ラッチしない場合、非同期でクリアすることはできません。

表 3-3 に、ECC ステータス・フラグの真理値表を示します。

表 3-3. ECC ステータス・フラグの真理値表

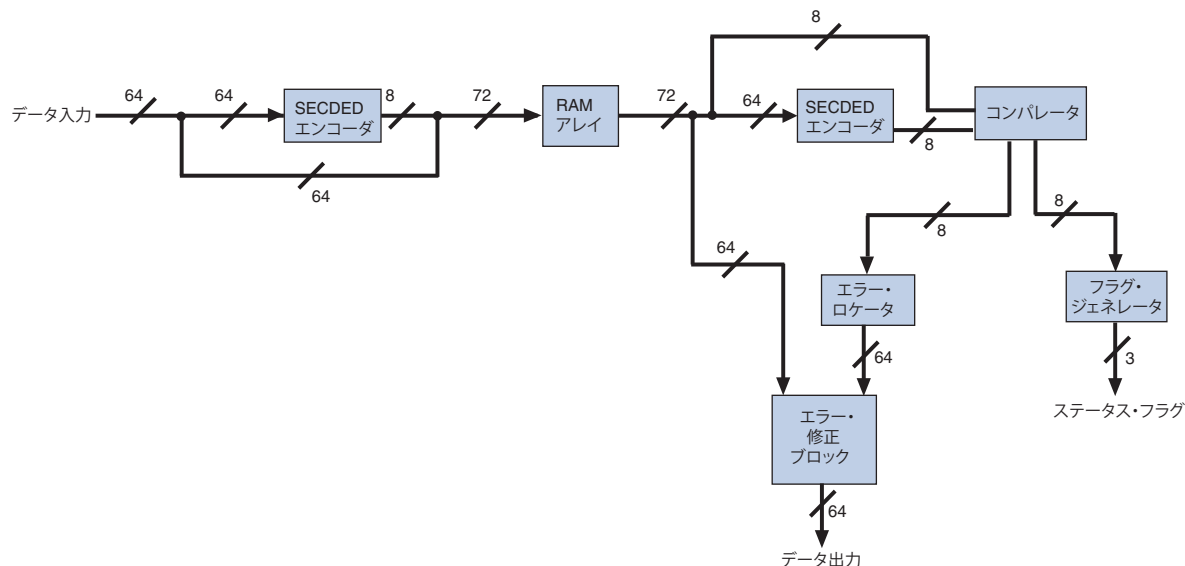
Status	<code>eccstatus[2]</code>	<code>eccstatus[1]</code>	<code>eccstatus[0]</code>
エラーなし	0	0	0
シングル・エラーおよび修正済み	0	1	1
ダブル・エラーおよび未修正	1	0	1
違法	0	0	1
違法	0	1	0
違法	1	0	0
違法	1	1	X

 ECC が有効のときには、バイト・イネーブル機能は使用できません。

 ECC が有効のときには、Read-During-Write: Old Data モードはサポートされません。

図 3-6 に、M144K ブロックの ECC ブロック図を示します。

図 3-6. M144K ブロックの ECC ブロック図




メモリ・モード

Stratix IV TriMatrix メモリ・ブロックにより、完全同期 SRAM メモリを複数の動作モードで実装することができます。M9K および M144K ブロックは、非同期メモリ（入力がラッチされない）をサポートしません。MLAB は、非同期（フロースルー）リード動作をサポートしています。

ターゲットとする TriMatrix メモリ・ブロックに応じて、以下のモードを使用することができます。

- シングル・ポート
- シンプル・デュアル・ポート
- ツールー・デュアル・ポート
- シフト・レジスタ
- ROM
- FIFO

 ROM、シングル・ポート、シンプル・デュアル・ポート、またはツールー・デュアル・ポート・モードでメモリ・ブロックを使用する場合、メモリ・ブロック入力レジスタのいずれかに対するセットアップ・タイムまたはホールド・タイムに違反すると、メモリの内容が破壊される可能性があります。これはリードおよびライトの両方の動作に当てはまります。

シングル・ポート RAM

すべての TriMatrix メモリ・ブロックは、シングル・ポート・モードをサポートしています。シングル・ポート・モードでは、同時に 1 リードまたは 1 ライト動作のいずれかを実行することができます。シングル・ポート・モードでは、リードおよびライトの同時実行はサポートされていません。図 3-7 に、シングル・ポート RAM コンフィギュレーションを示します。

図 3-7. シングル・ポート RAM (注 1)

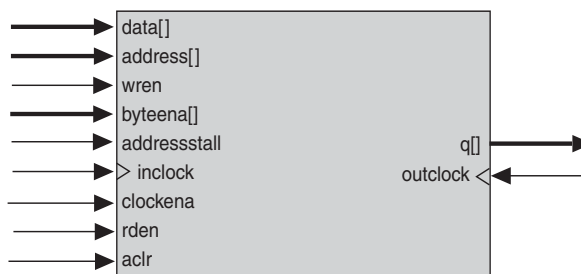


図 3-7 の注:

- (1) 2 つのシングル・ポート・メモリ・ブロックを 1 つの M9K または M144K ブロックに実装することができます。詳細は、3-5 ページの「パック・モードのサポート」を参照してください。

ライト動作中に、RAM 出力の動作をコンフィギュレーションすることができます。リード・イネーブルを無効にした状態でリード・イネーブル信号を使用してライト動作を実行する場合、RAM 出力は最新の有効なリード・イネーブル中に取得した値を保持します。ライト動作中にリード・イネーブルを有効にする場合、またはリード・イネーブル信号をまったく使用しない場合、RAM 出力は新しく書き込まれるデータ、そのアドレスに存在する「Old data」、または「Don't care」値を示します。希望の動作を選択するには、Quartus II ソフトウェアの RAM MegaWizard Plug-In Manager で、Read-During-Write 動作を「New data」、「Old data」、または「Don't care」のいずれかに設定します。この動作について詳しくは、3-20 ページの「Read-During-Write」を参照してください。

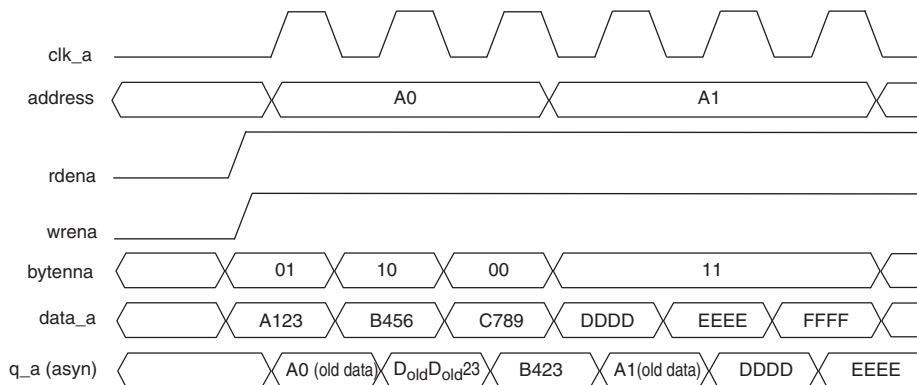
表 3-4 に、シングル・ポート・モードの TriMatrix メモリ・ブロックに対して可能なポート幅コンフィギュレーションを示します。

表 3-4. MLAB、M9K ブロック、M144K ブロック (シングル・ポート・モード) のポート幅コンフィギュレーション

	MLAB	M9K ブロック	M144K ブロック
ポート幅コンフィ ギュレーション		8K × 1	16K × 8
		4K × 2	16K × 9
	64 × 8	2K × 4	8K × 16
	64 × 9	1K × 8	8K × 18
	64 × 10	1K × 9	4K × 32
	32 × 16	512 × 16	4K × 36
	32 × 18	512 × 18	2K × 64
	32 × 20	256 × 32	2K × 72
		256 × 36	

図 3-8 に、シングル・ポート・モードでのラッチなし出力のリードおよびライト動作のタイミング波形を示します。RAM の出力をラッチしても、q 出力が 1 クロック・サイクルだけ遅延するにすぎません。

図 3-8. リードおよびライト動作のタイミング波形 (シングル・ポート・モード)



シンプル・デュアル・ポート・モード

すべての TriMatrix メモリ・ブロックは、シンプル・デュアル・ポート・モードをサポートしています。シンプル・デュアル・ポート・モードでは、異なる位置への 1 リード動作と 1 ライト動作の同時実行が可能です。ライト動作はポート A で実行されますが、リード動作はポート B で実行されます。

図 3-9 に、シンプル・デュアル・ポート・コンフィギュレーションを示します。

図 3-9. Stratix IV シンプル・デュアル・ポート・メモリ (注 1)

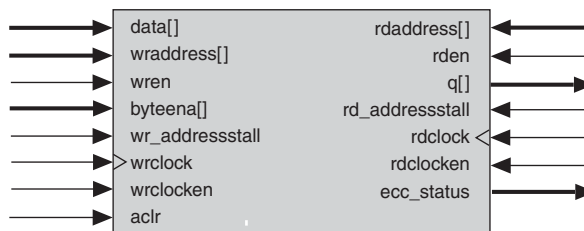


図 3-9 の注:

- (1) シンプル・デュアル・ポート RAM は、ここに示すリード/ライト・クロック・モードに加えて、入力/出力クロック・モードをサポートします。

シンプル・デュアル・ポート・メモリは、異なるリードおよびライト・データ幅をサポートします (混合幅サポート)。表 3-5 に、シンプル・デュアル・ポート・モードでの M9K ブロックのデータ幅混合の構成を示します。MLAB は、データ幅混合動作のネイティブ・サポートは行っていません。Quartus II ソフトウェアは、複数の MLAB を使用してデータ幅混合メモリを MLAB に実装することができます。

表 3-5. M9K ブロックのデータ幅混合の構成 (シンプル・デュアル・ポート・モード)

リード・ポート	ライト・ポート								
	8K × 1	4K × 2	2K × 4	1K × 8	512 × 16	256 × 32	1K × 9	512 × 18	256 × 36
8K × 1	✓	✓	✓	✓	✓	✓	—	—	—
4K × 2	✓	✓	✓	✓	✓	✓	—	—	—
2K × 4	✓	✓	✓	✓	✓	✓	—	—	—
1K × 8	✓	✓	✓	✓	✓	✓	—	—	—
512 × 16	✓	✓	✓	✓	✓	✓	—	—	—
256 × 32	✓	✓	✓	✓	✓	✓	—	—	—
1K × 9	—	—	—	—	—	—	✓	✓	✓
512 × 18	—	—	—	—	—	—	✓	✓	✓
256 × 36	—	—	—	—	—	—	✓	✓	✓

表 3-6 に、シンプル・デュアル・ポート・モードの M144K ブロックに対するデータ幅混合の構成を示します。

表 3-6. M144K ブロックのデータ幅混合の構成 (シンプル・デュアル・ポート・モード)

リード・ポート	ライト・ポート							
	16K × 8	8K × 16	4K × 32	2K × 64	16K × 9	8K × 18	4K × 36	2K × 72
16K × 8	✓	✓	✓	✓	—	—	—	—
8K × 16	✓	✓	✓	✓	—	—	—	—
4K × 32	✓	✓	✓	✓	—	—	—	—
2K × 64	✓	✓	✓	✓	—	—	—	—
16K × 9	—	—	—	—	✓	✓	✓	✓
8K × 18	—	—	—	—	✓	✓	✓	✓
4K × 36	—	—	—	—	✓	✓	✓	✓
2K × 72	—	—	—	—	✓	✓	✓	✓

シンプル・デュアル・ポート・モードでは、M9K および M144K ブロックは個別のライト・イネーブルおよびリード・イネーブル信号をサポートします。リード動作を実行しないときは、リード・イネーブル信号を Low (非アクティブ) に保持することによって電力を節約できます。ライト中に同一アドレスへのリード動作を実行することにより、「Don't care」値または「Old data」を出力することができます。希望の動作を選択するには、Quartus II ソフトウェアの RAM MegaWizard Plug-In Manager で、Read-During-Write 動作を「Don't care」または「Old data」のいずれかに設定します。この動作について詳しくは、3-20 ページの「Read-During-Write」を参照してください。

MLAB はライト・イネーブル信号のみサポートします。MLAB に対する Read-During-Write 動作は、「Don't care」、「New data」、または「Old data」のいずれかになります。指定可能な選択肢は、MLAB のコンフィギュレーションによって異なります。

図 3-10 に、シンプル・デュアル・ポート・モードでのラッチなし出力のリードおよびライト動作のタイミング波形を示します。RAM の出力をラッチしても、q 出力が 1 クロック・サイクルだけ遅延するにすぎません。

図 3-10. シンプル・デュアル・ポートのタイミング波形

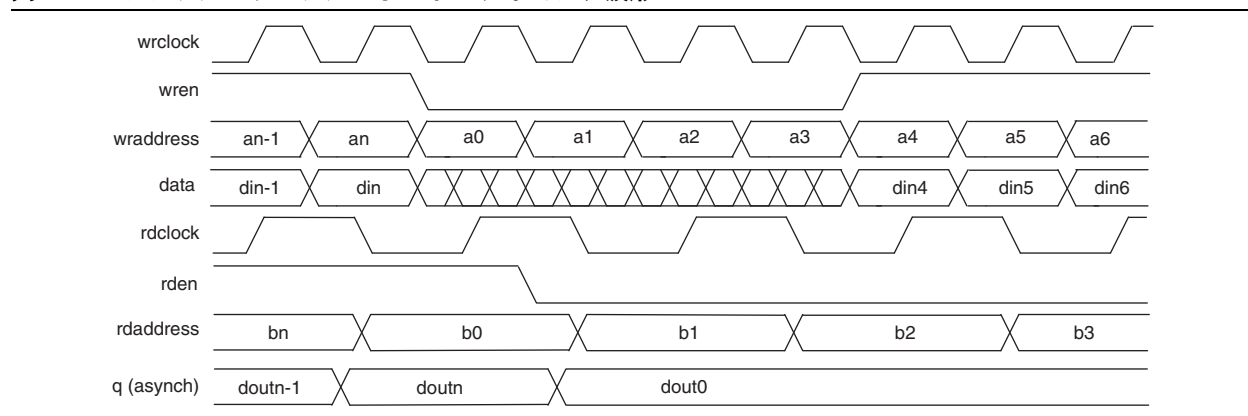
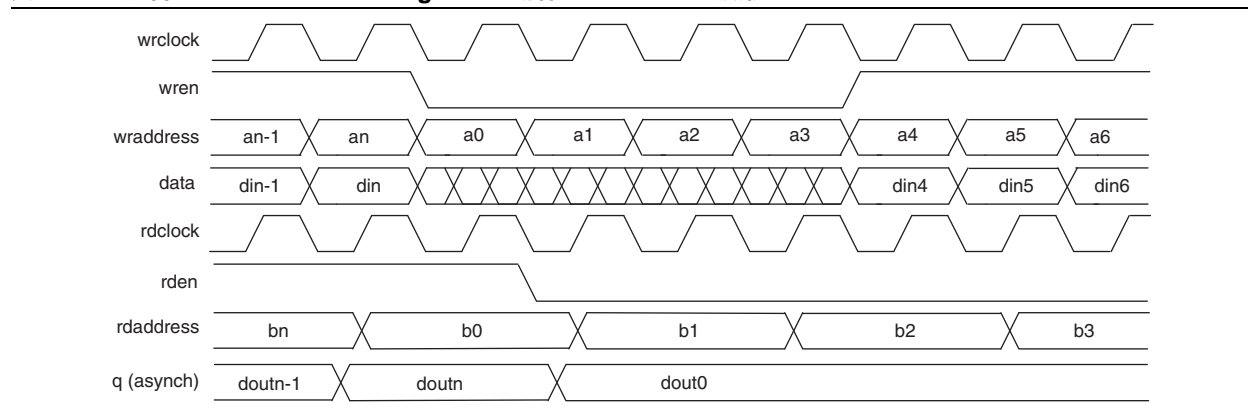


図 3-11 に、混合ポート・モードでのラッチなし出力のリードおよびライト動作のタイミング波形を示します。

図 3-11. 混合ポートの Read-During-Write 動作のタイミング波形



トゥルー・デュアル・ポート・モード

Stratix IV M9K および M144K ブロックは、トゥルー・デュアル・ポート・モードをサポートしています。トゥルー・デュアル・ポート・モードは、双方向デュアル・ポートと呼ばれ、2つの異なるクロック周波数で、2つのポート動作の任意の組み合わせ、すなわち 2 リード、2 ライト、または 1 リードおよび 1 ライトを実行できます。

図 3-12 に、トゥルー・デュアル・ポート RAM の構成を示します。

図 3-12. Stratix IV トゥルー・デュアル・ポート・メモリ (注 1)

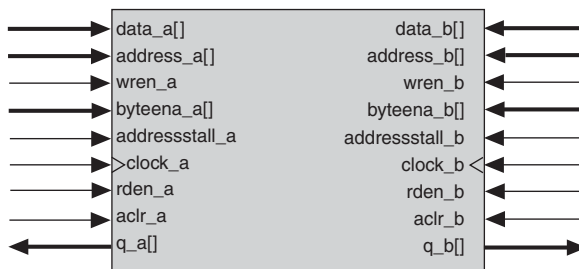


図 3-12 の注:

- (1) トゥルー・デュアル・ポート・メモリは、独立クロック・モードに加えて、入力/出力クロック・モードをサポートします。

トゥルー・デュアル・ポート・モードでの M9K および M144K ブロックの最も幅の広いビット・コンフィギュレーションは以下の通りです。

- 512 × 16-bit (× 18 ビット、パリティ付き) (M9K)
- 4K × 32-bit (× 36 ビット、パリティ付き) (M144K)

出力ドライバの数は対応するメモリ・ブロックの最大ビット幅と等しいため、より幅の広いコンフィギュレーションを選択することはできません。トゥルー・デュアル・ポート RAM は 2 つのポートに出力があるため、最大ビット幅は合計出力ドライバ数の半分です。表 3-7 に、トゥルー・デュアル・ポート・モードで可能な M9K ブロックの混合ポート幅のコンフィギュレーションを示します。

表 3-7. M9K ブロックのデータ幅混合の構成 (トゥルー・デュアル・ポート・モード)

リード・ポート	ライト・ポート						
	8K × 1	4K × 2	2K × 4	1K × 8	512 × 16	1K × 9	512 × 18
8K × 1	✓	✓	✓	✓	✓	—	—
4K × 2	✓	✓	✓	✓	✓	—	—
2K × 4	✓	✓	✓	✓	✓	—	—
1K × 8	✓	✓	✓	✓	✓	—	—
512 × 16	✓	✓	✓	✓	✓	—	—
1K × 9	—	—	—	—	—	✓	✓
512 × 18	—	—	—	—	—	✓	✓

表 3-8 に、トゥルー・デュアル・ポート・モードで可能な M144K ブロックの混合ポート幅のコンフィギュレーションを示します。

表 3-8. M144K ブロックのデータ幅混合の構成 (トゥルー・デュアル・ポート・モード)

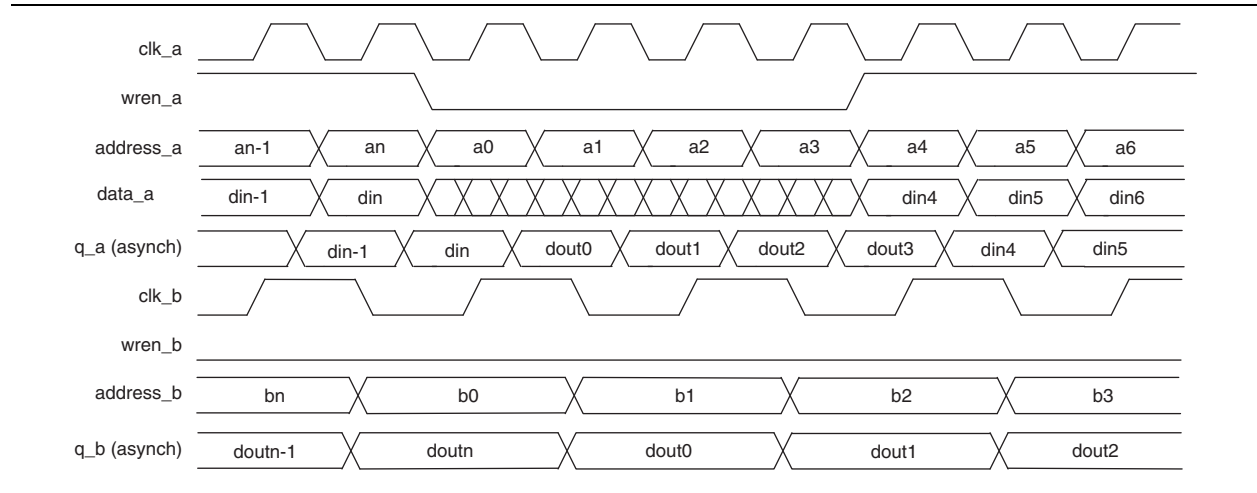
リード・ポート	ライト・ポート					
	16K × 8	8K × 16	4K × 32	16K × 9	8K × 18	4K × 36
16K × 8	✓	✓	✓	—	—	—
8K × 16	✓	✓	✓	—	—	—
4K × 32	✓	✓	✓	—	—	—
16K × 9	—	—	—	✓	✓	✓
8K × 18	—	—	—	✓	✓	✓
4K × 36	—	—	—	✓	✓	✓

トゥルー・デュアル・ポート・モードでは、M9K および M144K ブロックは、個別のライト・イネーブルおよびリード・イネーブル信号をサポートします。リード動作を実行しないときは、リード・イネーブル信号を Low (非アクティブ) に保持することによって電力を節約できます。「Read-during-write」動作に同一アドレスへのリード動作を実行することにより、そのアドレスに存在する「New Data」または「Old Data」を出力することができます。希望の動作を選択するには、Quartus II ソフトウェアの RAM MegaWizard Plug-In Manager で、Read-During-Write 動作を「New Data」または「Old Data」のいずれかに設定します。この動作については、3-20 ページの「Read-During-Write」を参照してください。

トゥルー・デュアル・ポート・モードでは、いずれのポートからでも任意のメモリ位置にいつでもアクセスできます。両方のポートから同一メモリ位置にアクセスする場合は、発生する可能性があるライト競合を回避しなければなりません。ライト競合は、両方のポートから同じアドレス位置に同時に書き込みを試みると発生します。これにより、このアドレス位置に不定のデータが格納されます。Stratix IV TriMatrix メモリ・ブロックには、競合解消回路は内蔵されていません。アドレス競合は RAM ブロックの外部で処理する必要があります。

図 3-13 に、「Read-during-write」動作を「New Data」に設定した場合のポート A でのライト動作、およびポート B でのリード動作のトゥルー・デュアル・ポートのタイミング波形を示します。RAM の出力をラッチしても、q 出力が 1 クロック・サイクルだけ遅延するにすぎません。

図 3-13. Stratix IV トゥルー・デュアル・ポートのタイミング波形



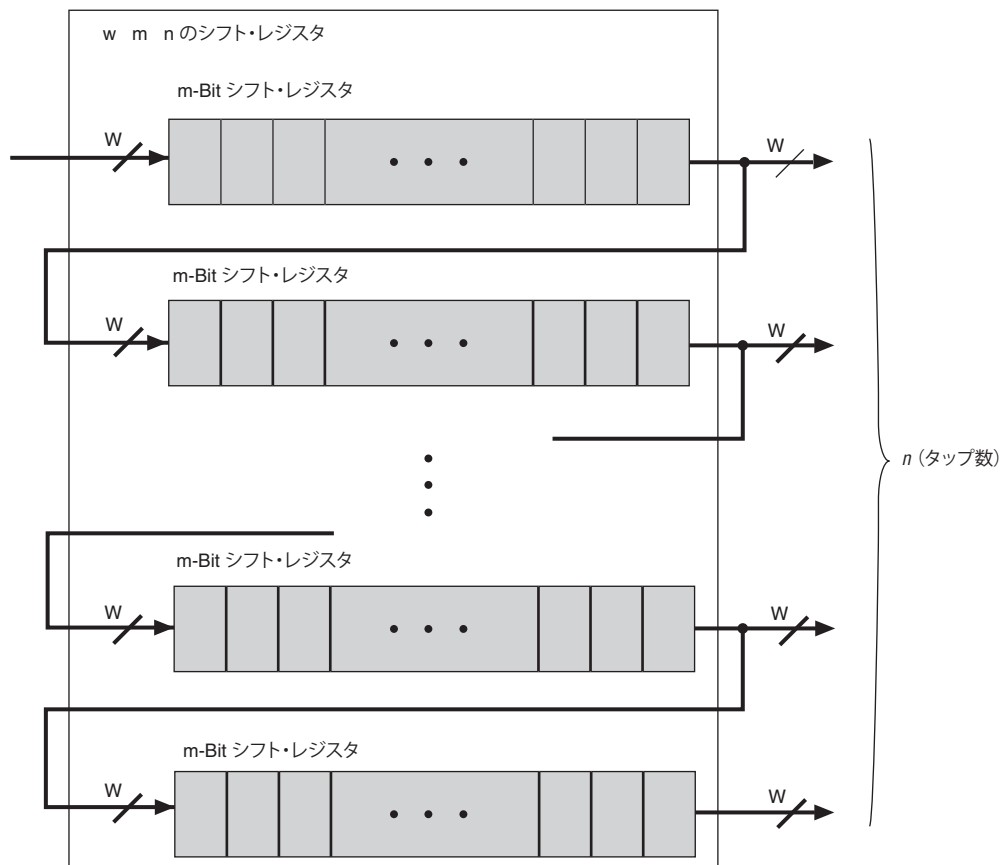
シフト・レジスタ・モード

すべての Stratix IV メモリ・ブロックは、シフト・レジスタ・モードをサポートしています。エンベデッド・メモリ・ブロック・コンフィギュレーションは、有限インパルス応答 (FIR) フィルタ、擬似ランダム数発生器、マルチチャネル・フィルタリング、自己相関関数および相互相関関数など、デジタル信号処理 (DSP) アプリケーション用のシフト・レジスタを実装できます。これらの DSP アプリケーション、およびその他の DSP アプリケーションには、ローカル・データ・ストレージが必要です。ローカル・データ・ストレージは従来、大規模なシフト・レジスタを用いて、多数のロジック・セルを消費する標準的なフリップ・フロップで実装されてきました。より効率的な代替方法は、エンベデッド・メモリをシフト・レジスタ・ブロックとして使用することです。これにより、ロジック・セルと配線リソースが節約されます。

シフト・レジスタ ($w \times m \times n$) のサイズは、入力データ幅 (w)、タップの長さ (m)、およびタップ数 (n) によって決まります。メモリ・ブロックをカスケード接続して、より大きなシフト・レジスタを実装することができます。

図 3-14 に、シフト・レジスタ・モードでの TriMatrix メモリ・ブロックを示します。

図 3-14. シフト・レジスタ・メモリのコンフィギュレーション




ROM モード

すべての Stratix IV TriMatrix メモリ・ブロックは、ROM モードをサポートしています。これらのブロックの ROM 内容は、メモリ初期化ファイル (.mif) で初期化されます。ROM のアドレス・ラインは、M9K および M144K ブロックでラッチされますが、MLAB ではラッチされない場合があります。出力はラッチしてもしなくても構いません。出力レジスタは非同期でクリアできます。ROM のリード動作は、シングル・ポート RAM コンフィギュレーションでのリード動作と同じです。

FIFO モード

すべての TriMatrix メモリ・ブロックは、FIFO モードをサポートしています。MLAB は、多数の小規模な浅い FIFO バッファを使用するデザインに最適です。デザインに FIFO バッファを実装するには、Quartus II ソフトウェア FIFO MegaWizard Plug-In Manager を使用します。シングル・クロックおよびデュアル・クロック（非同期）FIFO バッファの両方がサポートされています。

 FIFO バッファの実装について詳しくは、[『Single- and Dual-Clock FIFO Megafunctions User Guide』](#) を参照してください。

 MLABs はデータ幅混合 FIFO モードをサポートしません。

クロック・モード

Stratix IV TriMatrix メモリ・ブロックは、以下のクロック・モードをサポートしています。

- 独立
- 入力 / 出力
- リード / ライト
- シングル・クロック



メモリ・ブロック・アドレス・レジスタのセットアップ・タイムまたはホールド・タイムに違反すると、メモリの内容が破壊される可能性があります。これはリードおよびライトの両方の動作に当てはまります。

表 3-9 に、クロック・モードとメモリ・モードのサポート・マトリックスを示します。

表 3-9. TriMatrix メモリ・クロック・モード

クロック・モード	トゥルー・デュアル・ポート・モード	シンプル・デュアル・ポート・モード	シングル・ポート・モード	ROM モード	FIFO モード
独立	✓	—	—	✓	—
入力 / 出力	✓	✓	✓	✓	—
リード / ライト	—	✓	—	—	✓
シングル・クロック	✓	✓	✓	✓	✓

独立クロック・モード

Stratix IV TriMatrix メモリ・ブロックは、トゥルー・デュアル・ポート・メモリ用の独立クロック・モードを実装できます。このモードでは、各ポート（ポート A および B）で個別のクロックを使用できます。クロック A はポート A 側のすべてのレジスタをコントロールし、クロック B はポート B 側のすべてのレジスタをコントロールします。各ポートは、ポート A およびポート B のレジスタに対する独立したクロック・イネーブルもサポートします。非同期クリアは、両方のポートの出力ラッチと出力レジスタに対してのみサポートされます。

入力 / 出力クロック・モード

Stratix IV TriMatrix メモリ・ブロックは、トゥルー・デュアル・ポートおよびシンプル・デュアル・ポート・メモリ用の入力 / 出力クロック・モードを実装できます。このモードでは、入力クロックがデータ、アドレス、バイト・イネーブル、リード・イネーブル、およびライト・イネーブルなど、メモリ・ブロックへのデータ入力に関連するすべてのレジスタを制御します。出力クロックはデータ出力レジスタを制御します。非同期クリアは出力ラッチと出力レジスタでのみ使用できます。

リード/ライト・クロック・モード

Stratix IV TriMatrix メモリ・ブロックは、シンプル・デュアル・ポート・メモリ用のリード/ライト・クロック・モードを実装できます。このモードでは、ライト・クロックがデータ入力、ライト・アドレス、およびライト・イネーブル・レジスタをコントロールします。同様に、リード・クロックがデータ出力、リード・アドレス、およびリード・イネーブル・レジスタをコントロールします。メモリ・ブロックは、リードおよびライト・クロックに対する独立クロック・イネーブルをサポートします。非同期クリアはデータ出力ラッチとデータ出力レジスタでのみ使用できます。

リード/ライト・クロック・モードを使用するとき、同じアドレスの位置に同時にリード/ライトを実行すると出力のリード・データ出力は未知です。出力データが既知の値として必要な場合は、シングル・クロック・モードまたは入力/出力クロック・モードのいずれかを使用して、Megawizard Plug-In Manager での適切な「Read-During-Write」動作を選択してください。

シングル・クロック・モード

Stratix IV TriMatrix メモリ・ブロックは、トゥルー・デュアル・ポート、シンプル・デュアル・ポート、およびシングル・ポート・メモリ用のシングル・クロック・モードを実装できます。このモードでは、シングル・クロックはクロック・イネーブルと併用して、メモリ・ブロックのすべてのレジスタをコントロールします。非同期クリアは出力ラッチおよび出力レジスタでのみ使用できます。

デザインの検討事項

この項では、TriMatrix メモリ・ブロックを使用したデザインのガイドラインについて説明します。

TriMatrix メモリ・ブロックの選択

Quartus II ソフトウェアは、デザインの速度とサイズの制約を考慮して、ユーザー定義メモリを自動的にエンベデッド・メモリ・ブロックに分割します。例えば、Quartus II ソフトウェアは、デザインの性能を向上させるために、リソースが使用可能な場合はメモリを複数のメモリ・ブロックに分割します。RAM MegaWizard Plug-In Manager により、メモリを特定のブロック・サイズに割り当てることができます。

MLAB は、Quartus II ソフトウェアのエミュレーションを通じてシングル・ポート SRAM を実装できます。エミュレーションを実行することにより、使用する追加ロジック・リソースが少なくて済みます。MLAB は兼用アーキテクチャとなっているため、ブロック内にはデータ入力レジスタとデータ出力レジスタしかありません。MLAB はレジスタ・パッキングを使用して、隣接する ALM から入力アドレス・レジスタとオプションのデータ出力レジスタを取得します。



レジスタ・パッキングについて詳しくは、「Stratix IV デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール」の章を参照してください。

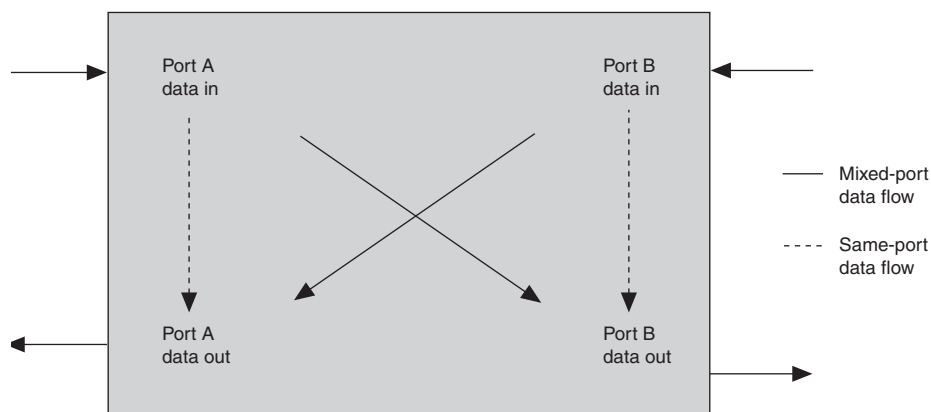
競合の解決

トゥルー・デュアル・ポート・モードでメモリ・ブロックを使用する場合、同じメモリ位置（アドレス）に対して2つのライト動作を試みる事が可能です。メモリ・ブロックには競合解決回路が組み込まれていないため、この位置には不定のデータが書き込まれます。したがって、アドレス競合を回避するために、メモリ・ブロックの外部に競合解消ロジックを実装しなければなりません。

Read-During-Write

デザインのニーズに合わせて、Stratix IV TriMatrix メモリ・ブロックの Read-During-Write 動作をカスタマイズすることができます。同一ポートと混合ポートの2種類の Read-During-Write 動作が用意されています。図 3-15 に、2つのポートの違いを示します。

図 3-15. Stratix IV の Read-During-Write データ・フロー



同一ポートに対する Read-During-Write モード

このモードは、シングル・ポート RAM またはトゥルー・デュアル・ポート RAM の同一ポートに適用されます。同一ポートに対する Read-During-Write モードでは、New Data モード（またはフロースルー）、Old Data モード、および Don't care モードの3つの中から出力を選択できます。New Data モードでは、新しいデータが書き込まれた同一クロック・サイクルの立ち上がりエッジでそのデータを使用することができます。Old Data モードでは、ライト動作が続行される前にそのアドレスにある古いデータが RAM 出力に反映されます。Don't care モードでは、RAM は Read-During-Write 動作ではドントケア値を出力します。

図 3-16 に、新しいデータによる同一ポートに対する「Read-During-Write」動作のサンプル機能波形を示します。

図 3-16. 同一ポートの Read-During-Write: New Data モード

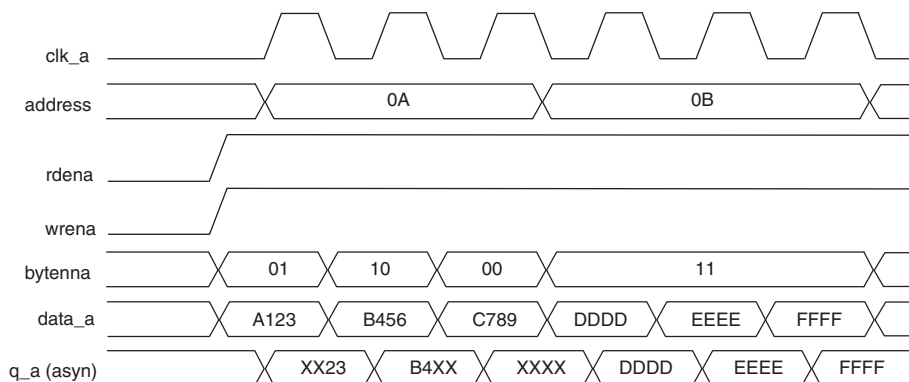
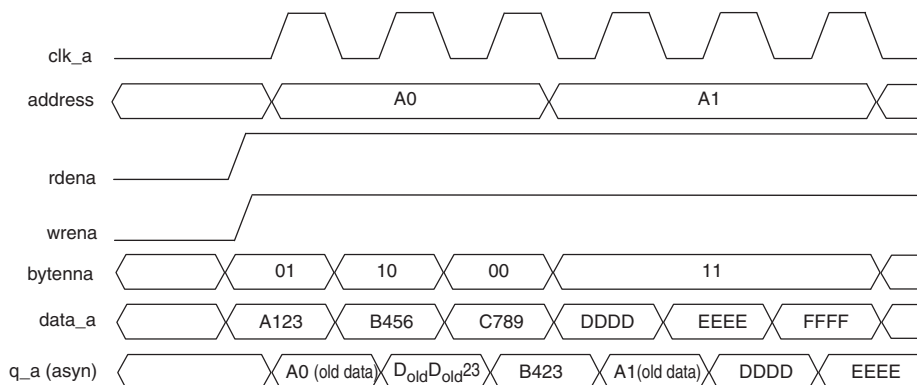


図 3-17 に、Old Data モードでの同一ポートに対する Read-During-Write 動作のサンプル機能波形を示します。

図 3-17. 同一ポートの Read-During-Write: Old Data モード



混合ポートに対する Read-During-Write モード

このモードは、同一クロックで同じアドレス位置に対して 1 つのポートはリード動作、別のポートはライト動作を実行する、シンプルまたはトゥルー・デュアル・ポート・モードの RAM に適用されます。

このモードでは、古いデータとドントケアの 2 つの出力の 1 つを選択することもできます。Old Data モードでは、異なるポートに対する Read-During-Write 動作により、RAM 出力はそのアドレス位置にある古いデータを反映します。Don't care モードでは、同じ動作によって、RAM 出力は「Don't care」または「Unknown」値になります。


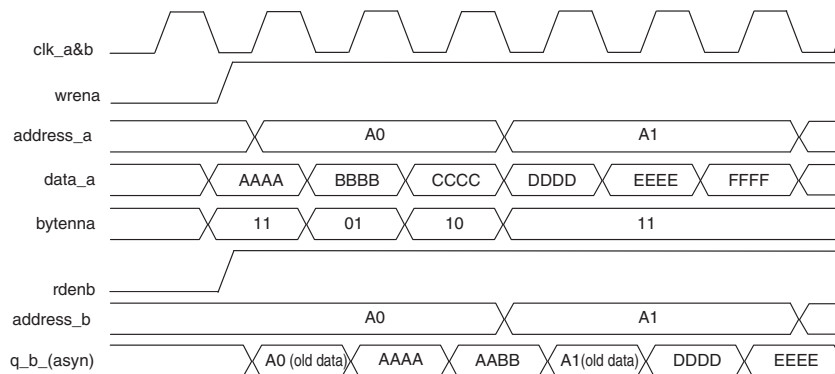
 Read-During-Write 動作は、RAM MegaWizard Plug-In Manager を通じて制御されます。希望の動作を実装する方法については、「RAM Megafunction User Guide」を参照してください。

図 3-18 に、Old Data モードでの混合ポートに対する Read-During-Write 動作のサンプル機能波形を示します。Don't Care モードでは、Old Data が「Don't Care」に置き換えられるだけです。

図 3-18. 混合ポートの Read-During-Write: Old Data モード



混合ポートの Read-During-Write は、デュアル・ポート RAM で 2 つの異なるクロックが使用されるときにサポートされません。デュアル・クロック混合ポートに対する Read-During-Write を動作する時には、出力値は不定です。

パワーアップ条件およびメモリ初期化

M9K および M144K メモリ・ブロック出力は、出力レジスタを使用されるか、またはバイパスされるかに関係なく、パワーアップ時に 0 (クリア) になります。MLAB は、出力レジスタを使用される場合はパワーアップ時に 0 になり、出力レジスタを使用されない場合はパワーアップ時にメモリ内容が読み出されます。MLAB メモリ・ブロックの初期パワーアップ値を評価するロジックを設計するときは、これを考慮に入れる必要があります。Stratix IV デバイスでは、指定された .mif ファイルがない場合、Quartus II ソフトウェアは RAM セルを 0 に初期化します。

すべてのメモリ・ブロックは .mif ファイルによる初期化をサポートしています。デザインでメモリをインスタンス化するとき、Quartus II ソフトウェアで .mif ファイルを作成し、RAM MegaWizard Plug-In Manager でそれらのファイルの使用を指定することができます。メモリが (例えば、.mif ファイルにより) 事前に初期化されない場合でも、出力をクリアした状態でパワーアップします。



.mif ファイルについて詳しくは、「RAM Megafunction User Guide」および「Quartus II ハンドブック」を参照してください。

消費電力管理

Stratix IV メモリ・ブロック・クロック・イネーブルにより、各メモリ・ブロックのクロックを制御して、AC 消費電力を低減できます。リード・イネーブル信号を使用して、必要な場合にのみリード動作が発生するようにします。デザインで Read-During-Write 動作が不要な場合は、ライト動作中またはメモリ動作が実行されていない期間にリード・イネーブル信号をディassertして消費電力を削減することができます。

Quartus II ソフトウェアは、自動的に未使用メモリ・ブロックを低消費電力モードに切り替えてスタティック消費電力を削減します。

改訂履歴

表 3-10 に、このドキュメントの改訂履歴を示します。

表 3-10. 改訂履歴

日付および ドキュメント・ バージョン	変更内容	変更の概要
2009 年 11 月 v3.0	<ul style="list-style-type: none"> ■ 表 3-2 を更新。 ■ 「シンプル・デュアル・ポート・モード」の項を更新。 ■ テキストのマイナーな編集。 ■ 図を更新。 	—
2009 年 6 月 v2.3	<ul style="list-style-type: none"> ■ 表 3-1 および図 3-2 を更新。 ■ 「はじめに」、「バイト・イネーブルのサポート」、「混合幅サポート」、「非同期クリア」、「シングル・ポート RAM」、「シンプル・デュアル・ポート・モード」、「トゥルー・デュアル・ポート・モード」、「FIFO モード」および「リード/ライト・クロック・モード」の項を更新。 ■ 検索能力を改善するために前置き文章を追加。 ■ 「結論」の項を削除。 ■ テキストのマイナーな編集。 	—
2009 年 4 月 v2.2	<ul style="list-style-type: none"> ■ 表 3-2 を更新。 	—
2009 年 3 月 v2.1	<ul style="list-style-type: none"> ■ 表 3-2 を更新。 ■ 「参考資料」の項を削除。 	—
2008 年 11 月 v2.0	3-20 ページの「パワーアップ条件およびメモリ初期化」を更新。	—
2008 年 5 月 v1.0	初版	—