

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

SIV51001-3.2

アルテラの Stratix® IV FPGA は、ハイエンド・アプリケーションに革新的なシステム帯域幅および消費電力効率を提供し、妥協のない技術革新を実現します。

Stratix IV FPGA は、TSMC (Taiwan Semiconductor Manufacturing Company) の 40 nm プロセス・テクノロジーをベースにしており、他のすべてのハイエンド FPGA を上回る、最も高いロジック集積度、最も多いトランシーバ数、最も低い消費電力を達成しています。

Stratix IV デバイス・ファミリは、異なるアプリケーションのニーズに対応する 3 種類のタイプで提供されています。

- Stratix IV E (エンハンスド) FPGA — 最大 813,050 個の等価 LE 数、33,294K ビット RAM、1,288 個の 18x18 ビット乗算器
- Stratix IV GX トランシーバ内蔵 FPGA — 最大 531,200 個の等価ロジック・エレメント (LE)、27,376K ビット RAM、1,288 個の 18 x18 ビット乗算器、最大 48 個の全二重クロック・データ・リカバリ (CDR) ベースの最高 8.5 Gbps 性能のトランシーバ
- Stratix IV GT—最大 531,200 個の等価 LE、27,376K ビット RAM、1,288 個の 18 x 18 ビット乗算器、最大 48 個の全二重クロック・データ・リカバリ (CDR) ベースの最高 11.3 Gbps 性能のトランシーバ

アルテラの完璧なハイエンド・ソリューションには、すべてのデバイス・ファミリに対応する HardCopy® IV ASIC を使用した、リスクが最低、トータル・コストも最低の量産への手段、エンド・マーケット向けにカスタマイズされたアプリケーション・ソリューションの包括的なポートフォリオ、生産性と性能の向上を実現する業界最先端の Quartus® II ソフトウェアが含まれます。

👉 今後のバージョンの Quartus II ソフトウェアで登場する Stratix IV デバイスの機能について詳しくは、[「Upcoming Stratix IV Device Features」](#) を参照してください。

👉 公開されている Stratix IV デバイス・ハンドブックの変更について詳しくは、[「Addendum to the Stratix IV Device Handbook」](#) の章を参照してください。

この章は、以下の項で構成されています。

- 1-2 ページの「特長の概要」
- 1-6 ページの「アーキテクチャの特長」
- 1-19 ページの「統合ソフトウェア・プラットフォーム」
- 1-19 ページの「製品コード情報」



## 特長の概要


以下に、Stratix IV デバイス・ファミリの特長をまとめます。

- Stratix IV GX デバイスおよび Stratix IV GT デバイ스에 搭載され、それぞれ最大 8.5Gbps および 11.3Gbps のデータ・レートをサポートする最大 48 個の全二重 CDR ベース・トランシーバ
- PCI Express (PIPE) Gen1/Gen2、ギガビット・イーサネット (GbE)、Serial RapidIO、SONET/SDH、XAUI/HiGig、(OIF) CEI-6G、SD/HD/3G-SDI、Fibre Channel、SFI-5、および Interlaken などの一般的なシリアル・プロトコルの物理レイヤ機能をサポートする専用回路
- PHY-MAC レイヤ、データ・リンク・レイヤ、およびトランザクション・レイヤ機能を実装するエンベデッド PCI Express ハード IP ブロックによる完全 PCI Express (PIPE) プロトコル・ソリューション
  - 詳しくは、[「PCI Express Compiler User Guide」](#) を参照してください。
- フィジカル・メディアにおける周波数依存損失を補正する送信側におけるプログラマブルなプリエンファシスおよび受信側におけるイコライザ回路
- チャンネルあたり 100mW (3.125Gbps 時) および 135mW (6.375 Gbps 時) のフィジカル・メディア・アタッチメント (PMA) 消費電力 (標準値)
- デバイスあたり 72,600 ~ 813,050 個の等価 LE 数
- 3 種類のサイズの RAM ブロックで構成される 7,370 ~ 33,294 K ビットの拡張 TriMatrix メモリにより、トゥルー・デュアル・ポート・メモリおよび FIFO バッファを実装
- 最大 600MHz で動作する 9x9 ビット、12x12 ビット、18x18 ビット、および 36x36 ビットの完全精度の乗算器をサポートするように構成可能な高速 DSP ブロック
- デバイスあたり最大 16 のグローバル・クロック (GCLK)、88 のリージョナル・クロック (RCLK)、および 132 のペリフェラル・クロック (PCLK)
- デバイス性能を最大化しながら消費電力を低減するプログラマブル・パワー・テクノロジー
- シングル・エンドおよび差動 I/O 規格を幅広くサポートする 24 個のモジュラー I/O バンクに、最大 1,120 のユーザー I/O ピンを配列
- 最大 24 個のモジュラー I/O バンクで、DDR、DDR2、DDR3 SDRAM、RLDRAM II、QDR II、および QDR II+ SRAM などの高速外部メモリ・インタフェースをサポート
- シリアライザ/デシリアライザ (SERDES)、ダイナミック・フェーズ・アライメント (DPA) およびソフト CDR 回路による最大 1.6 Gbps データ・レートの高速度 LVDS I/O サポート
- SGMII、ギガビット・イーサネット、SPI-4 Phase 2 (POS-PHY Level 4)、SFI-4.1、XSBI、UTOPIA IV、NPSI、および CSIX-L1 などのソース・シンクロナス・バス規格をサポート
- Stratix III から Stratix IV E へのデザイン移行時のプリント基板への影響が最小限になるように設計された Stratix IV E デバイスのピン配置

## Stratix IV GX デバイス

Stratix IV GX デバイスは、1 デバイスあたり最大 48 本の全二重 CDR ベースのトランシーバ・チャンネルを提供します。

- 48 本のトランシーバ・チャンネルのうち 32 本は、専用のフィジカル・コーディング・サブレイヤ (PCS) およびフィジカル・メディア・アタッチメント (PMA) 回路を備え、600Mbps ~ 8.5Gbps のデータ・レートをサポート
- 残りの 16 本のトランシーバ・チャンネルは、専用の PMA のみの回路を備え、600Mbps ~ 6.5Gbps のデータ・レートをサポート

 実際の 1 デバイスあたりのトランシーバ・チャンネル数は、デバイスの選択によって異なります。各デバイスの正確なトランシーバ数については、11 ページの表 1-1 を参照してください。


 トランシーバ・アーキテクチャについて詳しくは、「[Stratix IV Transceiver Architecture](#)」を参照してください

図 1-1 に、上位レベルの Stratix IV GX のチップ図を示します。

図 1-1. Stratix IV GX のチップ図 (注 1)

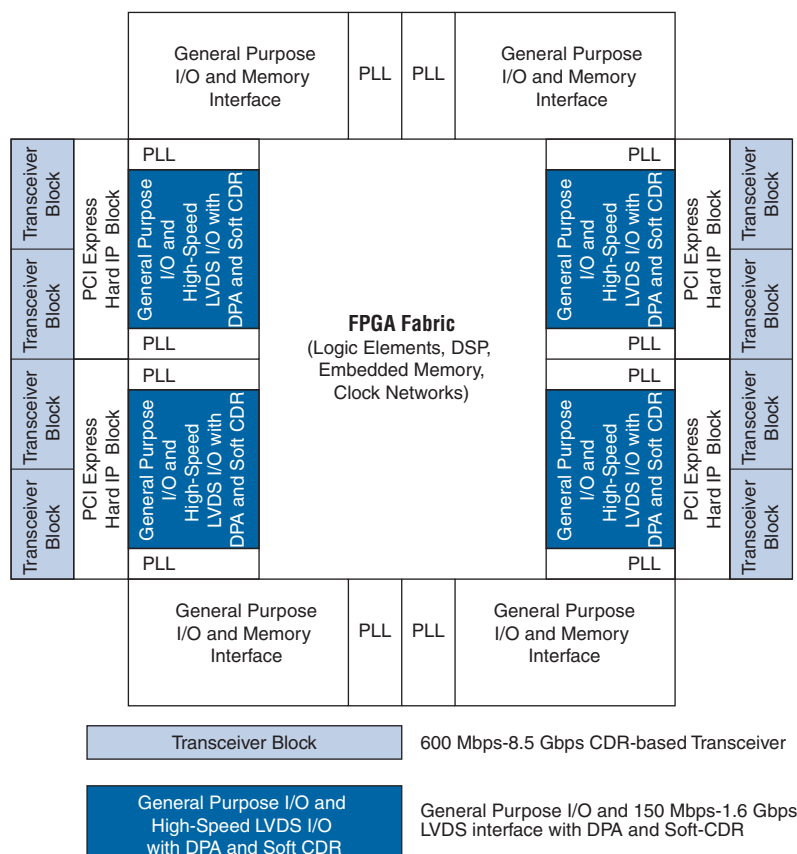


図 1-1 の注：

- (1) リソース数はデバイスの選択、パッケージの選択、またはその両方に応じて異なります。

## Stratix IV E デバイス

Stratix IV E デバイスは、高速 CDR ベース・トランシーバを必要とせず、ロジック、ユーザー I/O、またはメモリを多用するアプリケーション向けに優れたソリューションを提供します。

図 1-2 に、上位レベルの Stratix IV E のチップ図を示します。

図 1-2. Stratix IV E のチップ図 (注 1)

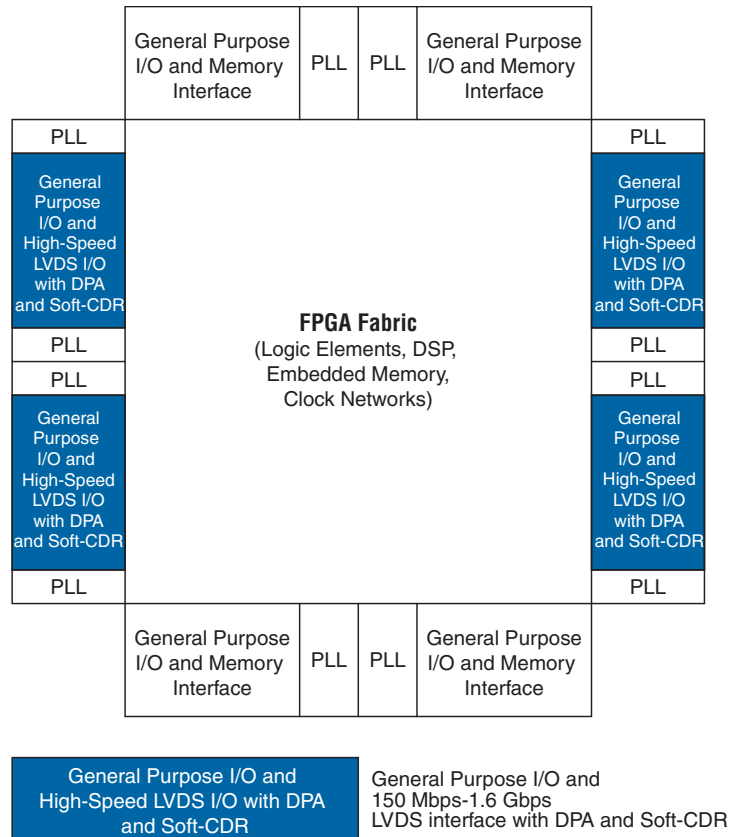



図 1-2 の注：

(1) リソース数はデバイスの選択、パッケージの選択、またはその両方に応じて異なります。

## Stratix IV GT デバイス

Stratix IV GT デバイスは、1 デバイスあたり最大 48 本の CDR ベース・トランシーバ・チャンネルを提供します。

- 48 本のトランシーバ・チャンネルのうち 32 本は、専用の PCS 回路および PMA 回路を備え、600Mbps ~ 11.3Gbps のデータ・レートをサポート
- 残りの 16 本のトランシーバ・チャンネルは、専用の PMA のみの回路を備え、600Mbps ~ 6.5Gbps のデータ・レートをサポート

 実際の 1 デバイスあたりのトランシーバ・チャンネル数は、デバイスの選択によって異なります。各デバイスの正確なトランシーバ数については、16 ページの表 1-7 を参照してください。


 Stratix IV GT デバイスおよびトランシーバ・アーキテクチャについて詳しくは、「[Stratix IV Transceiver Architecture](#)」の章を参照してください。

図 1-3 に、上位レベルの Stratix IV GT のチップ図を示します。

図 1-3. Stratix IV GT のチップ図 (注 1)

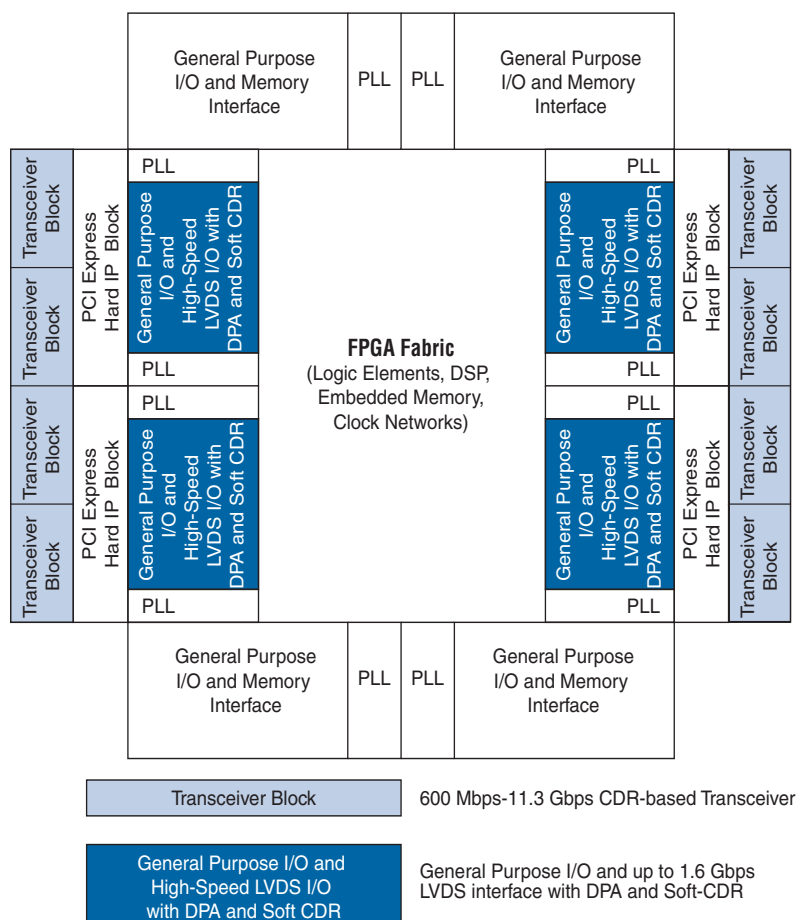


図 1-3 の注：

- (1) リソース数はデバイスの選択、パッケージの選択、またはその両方に応じて異なります。

## アーキテクチャの特長

Stratix IV デバイス・ファミリの機能は、高速トランシーバ機能と FPGA ファブリックおよび I/O 機能に分けられます。

 高速トランシーバ機能は、Stratix IV GX および Stratix IV GT デバイスにのみ適用されます。

### 高速トランシーバ機能

次の項では、Stratix IV GX および Stratix IV GT デバイスの高速トランシーバ機能について説明します。

#### 最大合計データ帯域幅

Stratix IV GX デバイスおよび Stratix IV GT デバイ스에搭載され、それぞれ最大 8.5Gbps および最大 11.3Gbps をサポートする最大 48 本の全二重トランシーバ・チャンネル。

#### 広範なプロトコル・サポート

フィジカル・レイヤは、次のシリアル・プロトコルをサポートしています。

- Stratix IV GX— PCI Express (PIPE) Gen1 および Gen2、ギガビット・イーサネット、Serial RapidIO、SONET/SDH、XAUI/HiGig、(OIF) CEI-6G、SD/HD/3G-SDI、Fibre Channel、SFI-5、GPON、SAS/SATA、HyperTransport 1.0 および 3.0、および Interlaken
- Stratix IV GT— 40G/100G イーサネット、SFI-S、Interlaken、SFI-5.1、Serial RapidIO、SONET/SDH、XAUI/HiGig、(OIF) CEI-6G、3G-SDI、Fibre Channel
- 専用プロトコルを実装するためのきわめて柔軟でコンフィギュレーションが容易なトランシーバ・データ・パス
- PCIe のサポート
  - PCI Express ハード IP ブロックに実装された PHY-MAC、データ・リンク、およびトランザクション・レイヤ回路を含む PCI Express Base Specification 2.0 に準拠する完全な PCI Express (PIPE) Gen1 および Gen2 プロトコル・スタック・ソリューション

 詳しくは、「[PCI Express Compiler User Guide](#)」を参照してください。

- ルート・コンプレックスおよびエンドポイント・アプリケーション
- x1、x4、および x8 レーン構成
- PIPE 2.0 準拠のインターフェイス
- Gen1 と Gen2 のデータ・レートを切り替えるエンベデッド回路
- 電氣的アイドル生成 / 検出、受信検出、パワー・ステート移行、レーン反転、および極性反転のための内蔵回路
- 8B/10B エンコーダおよびデコーダ、レーン同期ステート・マシン、および ±300 ppm クロック補正回路
- トランザクション・レイヤによる最大 2 本のバーチャル・チャンネル (VC) のサポート

- XAUI/HiGig のサポート
  - IEEE802.3ae 規格に準拠
  - トランスミッタではアイドル・オーダ・セット (||A||, ||K||, ||R||) を XGMII アイドル・コード・グループ (||||) に、レシーバではその逆に変換するエンベデッド・ステート・マシン回路
  - 8B/10B エンコーダおよびデコーダ、レシーバ同期ステート・マシン、レーン・デスクュー、および  $\pm 100$  ppm クロック補正回路
- ギガビット・イーサネットのサポート
  - IEEE802.3-2005 規格に準拠
  - 現在の実行時不一致に基づく、トランスミッタでのアイドル・オーダ・セット (/I1/, /I2/) の自動生成
  - 8B/10B エンコーダおよびデコーダ、レシーバ同期ステート・マシン、および  $\pm 100$  ppm クロック補正回路
- SONET/SDH コンフィギュレーションでの MSB-LSB 送信などの他のプロトコル機能、および PCI Express (PIPE) コンフィギュレーションでのスペクトラム拡散クロッキングのサポート

### 診断機能

- トランシーバ PCS および PMA 診断のためのトランスミッタ・シリアライザからレシーバ CDR へのシリアル・ループバック
- 物理的リンク診断のためのプレおよびポスト CDR からトランスミッタ・バッファへの逆シリアル・ループバック
- PCI Express ハード IP ブロックでのループバック・マスタおよびスレーブ機能

 詳しくは、「[PCI Express Compiler User Guide](#)」を参照してください。

### シグナル・インテグリティ

Stratix IV デバイスは、複数のチップ、パッケージ、およびボード・レベルの機能強化を通じてシグナル・インテグリティの課題を簡略化し、デバイスの効率的な高速データ転送を可能にします。これらの機能強化には、次のものがあります。

- Pre-Cursor ISI (Inter Symbol Interference) と Post-Cursor ISI を補償するための最大 8,192 のプリエンファシス・レベルを持つプログラマブル 3 タップ・トランスミッタ・プリエンファシス
- 最初のプリエンファシス・ポスト・タップでの最大 900% の増幅能力
- 最大 16dB の高周波ゲインを持つユーザー制御およびアダプティブ 4 ステージの受信側におけるイコライザ
- 卓越したノイズ耐性を実現する、トランスミッタおよびレシーバ PLL (Phase-Locked Loop) チャージ・ポンプ用オンダイ電源レギュレータおよび電圧制御発振器 (VCO)
- オンパッケージおよびオンチップ電源カップリングにより、高い周波数での過渡電流要件を満たすことによって、必要なオンボード・デカップリング・コンデンサ数を削減

- トランスマッタおよびレシーバの On-Chip Termination (チップ内終端) 抵抗のキャリブレーション回路

## FPGA ファブリックおよび I/O の特長

次の項では、Stratix IV FPGA ファブリックおよび I/O 機能について説明します。

### デバイス・コアの特長

- Stratix IV GX デバイスおよび Stratix IV GT デバイスでは最大 531,200 個の LE、Stratix IV E デバイスでは最大 813,050 個の LE が、ユニークで革新的なアダプティブ・ロジック・モジュール (ALM) に効率的に集積
- 1 ロジック・アレイ・ブロック (LAB) あたり 10 個の ALM が高速性能、改善されたロジック利用率、および最適な配線を提供
- さまざまなプロセス、回路、アーキテクチャの最適化および技術革新などのプログラマブル・パワー・テクノロジー
- スタティック消費電力を低減するために、プログラマブル・パワー・テクノロジーを使用して、パワー・ドリブン・コンパイル・オプションを選択可能

### エンベデッド・メモリ

- TriMatrix エンベデッド・メモリ・アーキテクチャには、3 種類のサイズのエンベデッド SRAM があり、多様なデザインのニーズに効率的に対応します。
  - 640 ビット MLAB
  - 9K ビット M9K
  - 144K ビット M144K
- 最大 600 MHz で動作する最大 33,294 K ビットのエンベデッド・メモリ
- 各メモリ・ブロックは、シングルまたはデュアル・ポート RAM、FIFO、ROM、またはシフト・レジスタとして個別にコンフィギュレーション可能

### デジタル信号処理 (DSP) ブロック

- 丸めおよび飽和機能を備え、最大 600MHz で動作する 9x9 ビット、12x12 ビット、18x18 ビット、および 36x36 ビットの完全精度の乗算器をサポートするように構成可能な柔軟な DSP ブロック
- 完全パイプライン・アーキテクチャによる高速演算とビルトイン加算、減算、および累算ユニットによる乗算結果の結合
- アダプティブ・フィルタリング、バレル・シフタ、および FIR (Finite Impulse Response) および IIR (Infinite Impulse Response) フィルタなどの高度な機能をサポートするための最適な設計

### クロック・ネットワーク

- 800 MHz の最大性能に適合するために、最大 16 GCLK および 88 RCLK を最適に配線
- Stratix IV GX デバイスおよび Stratix IV E デバイスで、それぞれ最大 112 個および 132 個の PCLK



- Stratix IV GX および Stratix IV GT デバイスで、デバイスの 1/4 のエリアにつき最大 66 個 (16 GCLK + 22 RCLK + 28 PCLK) のクロック・ネットワーク
- Stratix IV E デバイスで、デバイスの 1/4 のエリアにつき最大 71 個 (16 GCLK + 22 RCLK + 33 PCLK) のネットワーク・クロック

## PLL

- 1 デバイスあたり 3 ~ 12 個の PLL により、スペクトラム拡散入力トラッキング、プログラマブル帯域幅、クロック・スイッチオーバー、ダイナミック・リコンフィギュレーション、および遅延補正をサポート
- オンチップ PLL 電源レギュレータでノイズ・カップリングを最小化

## I/O 機能

- 1 デバイスあたり 16 ~ 24 のモジュラー I/O バンク (1 バンクあたり 24 ~ 48 個の I/O を設計、集積) を搭載し、最適な同時スイッチング・ノイズ (SSN) 対策と移行能力を実現
- シングル・エンド (LVTTTL/CMOS/PCI/PCIX)、差動 (LVDS/mini-LVDS/RSDS)、電圧リファレンス形式のシングル・エンド、および差動 (SSTL/HSTL Class I/II) I/O 規格などの I/O 規格を幅広くサポート
- シングル・エンド I/O 規格に対しては自動キャリブレーションによるチップ内直列 (RS) 終端とチップ内並列 (RT) 終端、差動 I/O に対してはチップ内差動 (RD) 終端をサポート
- シングル・エンド I/O に対するプログラマブルな出力ドライブ強度、スルー・レート・コントロール、バス・ホールド、およびウィーク・プルアップ能力
- ユーザー I/O/GND/VCC 比を 8:1:1 として、パッケージ内 (基板インタフェース) のループ・インダクタンスを低減
- プログラマブル・トランスミッタ差動出力電圧 (VOD) および高速 LVDS I/O に対するプリエンファシス

## DPA およびソフト CDR 付き高速差動 I/O

- デバイスの左側および右側にある専用回路により、150 Mbps ~ 1.6Gbps のデータ・レートで差動リンクをサポート
- Stratix IV GX デバイスでは最大 98 個の差動 SERDES、Stratix IV E デバイスでは最大 132 個の差動 SERDES、Stratix IV GT デバイスでは最大 47 個の差動 SERDES
- レシーバの DPA 回路は、ソース同期インタフェースでのチャンネル間スキューやチャンネル・クロック間スキューを自動的に補正
- レシーバのソフト CDR 回路により、最大 1.6Gbps のデータ・レート (SGMII およびギガビット・イーサネット) のエンベデッド・クロックを持つ非同期シリアル・インタフェースの実装が可能

## 外部メモリ・インタフェース

- DDR SDRAM、DDR2 SDRAM、DDR3 SDRAM、QDRIISRAM、QDR II+ SRAM、および RLDRAM II などの従来および新しいメモリ・インタフェース規格をサポート
- 最大 1,067 Mbps/533 MHz の DDR3

- 4 ～ 36 ビット（パリティ・ビットを含む）のプログラマブルな DQ グループ幅
- ダイナミック On-Chip Termination、配線パターン・ミスマッチ補正、リード・ライト・レベリング、ハーフ・データ・レート・レジスタ機能により堅牢な外部メモリ・インタフェース・ソリューションを提供

### システム・インテグレーション

- すべての Stratix IV デバイスがホット・ソケットをサポート
- 4 種類のコンフィギュレーション・モード
  - パッシブ・シリアル (PS)
  - ファースト・パッシブ・パラレル (FPP)
  - ファースト・アクティブ・シリアル (FAS)
  - JTAG コンフィギュレーション
- リモート・システム・アップグレードが可能
- コンフィギュレーション・ビットの 256 ビット高度暗号化規格 (Advanced Encryption Standard、略称 : AES) の暗号化により、デザインのコピー、リバース・エンジニアリング、改ざんからデザインを保護
- コンフィギュレーション RAM セルのためのソフト・エラー検出回路を内蔵


 どのように PLL、外部メモリ・インタフェース、I/O、高速差動 I/O、電源および JTAG ピンを基板に接続するかについて詳しくは、[「Stratix IV GX and Stratix IV E Device Family Pin Connection Guidelines」](#) および [「Stratix IV GT Device Family Pin Connection Guidelines」](#) を参照してください。

表 1-1 に、Stratix IV GX デバイスの特長を示します。

表 1-1. Stratix IV GX デバイスの特長 ( 1 / 2 )

特長	EP4SGX70		EP4SGX110			EP4SGX180			EP4SGX230			EP4SGX290					EP4SGX360					EP4SGX530							
	F780	F1152	F780	F1152		F780	F1152	F1517	F780	F1152	F1517	F780	F1152	F1517	F1760	F1932	F780	F1152	F1517	F1760	F1932	F1152	F1517	F1760	F1932				
ALM 数	29,040		42,240			70,300			91,200			116,480					141,440					212,480							
LE 数	72,600		105,600			175,750			228,000			291,200					353,600					531,200							
0.6 Gbps- 8.5 Gbps トランシーバ数 (PMA + PCS) (1)	—	16	—	—	16	—	—	16	24	—	—	16	24	—	—	16	24	24	32	—	—	16	24	24	32	16	24	24	32
0.6 Gbps- 6.5 Gbps トランシーバ数 (PMA + PCS) (1)	8	—	8	16	—	8	16	—	—	8	16	—	—	16	16	—	—	—	—	16	16	—	—	—	—	—	—	—	—
PMA のみの CMU チャネル 数 (0.6 Gbps- 6.5 Gbps)	—	8	—	—	8	—	—	8	12	—	—	8	12	—	—	8	12	12	16	—	—	8	12	12	16	8	12	12	16
PCI Express ハード IP ブロックの数	1	2	1	2		1	2		1	2		2			4	2				4	2	4							
高速 LVDS SERDES 数 (最 大 1.6 Gbps) (4)	28	56	28	28	56	28	44	88	28	44	88	—	44	88	88	98	—	44	88	88	98	44	88	88	98	44	88	88	98
SPI-4.2 リンク 数	1		1			1	2	4	1	2	4	—	2	4			—	2	4			2	4						

表 1-1. Stratix IV GX デバイスの特長 ( 2 / 2 )

特長	EP4SGX70		EP4SGX110		EP4SGX180			EP4SGX230			EP4SGX290					EP4SGX360					EP4SGX530								
	F780	F1152	F780	F1152	F780	F1152	F1517	F780	F1152	F1517	F780	F1152	F1517	F1760	F1932	F780	F1152	F1517	F1760	F1932	F1152	F1517	F1760	F1932					
M9K ブロック数 (256 × 36 ビット)	462		660		950			1,235			936					1,248					1,280								
M144K ブロック数 (2048 × 72 ビット)	16		16		20			22			36					48					64								
トータル・ メモリ (MLAB+M9K+M 144K) K ビット	7,370		9,564		13,627			17,133			17,248					22,564					27,376								
エンベデッド乗 算器数 18 × 18 (2)	384		512		920			1,288			832					1,040				1,024	1,024								
PLL 数	3	4	3	4	3	6	8	3	6	8	4	6	8	12	12	4	6	8	12	12	6	8	12	12					
ユーザー I/O 数 (3)	372	488	372	372	488	372	564	564	744	372	564	564	744	289	564	564	744	880	920	289	564	564	744	880	920	564	744	880	920
スピード・グ レード (一番左 が最速) (5)	-2×, -3, -4	-2, -3, -4	-2×, -3, -4	-2×, -3, -4	-2, -3, -4	-2×, -3, -4	-2×, -3, -4	-2, -3, -4	-2, -3, -4	-2×, -3, -4	-2×, -3, -4	-2, -3, -4	-2, -3, -4	-2×, -3, -4	-2×, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	

## 表 1-1 の注:

- (1) トランシーバの総数は、F780 パッケージのデバイスを除いて、各デバイスの左側と右側で等分されます。これらのデバイスには、デバイスの右側にのみ 8 本のトランシーバ・チャンネルが配置されています。
- (2) Four multiplier adder モード
- (3) I/O ピンの数は、すべての汎用 I/O、専用クロック・ピン、および兼用コンフィギュレーション・ピンを含みます。トランシーバ・ピンおよび専用コンフィギュレーション・ピンは、I/O ピン数に含まれていません。
- (4) 高速 LVDS SERDES ペアの総数は最低の  $R_x/T_x$  数です。
- (5) -2 と -2× スピード・グレードの Stratix IV GX デバイスのトランシーバ・チャンネルの数は異なります。-2 デバイスでは、トランシーバ CMU ブロックをトランシーバ・チャンネルとして使用できます。-2× デバイスでは、CMU ブロックをトランシーバ・チャンネルとして使用できません。使用可能なトランシーバ・チャンネルの減少に加えて、-2× デバイスのデータ・レートは 6.5Gbps に制限されます。

表 1-2 Stratix IV GX デバイスのパッケージ・オプションを示します。

表 1-2. Stratix IV GX デバイスのパッケージ・オプション (注 1)

デバイス	F780 (29 mm × 29 mm) (5)		F1152 (35 mm × 35 mm) (5)	F1152 (35 mm × 35 mm) (4), (6)		F1517 (40 mm × 40 mm) (4), (6)	F1760 (42.5 mm × 42.5 mm) (6)	F1932 (45 mm × 45 mm) (6)
	↑	—	—	↑	—	—	—	—
EP4SGX70	DF29	—	—	↑ HF35	—	—	—	—
EP4SGX110	DF29	—	↑ FF35	↓ HF35	—	—	—	—
EP4SGX180	DF29	—	↑ FF35	—	↑ HF35	↑ KF40	—	—
EP4SGX230	DF29	—	↑ FF35	—	↑ HF35	↑ KF40	—	—
EP4SGX290	—	↑ FH29 (2)	↑ FF35	—	↑ HF35	↑ KF40	↑ KF43	↑ NF45
EP4SGX360	—	↓ FH29 (2)	↓ FF35	—	↑ HF35	↑ KF40	↑ KF43	↑ NF45
EP4SGX530	—	—	—	—	↓ HH35 (3)	↓ KH40 (3)	↓ KF43	↓ NF45

表 1-2 の注：

- (1) 同一カラムにあり同じ矢印記号でマークされているデバイス・パッケージは、バーチャル・マイグレーションが可能です。
- (2) 780 ピンの EP4SGX290 および EP4SGX360 デバイスは、33 mm × 33 mm の Hybrid フリップチップ・パッケージでのみ提供されています。
- (3) 1152 ピンおよび 1517 ピンの EP4SGX530 デバイスは、42.5 mm × 42.5 mm の Hybrid フリップチップ・パッケージでのみ提供されています。
- (4) Hybrid パッケージとフリップチップ・パッケージ間で移行するときには、追加のキープアウト領域が存在します。詳細は、[「Altera Device Package Information Data Sheet」](#) を参照してください。
- (5) このカラムに記載されたデバイスには、-2x、-3、および -4 のスピード・グレードがあります。これらのデバイスにはオン・パッケージ・デカップリング・コンデンサが搭載されていません。
- (6) このカラムに記載されたデバイスには、-2、-3、および -4 のスピード・グレードがあります。各デバイスのオン・パッケージ・デカップリング・コンデンサの値について詳しくは、[表 1-3](#) を参照してください。


 オンパッケージ・デカップリングは高い周波数での過渡電流要件を満たすことによって、必要なオンボード・デカップリング・コンデンサ数を削減します。Stratix IV デバイスの [Power Delivery Network](#) デザイン・ツールはオン・パッケージ・デカップリング・コンデンサを考慮に入れて、PCB デカップリング・コンデンサ要件の減少を反映しています。

表 1-3 は Stratix IV GX デバイスのオン・パッケージ・デカップリングに関する情報です。

表 1-3. Stratix IV GX デバイスのオン・パッケージ・デカップリング情報 (注 1) (1 / 2)

製品コード		V <sub>CC</sub>	V <sub>CCIO</sub>	V <sub>CCL_GXB</sub>	V <sub>CCA_L/R</sub>	V <sub>CC1</sub> および V <sub>CCR</sub> (共有)
EP4SGX70	HF35	2×1uF + 2×470nF	バンクあたりに 10nF (2)	トランシーバ・ブロック あたりに 100nF	100nF	サイドあたりに 1×470nF + 1×47nF
EP4SGX110	HF35	2×1uF + 2×470nF	バンクあたりに 10nF (2)	トランシーバ・ブロック あたりに 100nF	100nF	サイドあたりに 1×470nF + 1×47nF

表 1-3. Stratix IV GX デバイスのオン・パッケージ・デカップリング情報 (注 1) (2 / 2)

製品コード		V <sub>CC</sub>	V <sub>CCIO</sub>	V <sub>CC_LGX</sub>	V <sub>CCA_L/R</sub>	V <sub>CCCT</sub> および V <sub>CCR</sub> (共有)
EP4SGX180	HF35 KF40	2×1 uF + 2×470nF	バンクあたりに 10nF (2)	トランシーバ・ブロック あたりに 100nF	100nF	サイドあたりに 1×470nF + 1×47nF
EP4SGX230	HF35 KF40	2×1 uF + 2×470 nF	バンクあたりに 10nF (2)	トランシーバ・ブロック あたりに 100nF	100 nF	サイドあたりに 1×470 nF + 1×47 nF
EP4SGX290	HF35 KF40 KF43 NF45	4×1 uF + 4×470 nF	バンクあたりに 10nF (2)	トランシーバ・ブロック あたりに 100nF	100nF	サイドあたりに 1×470 nF + 1×47 nF
EP4SGX360	HF35 KF40 KF43 NF45	4×1 uF + 4×470 nF	バンクあたりに 10nF (2)	トランシーバ・ブロック あたりに 100nF	100 nF	サイドあたりに 1×470 nF + 1×47 nF
EP4SGX530	HH35 KH40 KF43 NF45	4×1 uF + 4×470 nF	バンクあたりに 10nF (2)	トランシーバ・ブロック あたりに 100nF	100 nF	サイドあたりに 1×470 nF + 1×47 nF

表 1-3 の注：

- (1) 表 1-3 に示したのは発売用デバイスのオン・パッケージ・デカップリングです。エンジニアリング・サンプル (ES) デバイスのデカップリング・デザインについては、[Altera Technical Support](#) にお問い合わせください。
- (2) I/O バンク 3(\*), 4(\*), 7(\*), 8(\*) のみ。I/O バンク 1(\*), 2(\*), 5(\*), および 6(\*) には OPD がありません。

表 1-4 に、Stratix IV E デバイスの機能を示します。

表 1-4. Stratix IV E デバイスの機能

機能	EP4SE230	EP4SE360		EP4SE530			EP4SE820		
パッケージ・ピン数	780	780	1152	1152	1517	1760	1152	1517	1760
ALM 数	91,200	141,440		212,480			325,220		
LE 数	228,000	353,600		531,200			813,050		
高速 LVDS SERDES 数 (最大 1.6 Gbps) (1)	56	56	88	88	112	112	88	112	132
SPI-4.2 リンク数	3	3	4	4	6		4	6	6
M9K ブロック数 (256 × 36 ビット)	1,235	1,248		1,280			1610		
M144K ブロック数 (2048 × 72 ビット)	22	48		64			60		
トータル・メモリ (MLAB+M9K+M144K) K ビット	17,133	22,564		27,376			33,294		
エンベデッド乗算器 (18 × 18) 数 (2)	1,288	1,040		1,024			960		
PLL 数	4	4	8	8	12	12	8	12	12
ユーザー I/O 数 (3)	488	488	744	744	976	976	744 (4)	976 (4)	1120 (4)
スピード・グレード (一番左が最速)	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-2, -3, -4	-3, -4	-3, -4	-3, -4

表 1-4 の注：

- (1) I/O ピンの数は、すべての汎用 I/O、専用クロック・ピン、および兼用コンフィギュレーション・ピンを含みます。トランシーバ・ピンおよび専用コンフィギュレーション・ピンは、I/O ピン数に含まれていません。
- (2) Four multiplier adder モード。
- (3) 高速 LVDS SERDES ペアの総数は最低の R<sub>X</sub>/T<sub>X</sub> 数です。
- (4) このデータは暫定仕様です。

表 1-5 に、Stratix IV E デバイスのパッケージ・オプションを示します。

表 1-5. Stratix IV E デバイスのパッケージ・オプション (注 1)

デバイス	F780 (29 mm × 29 mm) (4), (5)	F1152 (35 mm × 35 mm) (4), (6)	F1517 (40 mm × 40 mm) (6)	F1760 (42.5 mm × 42.5 mm) (6)
EP4SE230	F29	—	—	—
EP4SE360	H29 (2)	F35	—	—
EP4SE530	—	H35 (3)	H40 (3)	F43
EP4SE820	—	H35 (3)	H40 (3)	F43

表 1-5 の注：

- (1) 同一カラムにあり同じ矢印記号でマークされているデバイス・パッケージは、バーチカル・マイグレーションが可能です。
- (2) 780 ピンの EP4SGX360 デバイスは、33 mm × 33 mm の Hybrid フリップチップ・パッケージでのみ提供されています。
- (3) 1152 ピンおよび 1517 ピンの EP4SE530 デバイスおよび EP4SE820 デバイスは、42.5 mm × 42.5 mm の Hybrid フリップチップ・パッケージでのみ提供されています。
- (4) Hybrid パッケージとフリップチップ・パッケージ間で移行するときには、追加のキープアウト領域が存在します。詳細は、[「Altera Device Package Information Data Sheet」](#) を参照してください。
- (5) このカラムのデバイスにはオン・パッケージ・デカップリング・コンデンサが搭載されていません。
- (6) このカラムのデバイスにはオン・パッケージ・デカップリング・コンデンサが搭載されています。各デバイスのオン・パッケージ・デカップリング・コンデンサの値について詳しくは、表 1-6 を参照してください。

表 1-6 に、Stratix IV E デバイスのオン・パッケージ・デカップリング情報を示します。

表 1-6. Stratix IV E デバイスのオン・パッケージ・デカップリング情報 (注 1)

製品コード		V <sub>CC</sub>	V <sub>CCIO</sub>
EP4SE360	F35	4×1 uF + 4×470 nF	バンクあたりに 10 nF
EP4SE530	H35	4×1 uF + 4×470 nF	バンクあたりに 10 nF
	H40		
	F43		
EP4SE820	H35	4×1 uF + 4×470 nF	バンクあたりに 10 nF
	H40		
	F43		

表 1-6 の注：

- (1) 表 1-6 に示したのは発売用デバイスのオン・パッケージ・デカップリングです。エンジニアリング・サンプル (ES) デバイスのデカップリング・デザインについては、[Altera Technical Support](#) にお問い合わせください。

表 1-7 に、Stratix IV GT デバイスの機能を示します。

表 1-7. Stratix IV GT デバイスの機能 (1 / 2)

機能	EP4S40G2	EP4S40G5	EP4S100G2	EP4S100G3	EP4S100G4	EP4S100G5	
パッケージのピン数	1517	1517	1517	1932	1932	1517	1932
ALM 数	91,200	212,480	91,200	116,480	141,440	212,480	
LE 数	228,000	531,200	228,000	291,200	353,600	531,200	
合計トランシーバ・チャネル数	36	36	36	48	48	36	48



表 1-7. Stratix IV GT デバイスの機能 ( 2 / 2 )

機能	EP4S40G2	EP4S40G5	EP4S100G2	EP4S100G3	EP4S100G4	EP4S100G5	
10G トランシーバ・チャンネル数 (600 Mbps - 11.3 Gbps、PMA と PCS をサポート)	12	12	24	24	24	24	32
8G トランシーバ・チャンネル数 (600 Mbps - 8.5 Gbps、PMA と PCS をサポート) (1)	12	12	0	8	8	0	0
PMA のみの CMU チャンネル数 (600 Mbps- 6.5 Gbps)	12	12	12	16	16	12	16
PCI Express ハード IP ブロックの数	2	2	2	4	4	2	4
高速 LVDS SERDES 数 (最大 1.6 Gbps) (2)	46	46	46	47	47	46	47
SP1-4.2 リンク数	2	2	2	2	2	2	2
M9K ブロック数 (256 × 72 ビット)	1,235	1,280	1,235	936	1,248	1,280	
M144K ブロック数 (2048 × 72 ビット)	22	64	22	36	48	64	
トータル・メモリ (MLAB + M9K + M144K) K ビット	17,133	27,376	17,133	17,248	22,564	27,376	
エンベデッド乗算器数 (18 × 18) 数 (3)	1,288	1,024	1,288	832	1,024	1,024	
PLL 数	8	8	8	12	12	8	12
ユーザー I/O 数 (4), (5)	654	654	654	781	781	654	781
スピード・グレード (一番左が最速)	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2, -3	-1, -2, -3

表 1-7 の注：

- (1) すべての 10G トランシーバ・チャンネルは 8G トランシーバ・チャンネルとしてコンフィギュレーションすることもできます。例えば、EP4S40G2F40 デバイスには 24 本の 8G トランシーバ・チャンネルがあり、EP4S100G5F45 デバイスには 32 本の 8G トランシーバ・チャンネルがあります。
- (2) 高速 LVDS SERDES ペアの総数は最低の  $R_x/T_x$  数です。
- (3) Four multiplier adder モード。
- (4) I/O ピンの数は、すべての汎用 I/O、専用クロック・ピン、および兼用コンフィギュレーション・ピンを含みます。トランシーバ・ピンおよび専用コンフィギュレーション・ピンは、I/O ピン数に含まれていません。
- (5) このデータは暫定仕様です。

表 1-8 に、Stratix IV GT デバイスのリソース数を示します。

表 1-8. Stratix IV GT デバイスのパッケージ・オプション (注 1)

デバイス	1517 ピン (40 mm × 40 mm) (2)	1932 ピン (45 mm × 45 mm)
<b>Stratix IV GT 40 G デバイス</b>		
EP4S40G2	F40	—
EP4S40G5	H40 (3)	—
<b>Stratix IV GT 100 G デバイス</b>		
EP4S100G2	F40	—
EP4S100G3	—	F45
EP4S100G4	—	F45
EP4S100G5	H40 (3)	F45

表 1-8 の注:

- (1) 同じ矢印の区分にあるデバイスはパーティカル・マイグレーションが可能です。
- (2) Hybrid パッケージとフリップチップ・パッケージ間で移行するときには、追加のキープアウト領域が存在します。詳細は、[「Altera Device Package Information Data Sheet」](#) を参照してください。
- (3) 1517 ピンの EP4S40G5 および EP4S100G5 デバイスは、42.5 mm x 42.5 mm の Hybrid フリップチップ・パッケージでのみ提供されています。

表 1-9 に、Stratix IV GT デバイスのオン・パッケージ・デカップリング情報を示します。

表 1-9. Stratix IV GT デバイスのオン・パッケージ・デカップリング情報 (注 1)

製品コード	V <sub>CC</sub>	V <sub>CCIO</sub>	V <sub>CCL_GXB</sub>	V <sub>CCA_L/R</sub>	V <sub>CCT_L/R</sub>	V <sub>CCR_L/R</sub>
EP4S40G2F40 EP4S100G2F40	2×1 uF + 2×470 nF	バンクあたりに 10 nF (2)	トランシーバ・ ブロックあたりに 100 nF	100 nF	100 nF	100 nF
EP4S100G3F45 EP4S100G4F45 EP4S40G5H40 EP4S100G5H40 EP4S100G5F45	4×1 uF + 4×470 nF	バンクあたりに 10 nF (2)	トランシーバ・ ブロックあたりに 100 nF	100 nF	100 nF	100 nF


表 1-9 の注:

- (1) 表 1-9 に示したのは発売用デバイスのオン・パッケージ・デカップリングです。エンジニアリング・サンプル (ES) デバイスのデカップリング・デザインについて詳しくは、[Altera Technical Support](#) にお問い合わせください。
- (2) I/O バンク 3(\*), 4(\*), 7(\*), および 8(\*) のみ。I/O バック 1(\*), 2(\*), 5(\*), および 6(\*) には OPD がありません。

## 統合ソフトウェア・プラットフォーム

Quartus II ソフトウェアは、HDL および回路図によるデザイン入力、コンパイルおよび論理合成、完全なシミュレーションおよび最新のタイミング解析、SignalTapII ロジック解析、および Stratix IV デザインのデバイス・コンフィギュレーションなどの機能に対する統合環境を提供します。Quartus II ソフトウェアは、メモリ、PLL、およびデジタル信号処理ロジックなど、多様な機能ブロックを生成するための MegaWizard™ Plug-In Manager ユーザー・インタフェースを提供します。トランシーバについては、Quartus II ソフトウェアはアプリケーション要件に基づき、トランシーバのコンフィギュレーションを通じてユーザーをガイドする ALTX MegaWizard Plug-In Manager インタフェースを提供しています。

Stratix IV GX および Stratix IV GT のトランシーバは、完全にリコンフィギュレーション可能なハードウェア、最適なシグナル・インテグリティを備えており、低消費電力および信頼性の高い高速シリアル・インタフェース・アプリケーションの実装が可能です。

 Quartus II ソフトウェアの機能について詳しくは、「[Quartus II Handbook](#)」を参照してください。

## 製品コード情報

この項では、Stratix IV E、Stratix IV GT、および Stratix IV GXT デバイスの製品コードについて説明します。図 1-4 に、Stratix IV GX および Stratix IV E デバイスの製品コードを示します。

図 1-4. Stratix IV GX および Stratix IV E デバイスの製品コード情報

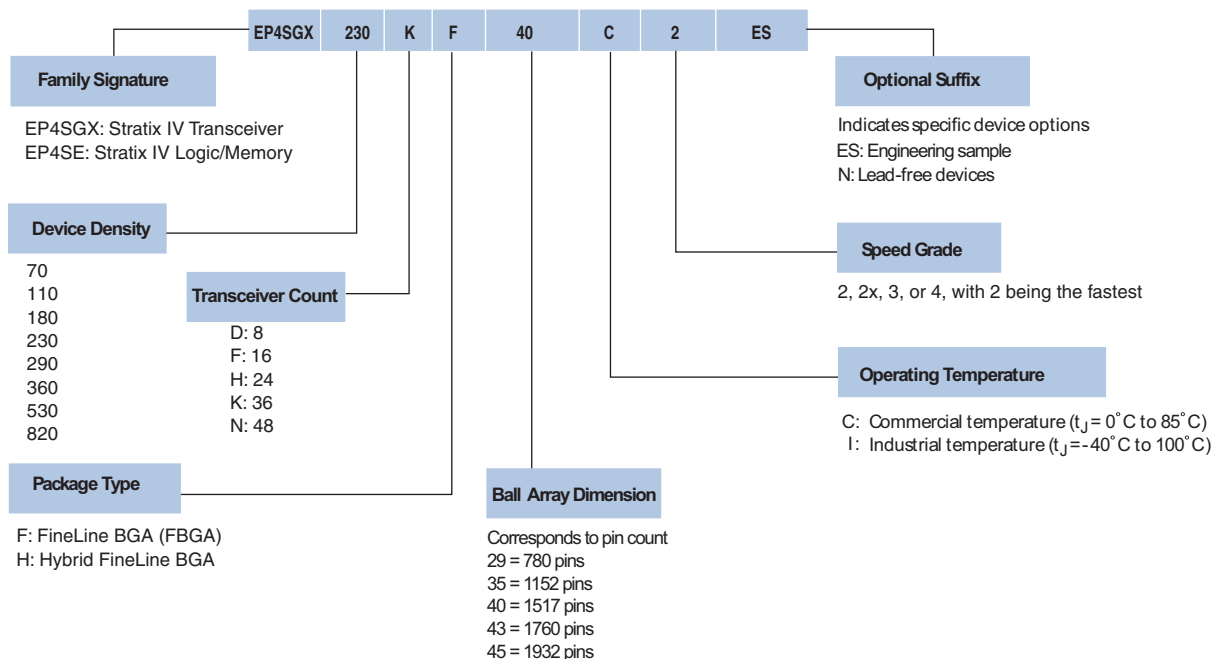
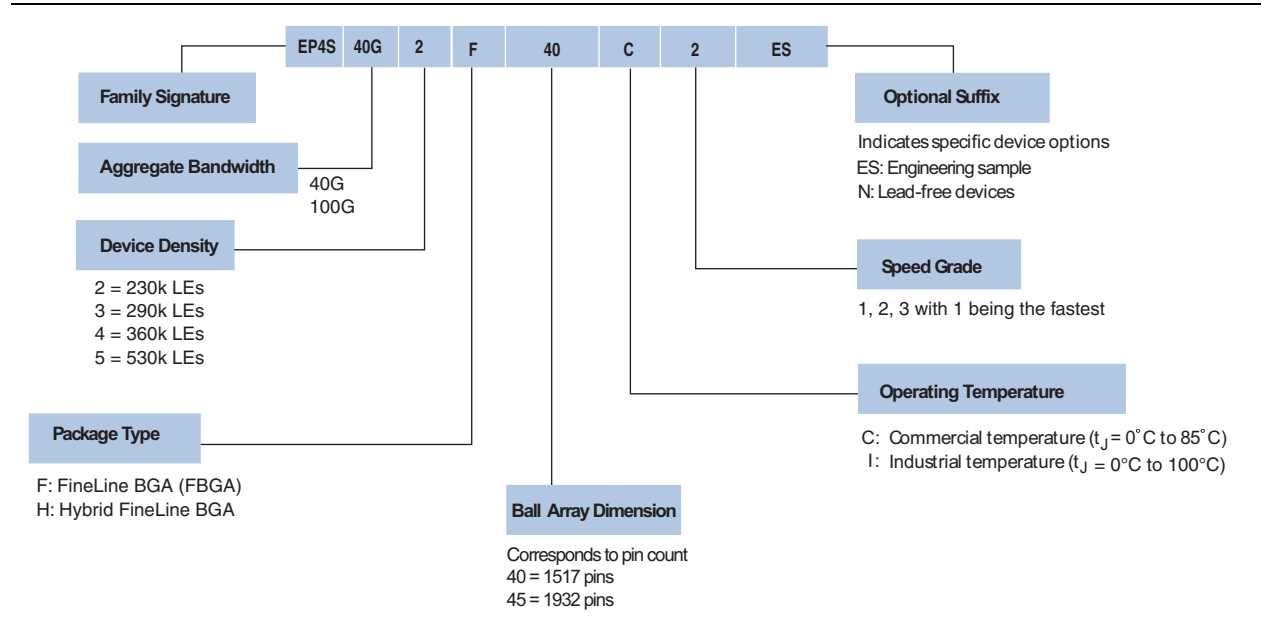


図 1-5 に、Stratix IV GT デバイスの製品コードを示します。

図 1-5. Stratix IV GT デバイスの製品コード情報



## 改訂履歴

表 1-10 に、本章の改訂履歴を示します。

表 1-10. 改訂履歴 ( 1 / 2 )

日付	バージョン	変更内容
2010年9月	3.2	新しいテンプレートに変更。
2010年3月	3.1	<ul style="list-style-type: none"> <li>■ 表 1-1、表 1-2、および表 1-7 を更新。</li> <li>■ 図 1-3 を更新。</li> <li>■ 「Stratix IV GT デバイス」の項を更新。</li> <li>■ 1 ページに 2 つの参照リンクを追加。</li> <li>■ テキストのマイナーな編集。</li> </ul>
2009年9月	3.0	<ul style="list-style-type: none"> <li>■ 「Stratix IV デバイス・ファミリの概要」、「特長の概要」、「Stratix IV GT デバイス」、「高速トランシーバ機能」、「FPGA ファブリックおよび I/O 機能」、「最大合計データ帯域幅」、「システム・インテグレーション」、および「統合ソフトウェア・プラットフォーム」の項を更新。</li> <li>■ 表 1-3、表 1-6、および表 1-9 を追加。</li> <li>■ 表 1-1、表 1-2、表 1-4、表 1-5、表 1-7、および表 1-8 を更新。</li> <li>■ 図 1-3、図 1-4、および図 1-5 を更新。</li> <li>■ テキストのマイナーな編集。</li> </ul>
2009年6月	2.4	<ul style="list-style-type: none"> <li>■ 表 1-1 を更新。</li> <li>■ テキストのマイナーな編集。</li> </ul>

表 1-10. 改訂履歴 ( 2 / 2 )

日付	バージョン	変更内容
2009年 4月	2.3	<ul style="list-style-type: none"> <li>■ 表 1-5、表 1-6、および 図 1-3 を追加。</li> <li>■ 図 1-5 を更新。</li> <li>■ 表 1-1、表 1-2、表 1-3、および 表 1-4 を更新。</li> <li>■ 「概要」、「特長の概要」、「Stratix IV GX デバイス」、「Stratix IV GT デバイス」、「アーキテクチャ機能」および「FPGA ファブリックおよび I/O 機能」の項を更新。</li> </ul>
2009年 3月	2.2	<ul style="list-style-type: none"> <li>■ 「特長の概要」、「Stratix IV GX デバイス」、「Stratix IV E デバイス」、「Stratix IV GT デバイス」、「シグナル・インテグリティ」を更新。</li> <li>■ 表 1-5 および 1-6 を削除。</li> <li>■ 図 1-4 を更新。</li> </ul>
2009年 3月	2.1	<ul style="list-style-type: none"> <li>■ 「概要」、「特長の概要」、「Stratix IV デバイスの診断機能」、「シグナル・インテグリティ」、「クロック・ネットワーク」、「DPA および Soft-CDR 付き高速差動 I/O」、「システム統合」、および「製品コード」の項を更新。</li> <li>■ 「Stratix IV GT 100G デバイス」および「Stratix IV GT 100G トランシーバ帯域幅」の項を追加。</li> <li>■ 表 1-1、表 1-2、表 1-3、および 表 1-4 を更新。</li> <li>■ 表 1-5 および 表 1-6 を追加。</li> <li>■ 図 1-3 および 図 1-4 を更新。</li> <li>■ 図 1-5 を追加。</li> <li>■ 「参考資料」の項を削除。</li> </ul>
2008年 11月	2.0	<ul style="list-style-type: none"> <li>■ 1-1 ページの「特長の概要」を更新。</li> <li>■ 1-7 ページの「Stratix IV デバイスの診断機能」を更新。</li> <li>■ 1-8 ページの「FPGA ファブリックおよび I/O の特長」を更新。</li> <li>■ 表 1-1 を更新。</li> <li>■ 表 1-2 を更新。</li> <li>■ 1-15 ページの「表 1-5 は Stratix IV GT デバイスで提供されているトランシーバの総数を示します。」を更新。</li> </ul>
2008年 7月	1.1	「概要」を改訂。
2008年 5月	1.0	初版

