



インテル® Stratix® 10 E-タイル・トランシー バー PHY ユーザーガイド



UG-20056 | 2018.11.30

最新版をウェブからダウンロード: [PDF](#) | [HTML](#)



目次

1. インテル® Stratix® 10 E-タイル・トランシーバー PHY の概要.....	3
---	---



1. インテル® Stratix® 10 E-タイル・トランシーバー PHY の概要

インテル® Stratix® 10 デバイスは、統合された高速アナログ信号調整、チップ-チップ間、チップ-モジュール間、およびバックプレーン・アプリケーションに向けたクロック・データ・リカバリー回路を装備しており、最大で 144 のトランシーバーを提供します。

インテル Stratix 10 デバイスは、PCI Express およびイーサネット・アプリケーションに向けてハード化された IP に加え、GX、GXT、あるいは GXE チャンネルの組み合わせを含んでいます。

インテル Stratix 10 デバイスには、多種多様なプロトコル実装をサポートするために、いくつかのトランシーバー・タイルのバリエーションが導入されています。このようなトランシーバー・タイルのバリエーションには、L-タイル、H-タイル、および E-タイルがあり、本ユーザーガイドでは E-タイル・トランシーバーに焦点を当てています。

ユーザーガイドの全内容は最終的な確認段階であり、後日リリースされる予定です。