



インテル® Stratix® 10 パワー・マネジメント・ ユーザーガイド

インテル® Quartus® Prime 開発デザインスイートの更新情報: **19.3**



UG-S10PWR | 2019.11.05

最新版をウェブからダウンロード: [PDF](#) | [HTML](#)

目次

1. インテル® Stratix® 10 パワー・マネジメントの概要	3
2. インテル Stratix 10 パワー・マネジメントのアーキテクチャーと機能	4
2.1. 消費電力.....	4
2.1.1. ダイナミック電力を求める式.....	4
2.2. 電力削減の手法と機能.....	4
2.2.1. SmartVID 標準電力デバイス.....	5
2.2.2. 電力遮蔽デバイス.....	11
2.2.3. 温度補償.....	11
2.2.4. DSP および M20K のパワー・ゲーティング.....	12
2.2.5. クロック・ゲーティング.....	12
2.2.6. 電源検出ライン.....	13
2.3. パワーオンリセット回路.....	13
2.3.1. POR 回路で監視される電源と監視されない電源.....	14
2.4. インテル Stratix 10 デバイスでのパワーシーケンスの考慮事項.....	14
2.4.1. インテル Stratix 10 デバイスのパワーアップ・シーケンス要件.....	15
2.4.2. パワーダウン・シーケンスの推奨事項と インテル Stratix 10 デバイス要件.....	18
2.5. 電源のデザイン.....	21
3. インテル Stratix 10 Power Management and VID インターフェイスの実装ガイド	22
3.1. インテル Stratix 10 Power Management and VID インターフェイスの開始.....	22
3.1.1. パラメーターとオプションの指定.....	22
4. インテル Stratix 10 パワー・マネジメント・ユーザーガイド・アーカイブ	26
5. インテル Stratix 10 パワー・マネジメント・ユーザーガイドの改訂履歴	27

1. インテル® Stratix® 10 パワー・マネジメントの概要

インテル® Stratix® 10 デバイスファミリーでは、SmartVID 規格パワーデバイスをすべてのスピードグレードで提供しています。より低電力の固定電圧デバイスもまた、すべてのスピードグレードで使用できますが、最速のスピードグレードは除きます。

また、インテル Stratix 10 デバイスで提供しているパワー・ゲーティング機能の対象は、デジタル信号処理 (DSP) ブロックおよび M20K メモリーブロックで、スタティック消費電力の削減に使用されていないものです。この機能は、インテル® Quartus® Prime ソフトウェアで実装可能です。このユーザーガイドでは、インテル Stratix 10 デバイスファミリーの消費電力削減機能および、インテル Stratix 10 デバイスのパワーアップおよびパワーダウンのシーケンス要件について説明します。

関連情報

- [インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン](#)
- [インテル Stratix 10 デバイス・データシート](#)

2. インテル Stratix 10 パワー・マネジメントのアーキテクチャーと機能

この章では、電力消費、消費電力削減手法、電源検出ライン機能、パワーオンリセット (POR) 要件、およびパワーアップとパワーダウン・シーケンスの要件について説明します。

2.1. 消費電力

インテル Stratix 10 デバイスの総消費電力の構成は次の通りです。

- **スタティック電力**：コンフィグレーションされたデバイスが、通電していて、ユーザークロックが動作していない場合の消費電力です。I/O やトランシーバー・アナログ回路などのアナログブロックの DC バイアス電力は除きます。
- **ダイナミック電力**：デバイスの追加の電力消費で、信号動作またはトグルによるものです。
- **スタンバイ電力**：信号動作またはトグルに無関係なアクティブ電力信号のコンポーネントです。スタンバイ電力には、I/O およびトランシーバーの DC バイアス電力が含まれますが、それに限定されません。

2.1.1. ダイナミック電力を求める式

次の式は、ダイナミック電力の計算方法を示します。P は電力、C は負荷キャパシタンス、V は電源電圧レベルです。frequency はクロック周波数を指し、データのトグルはクロックサイクルごとです。

図 -1: ダイナミック電力を求める式

$$P = \frac{1}{2} CV^2 \times frequency$$

この式では、電力がデザインに依存していることを示しています。電力は、デバイスの動作周波数、印加電圧、および負荷キャパシタンスに依存し、これはデザインの接続性に依存します。インテル Stratix 10 デバイスでは、スタティック電力とダイナミック電力を最小限に抑えるため、高度なプロセス最適化を使用します。この最適化によりインテル Stratix 10 デザインでは、特定のパフォーマンス要件を可能な限り低電力で満たすことができます。

2.2. 電力削減の手法と機能

インテル Stratix 10 デバイスでは、高度な 14 nm プロセス・テクノロジー、エンハンスド・コア・アーキテクチャー、およびさまざまな最適化を活用して、総消費電力を削減します。電力削減の手法と機能は次のとおりです。

- SmartVID 標準電力デバイス
- 電力遮蔽デバイス
- 温度補償



- DSP および M20K のパワー・ゲーティング
- クロック・ゲーティング
- 電源検出ライン

2.2.1. SmartVID 標準電力デバイス

SmartVID 機能によるプロセス変動の補正には、電圧適応を使用してプロセス分布を狭めます。この機能がサポートされているのは、-V 標準電力オプションを備えたデバイスのみです。-V 標準電力オプションのデバイスでの PWRMGT_SCL と PWRMGT_SDA ピンの接続は、Power Management BUS (PMBus™) マスターと PMBus スレーブモードの両方で行ってください。追加の PWRMGT_ALERT ピンが必要になるのは、インテル Stratix 10 デバイスのコンフィグレーションを PMBus スレーブモードで行う場合です。必要な接続はすべて、回路基板とインテル Quartus Prime 開発ソフトウェアで設定してください。

これらのピンを基板上で接続する方法に関する詳細は、[インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン](#)を参照してください。

インテル Quartus Prime 開発ソフトウェアでの接続設定の手順については、このドキュメントの [パラメーターとオプションの指定](#)の項を参照してください。

注意:

インテル Stratix 10 標準電力デバイス (-1V、-2V、-3V の電源グレード) は SmartVID デバイスです。各 SmartVID デバイス用のコア電圧供給 (V_{CC} および V_{CCP}) の駆動は、PMBus 準拠の電圧レギュレーターで行う必要があります。レギュレーターは、インテル Stratix 10 -V デバイス専用で、インテル Stratix 10 デバイスへの接続は、PMBus 経由で行われます。インテル Stratix 10 標準電力デバイスでは、PMBus 準拠の電圧レギュレーターを各デバイスに使用することが必須です。インテル Stratix 10 デバイスのコンフィグレーションまたは機能に異常が発生するのは、コア電圧の駆動が PMBus 非準拠のレギュレーターによって行われ、固定出力電圧が使用された場合です。

インテルでは、各インテル Stratix 10 デバイスに必要な最適な電圧レベルのヒューズブロックへのプログラムをデバイスの製造時に行います。セキュア・デバイス・マネージャー (SDM) の Power Manager では、これらの値を読み出し、それを外部の電力レギュレーターまたはシステムのパワー・コントローラーに伝達します。これは、PMBus インターフェイスを介して行われます。

SmartVID 機能により、電力レギュレーターでは、インテル Stratix 10 デバイスに V_{CC} および V_{CCP} 電圧レベルを供給することができます。この電圧レベルによって、特定のデバイスのスピードグレード性能が維持されます。SmartVID 機能を使用する場合、

1. インテル Stratix 10 デバイスの初期パワーアップは公称電圧レベル 0.9 V までで、 V_{CC} と V_{CCP} の両方で同じです。
2. インテル Stratix 10 デバイスの SmartVID 値が決定されて外部電圧レギュレーターに伝達されると、 V_{CC} と V_{CCP} の両方の電圧調整が、SmartVID 値に基づいて行われます。

関連情報

- [インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン](#)
- [パラメーターとオプションの指定](#) (22 ページ)

2.2.1.1. インテル Stratix 10 デバイスの SmartVID 機能の実装

SmartVID 機能をサポートするデバイスには SmartVID 値が備えられており、そのヒューズブロック内へのプログラミングは、デバイス製造中に行われます。SmartVID 値で表される電圧レベルの範囲は、0.8 V から 0.94 V です。各デバイスでは、それぞれ固有の SmartVID 値を備えています。

SmartVID 値の外部レギュレーターまたはシステム電力コントローラーへの送信は、PMBus インターフェイスを介して行われます。SmartVID 値を受信すると、調整可能なレギュレーターにより、 V_{CC} と V_{CCP} の電圧レベルが調整され、SmartVID 値で指定された電圧になります。

インテル Stratix 10 デバイスによる SmartVID 設定は、コンフィグレーション・プロセスの初期ステージで実行されます。SmartVID プロセスでは、 V_{CC} と V_{CCP} の電圧レベルをユーザーモードで継続的に監視します。Power Manager では、温度監視と電圧調整を必要に応じて行います。詳細については、温度補償の項を参照してください。

表 1. SmartVID レギュレーター要件

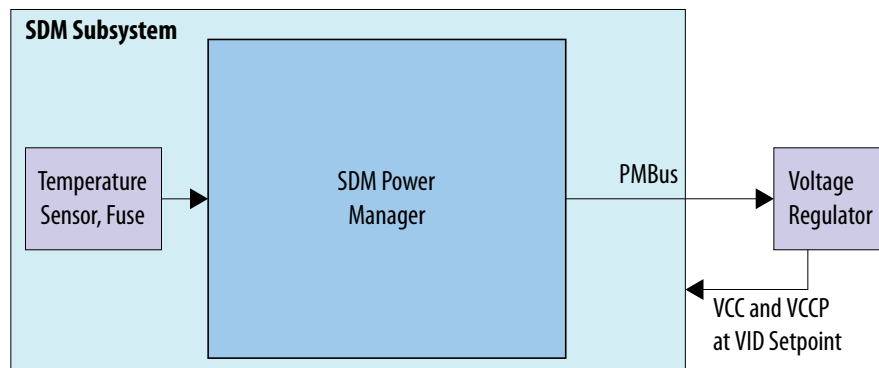
仕様	値
電圧範囲	0.8 V - 0.94 V
電圧ステップ	10 mV
ランプ時間	<ul style="list-style-type: none"> 非 CvP - 10 mV/10 ms から 10 mV/20 μs プロトコル経由コンフィグレーション (CvP) - 10 mV/60 μs から 10 mV/20 μs ⁽¹⁾

関連情報

- [温度補償 \(11 ページ\)](#)
- [推奨動作条件](#)
電圧範囲仕様に関する詳細情報を提供しています。

2.2.1.2. SDM Power Manager

図 -2: SDM Power Manager ブロック図



インテル Stratix 10 デバイスでは、SmartVID 機能の管理は SDM サブシステムによって行われます。SDM サブシステムのパワーアップが行われるのは、 V_{CC} と V_{CCP} の電圧レベルが 0.9 V までパワーアップした後です。SDM Power Manager では、SmartVID によってプログラムされた値を読み出し、この値を外部の電圧レギュレーターへ伝達するには、PMBus インターフェイスを使用します。

(1) システムでの CvP 機能のサポートおよび、初期パワーアップ時の PCI Express* (PCIe*) リンクアップ・タイミング・バジェットのある場合、最小ランプ時間は 10 mV/60 μ s です。

SDM Power Manager には次のステージがあります。

- 初期/シャットダウン・ステージ
 - V_{CC} と V_{CCP} のパワーアップを SmartVID でプログラムされた値とデバイス温度に基づいて行います。
 - FPGA をコンフィグレーションし、FPGA をユーザーモードに切り替えます。
- 監視ステージ
 - 温度を監視し、 V_{CC} と V_{CCP} を更新します。

シャットダウン・ステージは、デバイスのリコンフィグレーション中にトリガーされます。

2.2.1.2.1. PMBus Master モード

PMBus マスターモードでは、初期ステージの間に、SDM Power Manager による V_{CC} と V_{CCP} のパワーアップを、SmartVID でプログラムされた値とデバイス温度に基づいた電圧レベルまで行ってから、FPGA のコンフィグレーションを開始します。(監視ステージで) ユーザーモードに入った後、SDM Power Manager では温度変化を監視し、 V_{CC} および V_{CCP} 出力電圧値を更新する必要があるかどうかを決定します。電圧の更新が必要な場合、SDM Power Manager では、電圧値の特定のヒューズ値と現在の温度に基づいて行い、必要な電圧値を電圧レギュレーターに PMBus を介して送信します (PWRMGT_SCL および PWRMGT_SDA)。

注意: PMBus モードでのサポートは、1.8 V I/O 規格のみです。

図 -3: PMBus Master モード

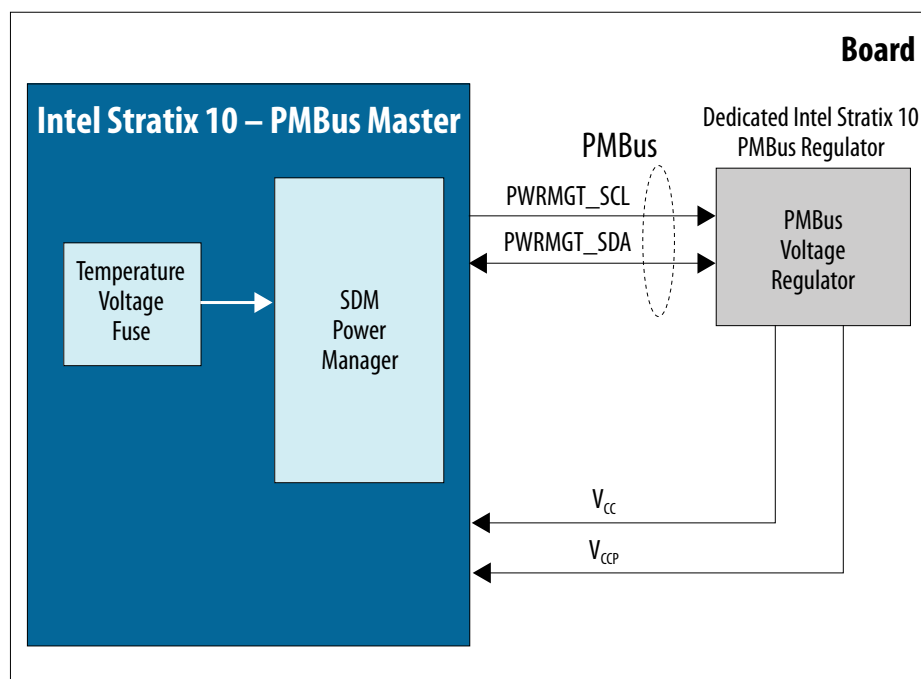


表 2. PMBus Master モードでサポートされているコマンド

コマンド名	コマンドコード	PMBus トランザクション・タイプ	バイト数
PAGE ⁽²⁾	00h	バイト書き込み	1
VOUT_MODE ⁽³⁾	20h	バイト読み出し	1
VOUT_COMMAND	21h	ワード書き込み	2
READ_VOUT	8Bh	ワード読み出し	2
MFR_ADC_CONTROL ⁽⁴⁾	D8h	バイト書き込み	1

マルチマスター・モード

PMBus マスターモードでは、マルチマスター・モードをサポートしています。

複数のデバイスが同時に通信を開始すると、バスに最も多くのゼロを書き込むデバイスまたは最も遅いデバイスが、アービトレーションを達成します。他のデバイスは、バス上の動作を直ちに中止します。進行中のバス通信がある場合、すべてのデバイスは通信を検出し、通信を中断しないでください。デバイスは、バスへの通信を開始する前に、停止条件が現れるのを待つ必要があります。

このモードでは、すべてのマスターデバイスがマルチマスター・システム内のマルチマスターである必要があります。シングルマスター・システムはアービトレーションを理解しない可能性があり、ビジー検出メカニズムは予測できない結果を引き起こす可能性があります。

関連情報

[Power Management and VID パラメーター \(23 ページ\)](#)

2.2.1.2.2. PMBus Slave モード

インテル Stratix 10 デバイスのコンフィグレーションは、PMBus スレーブモードで、外部電力管理コントローラーを PMBus マスターとして使用して行うこともできます。インテル Stratix 10 デバイスのコンフィグレーションを PMBus スレーブモードで行うときは、追加の PWRMGT_ALERT ピンの接続を既存の PWRMGT_SCL ピンと PWRMGT_SDA ピンの接続中に行ってください。

注意: PMBus モードでのサポートは、1.8 V I/O 規格のみです。

-
- (2) これはオプションのコマンドです。このコマンドを適用できるのは、PAGE コマンド・パラメーターを有効にした場合のみです。詳細については、Power Management and VID パラメーターの項を参照してください。
- (3) これはオプションのコマンドです。このコマンドを適用できるのは、電圧出力形式パラメーターで Auto discovery を選択した場合のみです。詳細については、Power Management and VID パラメーターの項を参照してください。
- (4) このコマンドが送信されるのは、デバイスタイプを LTM4677 に設定した場合のみです。

図 -4: PMBus Slave モード

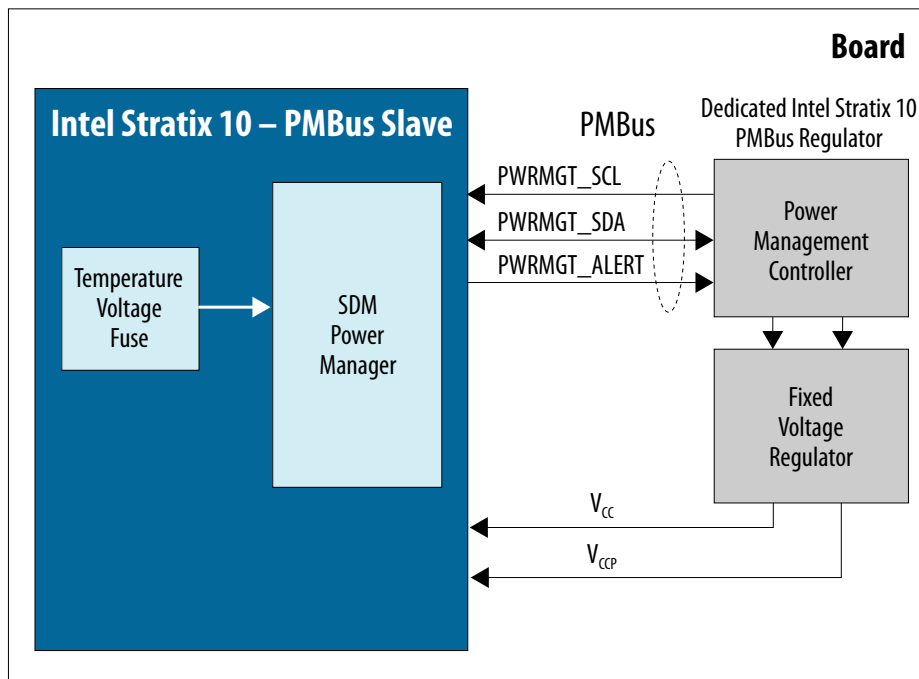
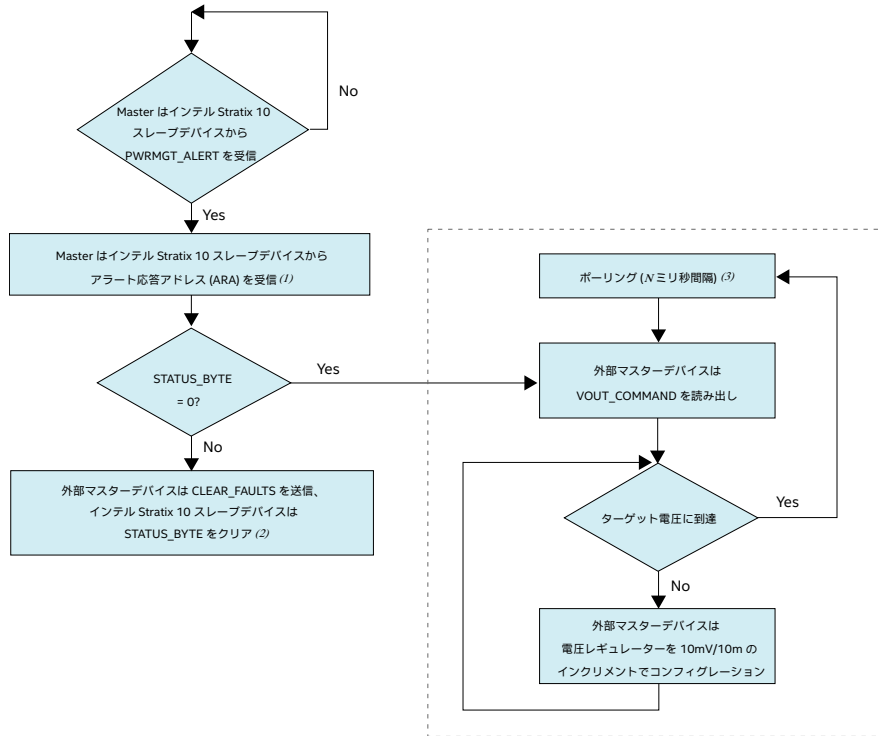


表 3. PMBus Slave モードでサポートされているコマンド

コマンド名	コマンドコード	デフォルト	PMBus トランザクション・タイプ	バイト数
CLEAR_FAULTS	03h	—	バイト送信	0
VOUT_MODE	20h	40h	バイト読み出し	1
VOUT_COMMAND	21h	—	ワード読み出し	2
STATUS_BYTE	78h	00h	バイト読み出し	1

次の図が示すのは、PMBus スレーブモードでの外部電源管理コントローラーのステージフローです。

図 -5: PMBus スレーブモードでの外部電源管理コントローラーのステージフロー



注:

(1) 以下は、ALERT 信号をアサートまたはデアサートするために使用されるアラート応答アドレス (ARA) フローの詳細です。

- スレーブモードで動作する場合、スレーブデバイスは ALERT 信号を使用して、更新が必要であることをマスターデバイスに示します。
- ALERT 信号を受信すると、外部マスターデバイスは ARA フローを使用して、どのスレーブデバイスが ALERT 信号をアサートしたかを判断します。
- ARA フローは、マスターデバイスから予約済みの「SMBus Alert Response Address」(0x0C) に読み出される1バイトのプロードキャストです。
- ALERT 信号をアサートしたスレーブデバイスは、この ARA フローにアドレスで応答します。
- 外部マスターデバイスは、提供されたアドレスを使用して、正しいスレーブデバイスへの通信を指示します。スレーブデバイスは ALERT 信号をデアサートします。

注: インテル Stratix 10 デバイスが ALERT 信号をアサートするには次の2つの条件があります。

- 電圧の更新が必要な場合。
- エラーが発生した場合。例えば、外部マスターデバイスから無効なコマンド、または無効なデータ形式が送信された場合。

(2) STATUS_BYTE がゼロに等しい場合、外部マスターデバイスは VOUT_COMMAND を読み出します。マスターデバイスとスレーブデバイス間の通信が原因でエラーが発生し、外部マスターデバイスが CLEAR_FAULT を送信する場合、STATUS_BYTE はゼロになりません。

(3) Nは200ミリ秒未満である必要があります。

PMBus スレーブモードの インテル Stratix 10 デバイスでは、VOUT_COMMAND 値の送信を直接フォーマットでのみ行います。実際の電圧値を読み出すには、次の式を使って VOUT_COMMAND 値を インテル Stratix 10 デバイスから変換します。

図 -6: Direct フォーマットの数式

$$X = \frac{1}{m} (Y \times 10^{-R} - b)$$



この式では、direct フォーマット値の変換方法を示しています。条件は、

- X は計算された実数値で、単位は mV。
- m は勾配係数で、2 バイトの 2 の補数の整数。
- Y は 2 バイトの 2 の補数の整数で、インテル Stratix 10 デバイスから受け取る。
- b はオフセットで、2 バイトの 2 の補数の整数。
- R は指数で、1 バイトの 2 の補数の整数。

次の例では、外部電源管理コントローラーで インテル Stratix 10 デバイスから値を取得する方法を示しています。VOUT_COMMAND で使用される係数は次の通りです。

- m = 1
- b = 0
- R = 0

外部電源管理コントローラーで 0384h の値を取得した場合、それは次と同等です。

$$X = (1/1) \times (0384h \times 10^{-0} - 0) = 900 \text{ mV} = 0.90 \text{ V}$$

2.2.2. 電力遮蔽デバイス

インテル Stratix 10 電力遮蔽デバイスは、-2L および-3X オプションで使用可能です。電源遮蔽デバイスで提供されるスタティック電力は、SmartVID -V 電源オプション機器よりも低くなります。-2L および-3X の電力遮蔽デバイスは固定電圧電源で動作し、PMBus レギュレーターを使用する必要はありません。

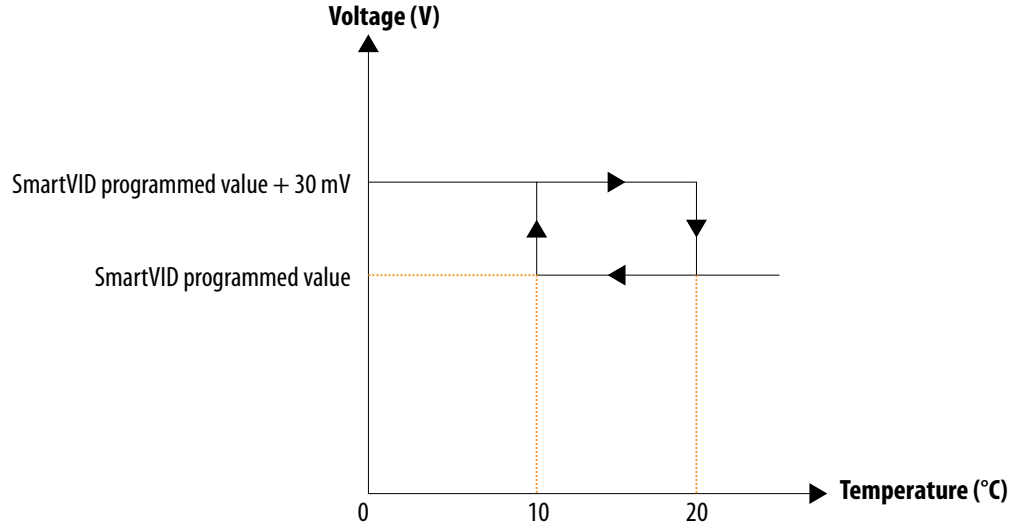
2.2.3. 温度補償

インテル Stratix 10 デバイスでは、より低温での性能低下の補償が電圧を上げることで可能です。電圧を上げるとダイナミック消費電力が増加しますが、これは低温でのリークの減少によって相殺され、低温での総消費電力を高温の場合よりもさらに低くすることができます。

SmartVID 機能では、このダイナミックな電圧調整をサポートしています。SDM Power Manager では、温度変化をチェックし、温度がしきい値を超える場合は新しい VID 値を更新します。

図 -7: インテル Stratix 10 デバイスでの SmartVID の温度補償 (暫定)

SDM では、温度検出を通常 100 ミリ秒ごとに行い、電圧調整のために外部の電力管理システムと通信します。SDM による調整が行われるのは、センサーで 10°C 以下または 20°C 以上の温度設定を検出した後です。



次に示すのは、SmartVID 値に変更がある場合のプロセスです。

- インテル Stratix 10 デバイスが PMBus マスターとして動作する場合、SDM は関連コマンドを送信して、新しい SmartVID 値を使用して外部電圧レギュレーターの電圧を調整します。
- インテル Stratix 10 デバイスが PMBus スレーブとして動作する場合、外部電力管理コントローラーは 200 ミリ秒以下ごとに発行される VOUT_COMMAND で新しい SmartVID 値を取得し、新しい SmartVID 値で電圧レギュレーターを設定します。

2.2.4. DSP および M20K のパワー・ゲーティング

DSP ブロックと M20K メモリーブロックのパワー・ゲーティングのイネーブルは、コンフィグレーション RAM (CRAM) ビットを介して行われます。インテル Stratix 10 デバイスでのパワー・ゲーティングは、DSP ブロックと M20K メモリーブロックの両方に対してサポートされています。デフォルトでインテル Quartus Prime 開発ソフトウェアでは、自動コンフィグレーションによって未使用の DSP ブロックと M20K メモリーブロックをパワー・ゲーティングします。

2.2.5. クロック・ゲーティング

クロック・ゲーティングを使用してダイナミック消費電力の削減ができます。アプリケーションがアイドル状態のとき、そのクロックは一時的にゲートされ、ゲート解除はウェイクアップ・イベントに基づいて行われます。これには、ユーザーロジックを使用して、グローバルクロック (GCLK) およびセクタークロック (SCLK) をイネーブルまたはディスエーブルにします。

ダイナミック消費電力の削減を実行するため、デザインで未使用の回路のクロック信号をインテル Stratix 10 デバイス内でゲーティングします。セクター・クロック・ゲーティングは乗算器レベルで実行されます。

FPGA デザインの大部分のクロック・ゲーティングによって、著しい電流変化が短時間で生じることがあります。これは、ゲーティングされた回路がイネーブルまたはディスエーブルになっているときです。このクロック・ゲーティングにより生じる最大電流ステップのサイズ設定では、発生するノイズが、最大許容



AC ノイズ仕様を超えないようにする必要があります。この仕様は、PCB 上の PDN デカップリングのデザインによって決まります。電流ステップのサイズ制御には、大きなゲート領域をより小さいサブ領域に分割し、その領域をステージ化して、パワー・ゲーティングへの出入りを段階的に行います。

2.2.6. 電源検出ライン

インテル Stratix 10 デバイスでは、電源検出ライン機能をサポートしています。VCCLSENSE ピンおよび GNDSENSE ピンは差動リモート検出ピンであり、V_{CC} 電源の監視に使用されます。

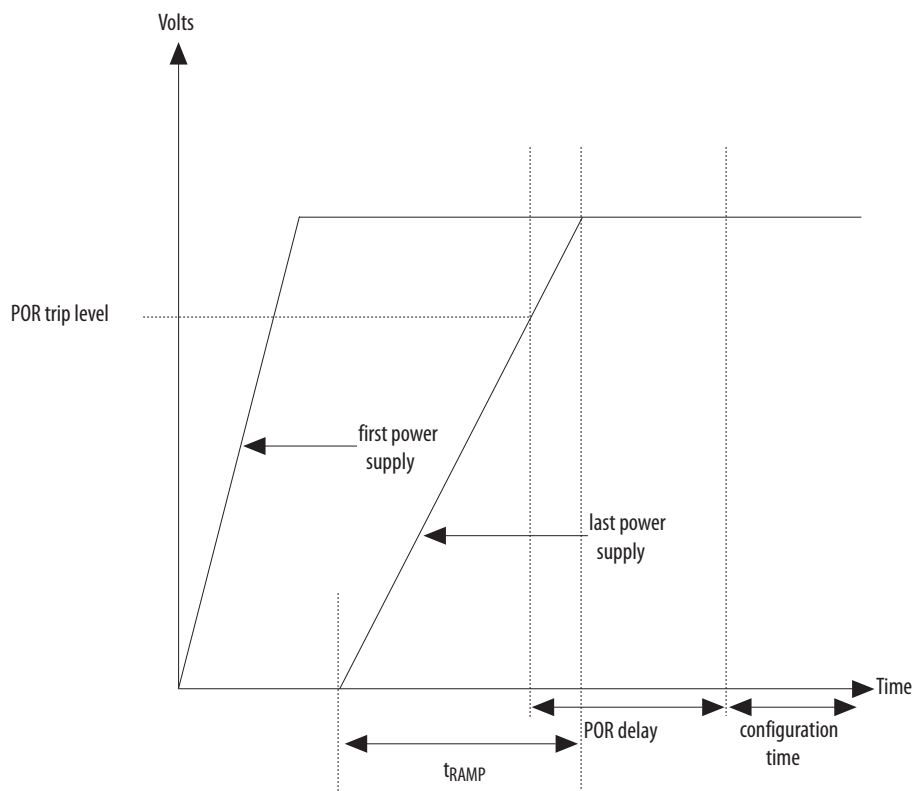
VCCLSENSE および GNDSENSE ピンの接続は、リモート電圧検出機能をサポートするすべてのレギュレーター用のリモート検出入力に対して行ってください。

2.3. パワーオンリセット回路

POR 回路でインテル Stratix 10 デバイスをリセット状態に保つのは、電源の出力が推奨動作範囲内に達するまでの間です。

POR イベントが発生するのは、インテル Stratix 10 デバイスの電源を投入してから、POR 回路によって監視される電源が、 t_{RAMP} (最大電源ランプ時間) の範囲内で推奨動作範囲に達するまでの間です。 t_{RAMP} が満たされない場合は、インテル Stratix 10 デバイスの I/O ピンおよびプログラミング・レジスタはトライステートに維持されます。このことが原因で、デバイスのコンフィグレーションが正常に行われないことがあります。

図 -8: t_{RAMP} と POR 遅延の関係性



インテル Stratix 10 の POR 回路では、個々の検出回路を使用して、それぞれのコンフィグレーション関連の電源を個別に監視します。POR 回路のゲーティングは、すべての検出器それぞれの出力によって行われます。

POR 遅延は、POR が最後のリセット信号にトリップしてからの時間です。

インテル Stratix 10 デバイスが POR 状態に保たれるのは、すべての電源がそのトリガーポイントを通過するまでの間です。電源がトリガーポイントを通過した後は、SDM ではコンフィグレーション可能な遅延時間を待ってからデバイス・コンフィグレーションを開始します。

2.3.1. POR 回路で監視される電源と監視されない電源

表 4. インテル Stratix 10 の POR 回路で監視される電源と監視されない電源

監視される電源	監視されない電源
<ul style="list-style-type: none"> • VCC • VCCERAM • VCCPT • VCCADC • VCCIO_SDM • VCCBAT • VCC_L_HPS ⁽⁵⁾ • VCCFUSE_GXP ⁽⁶⁾ 	<ul style="list-style-type: none"> • VCCP • VCCR_GXB • VCCT_GXB • VCC_H_GXB • VCCIO • VCCIO_HPS ⁽⁵⁾ • VCCA_PLL • VCCFUSEWR_SDM • VCCPLLDIG_SDM • VCCPLLDIG_HPS ⁽⁵⁾ • VCCPLL_HPS ⁽⁵⁾ • VCCPLL_SDM • VCCM_WORD • VCCIO_UIB • VCCRT_GXE • VCCRTPLL_GXE • VCCIO3V • VCC_H_GXE • VCCCLK_GXE • VCCRT_GXP • VCC_H_GXP • VCCCLK_GXP

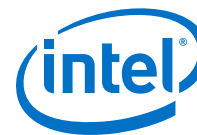
注意: インテル Stratix 10 デバイス内のデザイン・セキュリティ機能を使用しない場合、インテルは、VCCBAT を 1.8V 電源に接続することをお勧めします。

2.4. インテル Stratix 10 デバイスでのパワーシーケンスの考慮事項

インテル Stratix 10 デバイスでは、特定のパワーアップ・シーケンスおよびパワーダウン・シーケンスを必要とします。この項では、電源管理オプションのいくつかについて説明し、デバイスのパワーアップおよびパワーダウン時の適切な I/O 管理について説明します。電源ソリューションのデザインでは、完全な電源シーケンスが適切に制御されるようにしてください。

⁽⁵⁾ これらはシステムオンチップ (SoC) FPGA でのみサポートされています。

⁽⁶⁾ この電源レールは SDM パワーアップをゲートしませんが、FPGA コンフィグレーションをゲートします。



この項の要件に従って、I/O 機能に影響を与える可能性がある、FPGA デバイスへの予測不可能な電流の流れを遮断する必要があります。インテル Stratix 10 デバイスでは、下の表に記載されている条件を除き、「ホットソケット」をサポートしていません。下の表では、電源が供給されていないピンでパワーアップおよびパワーダウン・シーケンス中に許容できる範囲も示しています。

表 5. ピン公差 - パワーアップ/パワーダウン

「√」は許容されます。「-」は適用されません。

ピンタイプ	パワーアップ				パワーダウン			
	トリステート	GND に駆動	VCCIO に駆動	< 1.0 Vp-p で駆動	トリステート	GND に駆動	VCCIO に駆動	< 1.0 Vp-p で駆動
3VIO バンク	√	-	-	-	√	√	-	-
LVDS I/O バンク	√	√	√ ⁽⁷⁾	-	√	√	√ ⁽⁷⁾	-
差動トランシーバー・ピン	√	√	-	√ ⁽⁸⁾	√	√	-	√ ⁽⁸⁾

関連情報

- 電源が投入されていない FPGA の LVDS I/O ピンのガイドライン
- 電源が投入されていない FPGA のトランシーバー・ピンのガイドライン

2.4.1. インテル Stratix 10 デバイスのパワーアップ・シーケンス要件

注意: パワーアップ要件を満たすには、FPGA デバイスのプログラムは、パワーアップ・シーケンスの完了直後に行います。

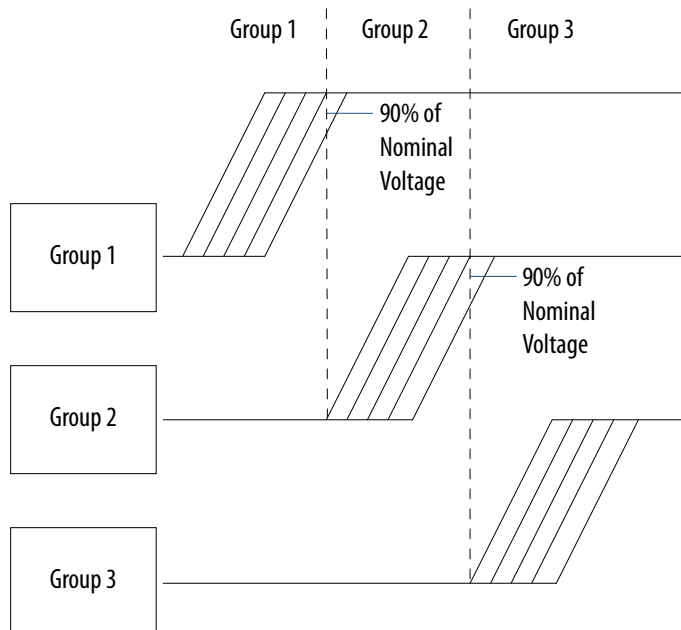
インテル Stratix 10 デバイスの電源レールは、それぞれ 3 つの Group に分けられます。インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン、AN692: インテル Cyclone[®] 10 GX、インテル Arria[®] 10、および インテル Stratix 10 デバイスの電源シーケンスについての考慮事項で参照して詳細を確認してください。

次の図では、インテル Stratix 10 デバイスの電圧グループとそれに必要なパワーアップ・シーケンスを示しています。

⁽⁷⁾ デバイス電源の未投入時、またはパワーアップ/ダウン時に、LVDS I/O バンクピンに許容される最大電流 = 10 mA (「電源が投入されていない FPGA の LVDS I/O ピンのガイドライン」を参照してください。)

⁽⁸⁾ これは、インテル Stratix 10 L タイル/H タイルのみに適用されます (「電源が投入されていない FPGA のトランシーバー・ピンのガイドライン」を参照してください)

図 -9: インテル Stratix 10 デバイスのパワーアップ・シーケンス要件



注意: VCCBAT は、次の Group のいずれにも属しません。VCCBAT にはシーケンス要件はありません。VCCBAT はセキュリティー・キーの内容を保持します。

表 6. 電圧レール

電源グループ	インテル Stratix 10 GX と SX (L タイルと H タイル)	インテル Stratix 10 MX (HBM、H タイルと E タイル)	インテル Stratix 10 TX (H タイルと E タイル)	インテル Stratix 10 DX (E タイルと P タイル)
Group 1	V _{CC} V _{CCP} V _{CCERAM} V _{CCR_GXB} V _{CCT_GXB} V _{CCL_HPS} V _{CCPLLDIG_SDM} V _{CCPLLDIG_HPS}	V _{CC} V _{CCP} V _{CCERAM} V _{CCR_GXB} V _{CCT_GXB} V _{CCPLLDIG_SDM} V _{CCRT_GXE} V _{CCRTPLL_GXE}	V _{CC} V _{CCP} V _{CCERAM} V _{CCR_GXB} V _{CCT_GXB} V _{CCL_HPS} V _{CCPLLDIG_SDM} V _{CCPLLDIG_HPS} V _{CCRT_GXE} V _{CCRTPLL_GXE}	V _{CC} V _{CCP} V _{CCERAM} V _{CCFUSE_GXP} ⁽⁹⁾ V _{CCRT_GXP} V _{CCL_HPS} V _{CCPLLDIG_SDM} V _{CCPLLDIG_HPS} V _{CCRT_GXE} V _{CCRTPLL_GXE}
Group 2	V _{CCPT} V _{CCH_GXB} V _{CCA_PLL} V _{CCPLL_HPS} V _{CCPLL_SDM} V _{CCADC}	V _{CCPT} V _{CCH_GXB} V _{CCA_PLL} V _{CCPLL_SDM} V _{CCADC} V _{CCM_WORD} ⁽¹⁰⁾ V _{CCH_GXE}	V _{CCPT} V _{CCH_GXB} V _{CCA_PLL} V _{CCPLL_HPS} V _{CCPLL_SDM} V _{CCADC} V _{CCH_GXE}	V _{CCPT} V _{CCA_PLL} V _{CCPLL_HPS} V _{CCPLL_SDM} V _{CCADC} V _{CCM_WORD} ⁽¹⁰⁾ V _{CCH_GXP}

continued...

(9) ボード上で、VCCFUSE_GXP を VCCERAM に接続する必要があります。

(10) インテル Stratix 10 MX および DX デバイスでのみ適用されます。



電源グループ	インテル Stratix 10 GX と SX (L タイルと H タイル)	インテル Stratix 10 MX (HBM, H タイルと E タイル)	インテル Stratix 10 TX (H タイルと E タイル)	インテル Stratix 10 DX (E タイルと P タイル)
		V _{CCCLK_GXE}	V _{CCCLK_GXE}	V _{CCCLK_GXP} V _{CCH_GXE} V _{CCCLK_GXE}
Group 3	V _{CCIO} ⁽¹¹⁾ V _{CCIO3V} ⁽¹¹⁾ V _{CCIO_SDM} ⁽¹¹⁾ V _{CCIO_HPS} ⁽¹¹⁾ V _{CCFUSEWR_SDM}	V _{CCIO} V _{CCIO3V} V _{CCIO_SDM} V _{CCIO_UIB} ⁽¹⁰⁾ V _{CCFUSEWR_SDM}	V _{CCIO} V _{CCIO3V} V _{CCIO_SDM} V _{CCIO_HPS} V _{CCFUSEWR_SDM}	V _{CCIO} V _{CCIO_SDM} V _{CCIO_HPS} V _{CCIO_UIB} ⁽¹⁰⁾ V _{CCFUSEWR_SDM}

Group 1 のすべての電源レールのランプアップは、任意の順序で、最低でもそれぞれの公称電圧の最小 90%までする必要があります。これは、Group 2 の電源レールのランプアップを開始前に行います。

Group 2 内の電源レールのランプアップは、任意の順序で、Group 1 内の最後の電源レールが公称電圧の 90%の最小しきい値まで上昇した後に行います。Group 2 のすべての電源レールは、Group 3 の電源レールのランプアップ開始前に、公称値の 90%の最小しきい値までランプアップする必要があります。

Group 3 内の電源レールのランプアップは、任意の順序で、Group 2 内の最後の電源レールが最大値の 90%の最小しきい値までランプアップした後に行います。

注意: E タイルデバイスは、上記の表にリストされているように、パワーアップ・シーケンスの電圧レール Group を維持する必要があります。V_{CCIO_SDM} の前に、V_{CCCLK_GXE} の電源を入れる必要があります。

注意: 新たに組み合わせられた電源レールによって、電源が供給されていない GPIO またはトランシーバー・ピンが駆動されないようにしてください。

すべての電源レールのランプアップは単調に行う必要があります。パワーアップ・シーケンスでは、標準または高速の POR 遅延時間のいずれかを満たす必要があります。POR 遅延時間は、使用する POR 遅延設定によって異なります。インテル Stratix 10 デバイスの POR の仕様については、*インテル Stratix 10 デバイス・データシート*の POR の仕様の項を参照してください。

プロトコル経由コンフィグレーション (CvP) の場合、合計 TRAMP は、最初の電源供給ランプアップから最後の電源供給ランプアップまでが 10 ms 未満でなければなりません。高速 POR 遅延設定を選択して、PCI Express (PCIe) リンクの初期化とコンフィグレーションに十分な時間を確保してください。CvP モードでの電源供給ランプアップの詳細については、*インテル Stratix 10 CvP (プロトコル経由コンフィグレーション) 実装 ユーザーガイド*を参照してください。

関連情報

- [インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン](#)
- [AN692: インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源シーケンスについての考慮事項](#)
- [POR の仕様](#)
- [インテル Stratix 10 CvP \(プロトコル経由コンフィグレーション\) 実装 ユーザーガイド](#)

⁽¹¹⁾ インテル Stratix 10 GX および SX デバイスの電源レールは、すべての電圧が 1.8 V の場合、Group 2 の電源レール V_{CCPT} と同じ電圧レギュレーターを使用して結合および共有ができます。

2.4.2. パワーダウン・シーケンスの推奨事項と インテル Stratix 10 デバイス要件

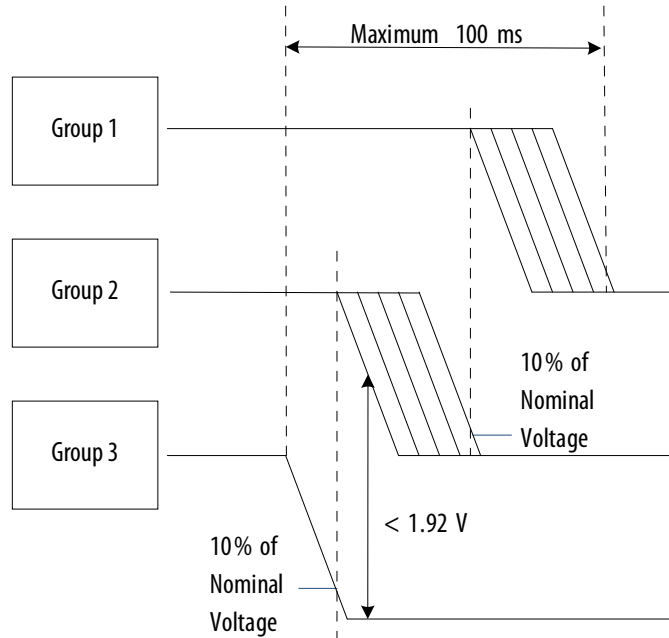
インテルの FPGA では、パワーダウン・シーケンス中に一定の要件に従う必要があります。パワーダウン・シーケンスは、オン/オフスイッチを介して制御されたパワーダウン・イベントである場合と、電源の崩壊と同様に制御されないイベントである場合があります。どちらの場合でも、特定のパワーダウン・シーケンスに従う必要があります。次に示すのは、4 つのパワーダウン・シーケンス仕様です。推奨 (1 つ)、必須 (2 つ)、または緩和 (1 つ) のいずれかです。インテルの FPGA パワーダウン要件に準拠するには、推奨オプションが最良です。

注意: 推奨仕様に従わない場合は、必須仕様に従ってください。

推奨パワーダウン・ランプ仕様

これは電源供給の電流を最小にするための最良のオプションです。

図 -10: 推奨パワーダウン・ランプ仕様



- すべての電源レールを 100 ms 以内に完全にパワーダウンします。
- 同じ Group 内の電源供給を任意の順序でパワーダウンします。
- Group 2 の電源パワーダウン前に、Group 3 内の電源すべてを GND の 10%以内でパワーダウンしてください。
- Group 1 の電源パワーダウン前に、Group 2 内の電源すべてを GND の 10%以内でパワーダウンしてください。
- Group 3 の任意の電源と Group2 の任意の電源との間の最大電圧差動は 1.92 V です。

インテル Stratix 10 デバイスの場合、Group 3 の電源レールを Group 2 の電源レールと組み合わせることができます。これが通用するのは、その 2 つの Group で共有している電圧レベルおよび同じ電圧レギュレーターが Group 2 の電源レールと同じ場合です。

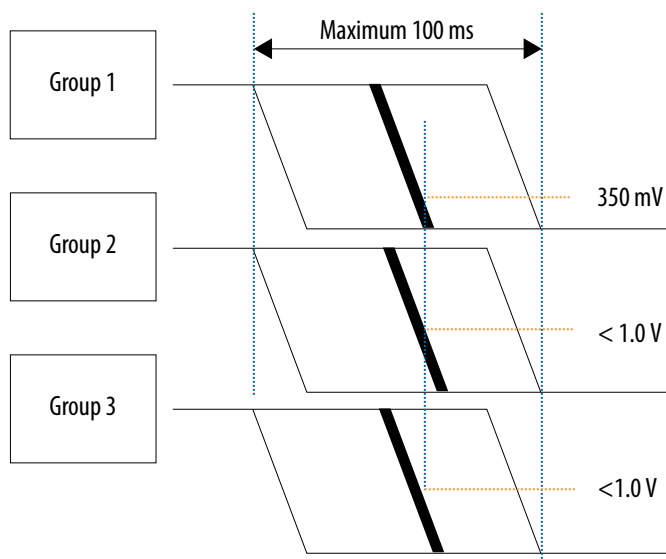
- 新たに組み合わせられた電源レールで、電源が供給されていない GPIO または トランシーバー・ピンを駆動しないようにしてください。
- 新たに組み合わせられた電源レールで、デバイス（サードパーティー）のリークによるパワーダウン・シーケンス仕様に違反しないようにしてください。必須電圧差動仕様を維持します。

パワーアップ/パワーダウン・シーケンス中は、デバイスの出力ピンはトライステートになります。デバイスの長期信頼性を確保するため、インテルではこの間は入力ピンを駆動しないことをお勧めします。

必須パワーダウン・ランプ仕様

電源供給が壊れている場合、または推奨仕様を満たすことができない場合は、次の PDS シーケンスが必要となります。

図 -11: 必須パワーダウン・ランプ仕様



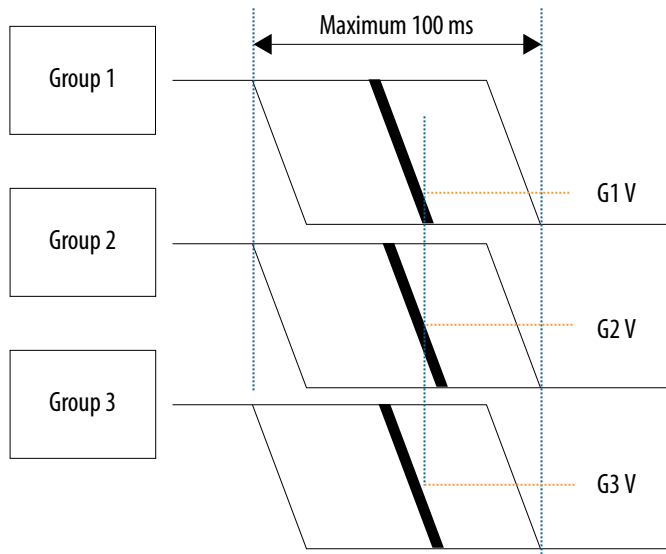
- すべての電源レールを 100 ms 以内に完全にパワーダウンします。
- 可能な限り速やかに、すべての電源供給を無効にしてください。
 - Group 1 の電源供給をトライステートにします。それを GND にアクティブに駆動しないでください。
 - 可能であれば、Group 2 と Group 3 の電源供給を GND に駆動または終端します。
- 他の電源供給源がパワーダウン・シーケンス中に存在しないようにします。すべての電源を単調に減少させ、RC の標準的な減衰を一定にします。
- Group 1 の電源が 0.35 V を下回る前までに、Group 2 および Group 3 の電源すべてが 1.0 V を下回っている必要があります。

必須電圧差動仕様

パワーダウン中にデバイス・トランジスターに過度のストレスがかからないようにするために、パワーダウン中の異なる電源グループ間の任意の 2 つの電源間には、追加の電圧要件があります。

$$\Delta V < \Delta V_{\text{nom}} + 500 \text{ mV}$$

図 -12: 必須電圧差動仕様



- すべての電源レールを 100 ms 以内に完全にパワーダウンします。
- たとえば、Group 1 の電圧 = 0.9 V、Group 2 の電圧 = 1.8 V、Group 3 の電圧 = 3.0 V の場合、次のようになります。

$G3V_{nom} = 3.0\text{ V}$ $G2V_{nom} = 1.8\text{ V}$	$G2V_{nom} = 1.8\text{ V}$ $G1V_{nom} = 0.9\text{ V}$	$G3V_{nom} = 3.0\text{ V}$ $G1V_{nom} = 0.9\text{ V}$
$(G3V - G2V)_{nom} = 1.2\text{ V}$	$(G2V - G1V)_{nom} = 0.9\text{ V}$	$(G3V - G1V)_{nom} = 2.1\text{ V}$
$(G3V - G2V) \leq 1.2\text{ V} + .5\text{ V}$	$(G2V - G1V) \leq 0.9\text{ V} + .5\text{ V}$	$(G3V - G1V) \leq 2.1\text{ V} + .5\text{ V}$
$(G3V - G2V) \leq 1.7\text{ V}$	$(G2V - G1V) \leq 1.4\text{ V}$	$(G3V - G1V) \leq 2.6\text{ V}$

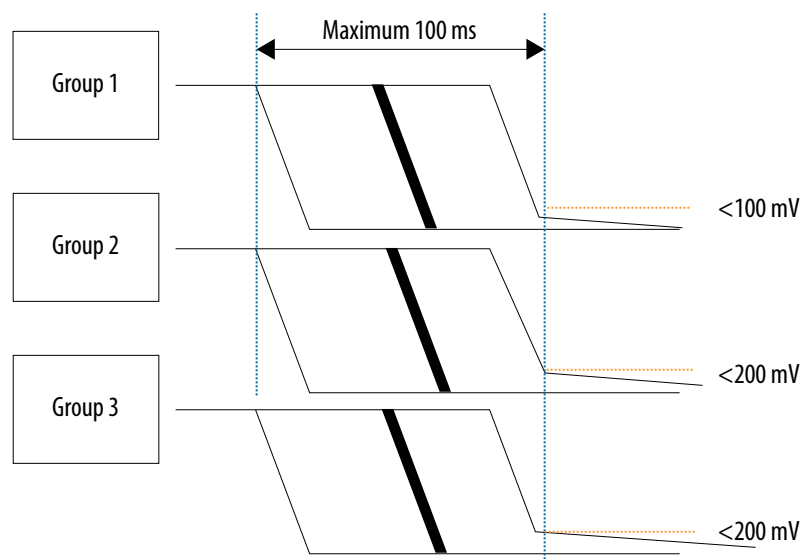
- この電圧差要件を満たすには、すべての電源供給のパワーダウンを、可能な限り速やかに、必須パワーダウン・ランプ仕様に従って行います。

注意: 必須のパワー・シーケンスに従わないと、予期しないデバイス動作や内部の大電流経路が生じる可能性があります。

緩和パワーダウン時間仕様

電源がアクティブ終端なしでパワーダウンすると、GND への電圧降下は、電源が 0 V に近づくにつれて減速します。この場合、100 ms の電力要件は緩和されます。その測定は、電源が GND に近づいたときに行います。

図 -13: 緩和パワーダウン時間仕様



- Group 1 の電源すべてが、100 ms 以内に < 100 mV に達するようにします。
- Group 2 および Group 3 の電源すべてが、100 ms 以内に < 200 mV に達するようにします。

関連情報

AN692: インテル Cyclone 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源シーケンスについての考慮事項

2.5. 電源のデザイン

インテル Stratix 10 デバイスの電源要件は、特定の使用ケースのスタティック消費電力およびダイナミック消費電力によって異なります。パワー・マネジメント・ソリューションの Enpirion ポートフォリオでは、包括的なデザインツールと組み合わせて、インテル Stratix 10 デバイスの電源デザインを最適化することができます。Enpirion ポートフォリオに含まれている電力管理ソリューションは、インテル Stratix 10 デバイスで使用される複数のインターフェイス手法と互換性があり、SmartVID 機能などのインテル Stratix 10 の電力削減機能をサポートするためにデザインされています。

インテル Stratix 10 デバイスの複数の入力電圧レールでは、調整電源が動作に必要です。複数の入力レール要件のグループ分けは、電圧要件、ノイズ感度やシーケンスなどのシステムの考慮事項に応じて行うことができます。インテル Stratix 10 デバイスファミリー・ピン接続ガイドラインでは、入力レールのグループ分けについてより詳しい推奨事項を提供しています。また、インテル Stratix 10 デバイス向け Early Power Estimator (EPE) ツールでも提供している入力レールの電源要件と特定デバイスの推奨事項は、特定のインテル Stratix 10 の各使用ケースに基づいています。個々の入力レールの電圧と電流の要件は、「Report」タブにまとめられています。入力レールのグループ分けと特定の電源の推奨事項は、それぞれ「Main」タブと「Enpirion」タブで確認できます。

関連情報

- [インテル Enpirion® 電源ソリューション](#)
FPGA への電源供給用にデザインされたインテルの Power Management IC および PowerSoC ソリューションに関する詳細情報を提供しています。
- [インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン](#)

3. インテル Stratix 10 Power Management and VID インターフェイスの実装ガイド

インテル Stratix 10 SDM Power Management Firmware では、SmartVID のコンフィギュレーションを管理し、FPGA のパワーアップを FPGA コアへのアクセス前にできるようにします。インテル Stratix 10 デバイスの外部電圧レギュレーターへの接続は、PMBus インターフェイスを介して行われます。

3.1. インテル Stratix 10 Power Management and VID インターフェイスの開始

インテル Stratix 10 Power Management and VID インターフェイスは、インテル Quartus® Prime 開発ソフトウェアの一部としてインストールされます。

3.1.1. パラメーターとオプションの指定

次のステップに従って、**Power Management and VID** パラメーター、およびオプションを指定します。

1. インテル Quartus Prime プロジェクトの作成には、File メニューの **New Project Wizard** を使用します。
2. **Assignments** メニューで **Device** をクリックします。
3. **Device** ダイアログボックスで **Device and Pin Options** をクリックします。
4. **Device and Pin Options** ダイアログボックスで **Configuration** をクリックします。
5. **Configuration** ページで **VID Operation mode** を指定します。PMBus Master と PMBus Slave の 2 つのモードがあります。
6. PMBus Master および PMBus Slave モードでは、PWMGT_SDA、PWMGT_SCL ピンが必要です。PMBus Slave モードの場合、追加の PWRMGT_ALERT ピンが必要です。これらのピンをコンフィギュレーションするには、**Configuration** ページで、**Configuration Pin Options** をクリックします。コンフィギュレーション・ピンのパラメーターについては、表 7 (23 ページ) を参照してください。
7. **Configuration Pin** ダイアログボックスで、適切な SDM_IO ピンをパワー・マネジメント・ピンに割り当てます。**OK** をクリックします。
8. デバイスが PMBus Master モードの場合は、**Device and Pin Options** ダイアログボックスで **Power Management and VID** をクリックして、デバイス設定を指定します。**OK** をクリックします。Power Management and VID パラメーターについては、表 8 (23 ページ) を参照してください。

これで インテル Stratix 10 デバイスの SmartVID のセットアップは完了です。



3.1.1.1. Configuration Pin パラメーター

次のパワー・マネジメント・ピンのコンフィグレーションには、GUI パラメーターを使用します。

表 7. Configuration Pin パラメーター

パラメーター	値	説明
Use PWRMGT_SCL output	SDM_IO0	これは電源管理用の必須 PMBus インターフェイスです。VID 動作モードが PMBus Master モードまたは PMBus Slave モードの場合に適用します。 SmartVID 以外のデバイスに対しては、このパラメーターをディスエーブルにしてください。 インテルでは、このパラメーターには SDM_IO14 ピンの使用をお勧めします。
	SDM_IO14	
Use PWRMGT_SDA output	SDM_IO11	これは電源管理用の必須 PMBus インターフェイスです。VID 動作モードが PMBus Master モードまたは PMBus Slave モードの場合に適用します。 SmartVID 以外のデバイスに対しては、このパラメーターをディスエーブルにしてください。 インテルでは、このパラメーターには SDM_IO11 ピンの使用をお勧めします。
	SDM_IO12	
	SDM_IO16	
Use PWRMGT_ALERT output	SDM_IO0	これは電源管理用の必須 PMBus インターフェイスです。VID 動作モードが PMBus Slave モードの場合のみ適用します。 SmartVID 以外のデバイスに対しては、このパラメーターをディスエーブルにしてください。 インテルでは、このパラメーターには SDM_IO12 ピンの使用をお勧めします。
	SDM_IO12	

関連情報

- [SDM ピンのマッピング](#)
各 SDM ピンのコンフィグレーション機能に関する詳細情報を提供しています。
- [セキュア・デバイス・マネージャー \(SDM\) ピン](#)
各 SDM ピンの説明と接続ガイドラインに関する詳細情報を提供しています。

3.1.1.2. Power Management and VID パラメーター

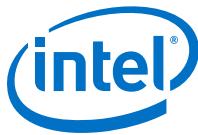
VID 動作が PMBus Master モードの場合は、GUI パラメーターを使用して Power Management and VID インターフェイスを設定できます。

表 8. Power Management and VID パラメーター

パラメーター	値	説明
Bus speed mode ⁽¹²⁾	100 KHz	PMBus Master モードで動作している場合の PMBus インターフェイスのバス・スピード・モードです。
	400 KHz	
Slave device type ⁽¹²⁾	LTM4677	サポートされているデバイスのタイプです。
	ISL82XX	

continued...

(12) このパラメーターは PMBus Master モードに使用されます。



パラメーター	値	説明
	Other	インテルでは、LTM4677 デバイスの使用をお勧めします。LTM4677 もしくは ISL82XX デバイスを使用しない場合、 Device and Pin Options ダイアログボックスで Other のオプションを選択してください。
Device address in PMBus Slave mode ⁽¹³⁾	7 ビット 16 進値	PMBus Slave モードのデバイスアドレスです。
Slave device_0 address ⁽¹²⁾	7 ビット 16 進値	外部電源レギュレーターのアドレスです。このパラメーターは、PMBus Master モードを使用している場合はゼロ以外にする必要があります。
Slave device_1 address ⁽¹²⁾	7 ビット 16 進値	外部電源レギュレーターのアドレスです。
Slave device_2 address ⁽¹²⁾	7 ビット 16 進値	外部電源レギュレーターのアドレスです。
Slave device_3 address ⁽¹²⁾	7 ビット 16 進値	外部電源レギュレーターのアドレスです。
Slave device_4 address ⁽¹²⁾	7 ビット 16 進値	外部電源レギュレーターのアドレスです。
Slave device_5 address ⁽¹²⁾	7 ビット 16 進値	外部電源レギュレーターのアドレスです。
Slave device_6 address ⁽¹²⁾	7 ビット 16 進値	外部電源レギュレーターのアドレスです。
Slave device_7 address ⁽¹²⁾	7 ビット 16 進値	外部電源レギュレーターのアドレスです。
Voltage output format ⁽¹²⁾	自動検出	動作モードが PMBus Master の場合の電圧出力フォーマットです。電圧出力フォーマットが自動検出または Direct フォーマットの場合は、次のパラメーターの設定が必要です。 <ul style="list-style-type: none"> • Direct format coefficient m • Direct format coefficient b • Direct format coefficient R 電圧レギュレーターが Linear フォーマットの場合は、Linear format N パラメーターの設定が必要です。 ⁽¹⁴⁾
	Direct フォーマット	
	Linear フォーマット	
Direct format coefficient m ⁽¹²⁾	符号付き整数： -32768 から 32767	動作モードが PMBus Master の場合のスレーブデバイスのタイプの Direct フォーマット係数 m です。
Direct format coefficient b ⁽¹²⁾	符号付き整数： -32768 から 32767	動作モードが PMBus Master の場合のスレーブデバイスのタイプの Direct フォーマット係数 b です。
Direct format coefficient R ⁽¹²⁾	符号付き整数： -128 から 127	動作モードが PMBus Master の場合のスレーブデバイスのタイプの Direct フォーマット係数 R です。
Linear format N ⁽¹²⁾	-16 から 15	電圧出力フォーマットが Linear フォーマットに設定されている場合の出力電圧コマンドです。
Translated voltage value unit ⁽¹²⁾	millivolts	変換後の出力電圧がミリボルト (mV) またはボルト (V) であることを示します。

continued...

⁽¹³⁾ このパラメーターは PMBus Slave モードに使用されます。

⁽¹⁴⁾ N は、5 ビットの 2 の補数整数の指数です。



パラメーター	値	説明
	volts	
Enable PAGE command ⁽¹²⁾	Enable	PAGE コマンドを有効にすると、FPGA PMBus Master モードでは、PAGE コマンドを使用し、登録されているレギュレーター・モジュールの出力チャネルすべてが VOUT_COMMAND に応答するように設定されます。
	Disable	

3.1.1.3. インテル Stratix 10 Power Management and VID インターフェイスの QSF 制約ガイド

QSF 制約コマンドを使用して、**Power Management and VID** パラメーター、およびオプションを指定できます。

Configuration Pin パラメーターについては、表 7 (23 ページ) を参照してください。Power Management and VID パラメーターについては、表 8 (23 ページ) を参照してください。

例-1: QSF 制約を使用した Power Management and VID パラメーターの指定

```
set_global_assignment -name USE_PWRMGT_SDA SDM_IO11
set_global_assignment -name USE_PWRMGT_SCL SDM_IO14
set_global_assignment -name PWRMGT_SLAVE_DEVICE_TYPE LTM4677
set_global_assignment -name PWRMGT_SLAVE_DEVICE0_ADDRESS41
set_global_assignment -name PWRMGT_SLAVE_DEVICE1_ADDRESS42
set_global_assignment -name PWRMGT_SLAVE_DEVICE2_ADDRESS43
set_global_assignment -name PWRMGT_SLAVE_DEVICE3_ADDRESS44
set_global_assignment -name PWRMGT_SLAVE_DEVICE4_ADDRESS45
set_global_assignment -name PWRMGT_SLAVE_DEVICE5_ADDRESS46
set_global_assignment -name PWRMGT_SLAVE_DEVICE6_ADDRESS47
set_global_assignment -name PWRMGT_SLAVE_DEVICE7_ADDRESS48
set_global_assignment -name VID_OPERATION_MODE "PMBUS MASTER"
set_global_assignment -name PWRMGT_BUS_SPEED_MODE "100 KHZ"
set_global_assignment -name PWRMGT_PAGE_COMMAND_ENABLE ON
set_global_assignment -name PWRMGT_VOLTAGE_OUTPUT_FORMAT "AUTO DISCOVERY"
set_global_assignment -name PWRMGT_TRANSLATED_VOLTAGE_VALUE_UNIT VOLTS
```

4. インテル Stratix 10 パワー・マネジメント・ユーザーガイド・アーカイブ

表にソフトウェア・バージョンの記載がない場合は、以前のソフトウェア・バージョン用のユーザーガイドが適用になります。

インテル Quartus Prime バージョン	ユーザーガイド
19.2	Intel Stratix 10 Power Management User Guide
18.1	インテル Stratix 10 パワー・マネジメント・ユーザーガイド
18.0	Intel Stratix 10 Power Management User Guide
17.1	Intel Stratix 10 Power Management User Guide

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2015
登録済

5. インテル Stratix 10 パワー・マネジメント・ユーザーガイドの改訂履歴

ドキュメントバージョン	インテル Quartus Prime バージョン	変更内容
2019.11.05	19.3	<p>電圧レールの表の電源レールを更新しました。</p> <ul style="list-style-type: none"> V_{CCM_WORD} と V_{CCIO_UIB} を インテル Stratix 10 GX と SX (L タイルと H タイル) の欄から削除しました。 V_{CCRT_GXE}、V_{CCRTPLL_GXE}、V_{CCCLK_GXE}、および V_{CCH_GXE} を インテル Stratix 10 MX (HBM、H タイルと E タイル) の欄に追加しました。 V_{CCL_HPS}、V_{CCPLLDIG_HPS}、V_{CCPLL_HPS}、および V_{CCIO_HPS} を インテル Stratix 10 MX (HBM、H タイルと E タイル) の欄から削除しました。 V_{CCM_WORD} と V_{CCIO_UIB} を インテル Stratix 10 TX (H タイルと E タイル) の欄から削除しました。
2019.09.19	19.3	<ul style="list-style-type: none"> インテル Stratix 10 DX バリエーションのサポートを電圧レールの表に追加しました。 次の電源レールを インテル Stratix 10 の POR 回路で監視される電源と監視されない電源の表に追加しました。 <ul style="list-style-type: none"> V_{CCFUSE_GXP} V_{CCIO3V} V_{CCH_GXE} V_{CCCLK_GXE} V_{CCRT_GXP} V_{CCH_GXP} V_{CCCLK_GXP}
2019.08.23	19.2	V _{CCBAT} に関する注記を POR 回路で監視される電源と監視されない電源の項で更新しました。
2019.07.01	19.2	<ul style="list-style-type: none"> マルチマスターモードの項を追加しました。 Power Management and VID パラメーターの表で、スレーブデバイスタイプのパラメーターにおいて ISL82XX をデバイスの選択肢に追加しました。 インテル Stratix 10 Power Management and VID インターフェイスの QSF 制約ガイドの項を追加しました。 温度補償の項を更新し、PMBus Master モードおよび PMBus Slave モードの SmartVID 値の変更に関する詳細を含めました。 ピン公差 - パワーアップ/パワーダウンの表で V_{p-p} 値を更新しました。 電圧レールの表で Group 1、Group 2 および Group 3 の電圧レールを更新しました。 外部電源管理コントローラーのステージフローの図を更新しました。 パラメーターとオプションの指定の項の手順 6 の説明を更新しました。 Power Management and VID パラメーターの表のスレーブデバイスタイプのパラメーターの説明を更新しました。
2018.09.26	18.1	<ul style="list-style-type: none"> インテル Stratix 10 パワー・マネジメントの概要の項の SmartVID の詳細を更新しました。 電力削減の手法と機能の項に、電力遮蔽されたデバイス機能を追加しました。 電力遮蔽デバイスの項を追加しました。 SmartVID 標準電力デバイスの項の SmartVID レギュレーター要件を更新しました。 インテル Stratix 10 デバイスのパワーシーケンスの考慮事項の項を更新しました。

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2015
登録済



ドキュメント・バージョン	インテル Quartus Prime バージョン	変更内容
		<ul style="list-style-type: none"> インテル Stratix 10 デバイスのパワーアップ・シーケンス要件の項を更新して、Group 2 と Group 3 の電源レールの共有に関する詳細情報を提供しました。 PMBus Master モードと PMBus Slave モードの図を更新しました。 パルス幅変調 (PWM) モードのサポートを削除しました。
2018.05.07	18.0	<ul style="list-style-type: none"> MFR_ADC_CONTROL コマンドを PMBus マスターモードでサポートされているコマンドの表に追加しました。 SmartVID の項を更新して、PWRMGT_SCL ピンおよび PWRMGT_SDA ピンの情報を含めました。 PMBus Slave モードでの外部電源管理コントローラーのステージフローの図を更新しました。 PMBus Slave モードでの外部電源管理コントローラーの監視ステージの図を削除しました。 PMBus Slave モードの項の direct フォーマットの数式の説明を更新しました。 インテル Stratix 10 の POR 回路で監視される電源と監視されない電源の表を更新しました。 <ul style="list-style-type: none"> V_{CCRT_GXE} および V_{CCRTPLL_GXE} レールを追加しました。 V_{CC_SDM} レールを削除しました。 編集上の更新を行いました。
2018.02.28	17.1	<ul style="list-style-type: none"> PMBus Slave モードでサポートされているコマンドの表を更新しました。 PMBus Slave モード用の PWRMGT_ALERT ピンに関する注記を PMBus モードの項に追加しました。 PMBus モードでサポートされている I/O 規格に関する注記を PMBus モードの項に追加しました。 PMBus スレープモードでのコンフィグレーション時の PWRMGT_ALERT への接続の推奨を PMBus Slave モードの項に追加しました。 マルチマスター・モードに関する情報を PMBus Master モードの項に追加しました。 PMBus Slave モードの項の direct フォーマットの数式を追加しました。 インテル Stratix 10 デバイスでの SmartVID の温度補償の図を追加しました。 SmartVID の項を更新して、公称電圧を 0.9 V に変更しました。 SmartVID レギュレーター要件の表を更新して、非 CvP および CvP のランプ時間の値を更新しました。 電源検出ラインの項のガイドラインを更新しました。 インテル Stratix 10 デバイスのパワーシーケンスの考慮事項の項を更新しました。 Power Management and VID パラメーターの表で、スレープデバイスのアドレスの値を更新しました。 パラメーターとオプションの指定の項でステップを更新しました。 SDM Power Manager の項を更新し、初期/シャットダウンおよび監視ステージを追加しました。 インテル Stratix 10 デバイス用の SmartVID の温度補償の図を削除しました。

日付	バージョン	変更内容
2017 年 5 月	2017.05.08	<ul style="list-style-type: none"> PowerPlay Early Power Estimator (EPE) から Early Power Estimator へ更新しました。 消費電力の項を更新して、スタンバイ電力を追加しました。 消費電力削減手法の項を更新しました。 SmartVID の項を更新して、公称電圧を 0.89 V に変更しました。 Stratix 10 デバイスの SmartVID 機能の実装の項を変更しました。 SDM Power Management の項を更新しました。 PMBus モードの項を更新しました。 PWM モードの項を更新しました。 温度補償の項を更新しました。 DSP および M20K のパワー・ゲーティングの項を更新しました。

continued...



日付	バージョン	変更内容
		<ul style="list-style-type: none"> • クロック・ゲーティングの項を更新しました。 • 電源検出ラインの項を更新しました。 • パワーオンリセット回路の項を更新しました。 • パワーアップ・シーケンスおよびパワーダウン・シーケンスの項を更新しました。 • V_{CC} レールおよび V_{CCP} レールでの SmartVID 機能の使用の項を更新しました。 • 電源のデザインの項を更新しました。 • パラメーターとオプションの指定の項を更新しました。 • Stratix 10 デバイスでの SmartVID の温度補償の表を追加しました。 • SmartVID レギュレーター要件の表で CvP のランプ時間を更新しました。 • Stratix 10 の POR 回路で監視される電源と監視されない電源の表を更新して、HPS 電源を含めました。 • 電源グループの立ち上げシーケンスの表を更新しました。 • Configuration Pin パラメーターの表を更新しました。 • Power Management and VID パラメーターの表を更新しました。 • Configuration Pin パラメーターの表を更新しました。 • Power Management and VID パラメーターの表を更新しました。 • SDM Power Management のブロック図を更新しました。 • PMBus Master モードの図を更新しました。 • PMBus Slave モードの図を更新しました。 • Stratix 10 デバイスのパワーアップ・シーケンスおよびパワーダウン・シーケンス要件の図を更新しました。
2016 年 10 月	2016.10.31	初版