

インテル® Stratix® 10 JTAG バウンダリー・ スキャン・テスト ユーザーガイド



目次

1 概要	3
2 JTAG BST のアーキテクチャー	4
2.1 JTAG 回路機能モデル.....	4
2.2 JTAG ピン.....	5
2.3 IEEE Std. 1149.1 バウンダリー・スキャン・レジスター.....	5
2.3.1 インテル® Stratix 10 デバイス I/O ピンのバウンダリー・スキャン・セル.....	6
2.3.2 IEEE Std. 1149.6 バウンダリー・スキャン・レジスター.....	7
3 BST 動作コントロール	9
3.1 デバイス ID.....	9
3.2 サポートされる JTAG 命令.....	11
3.3 JTAG セキュアモード.....	12
4 JTAG 動作用の I/O 電圧	13
5 JTAG バウンダリー・スキャン・テストの実行	14
6 BST 回路のイネーブルとディスエーブル	15
7 IEEE Std. 1149.1 BST のガイドライン	16
8 インテル® Stratix 10 JTAG バウンダリー・スキャン・テスト・ユーザーガイドの改訂履歴	17



1 概要

インテル® Stratix® 10 デバイスは、IEEE Std. 1149.1 BST と IEEE Std. 1149.6 BST をサポートします。バウンダリー・スキャン・テスト(BST)を実行する際、物理的なテストプローブを使用せずにピン接続をテストし、通常動作中に機能データをキャプチャーすることができます。デバイスのバウンダリー・スキャン・セル(BSC)は、ピンに信号を強制したり、ピンあるいはコアロジック信号からデータをキャプチャーすることができます。強制されたテストデータは、順に BSC へとシフトインします。キャプチャーされたデータは、順にシフトアウトし、外部で期待値と比較されます。

インテル® Stratix® 10 デバイスは複数のダイを使用してパッケージに実装されており、エンベデッド・マルチダイ・インターコネクト・ブリッジ(EMIB)テクノロジーにより結合されています。このマルチダイの実装は BST に対して等価的です。デバイスに対して単一のバウンダリー・スキャン・チェーンが存在し、これにはパッケージ内のすべてのダイが含まれます。

BST は、インテル® Stratix® 10 デバイスのコンフィグレーション実行前と実行後だけでなく、コンフィグレーションの実行中にも実行することができます。

関連情報

14 ページの [JTAG バウンダリー・スキャン・テストの実行](#)

2 JTAG BST のアーキテクチャー

2.1 JTAG 回路機能モデル

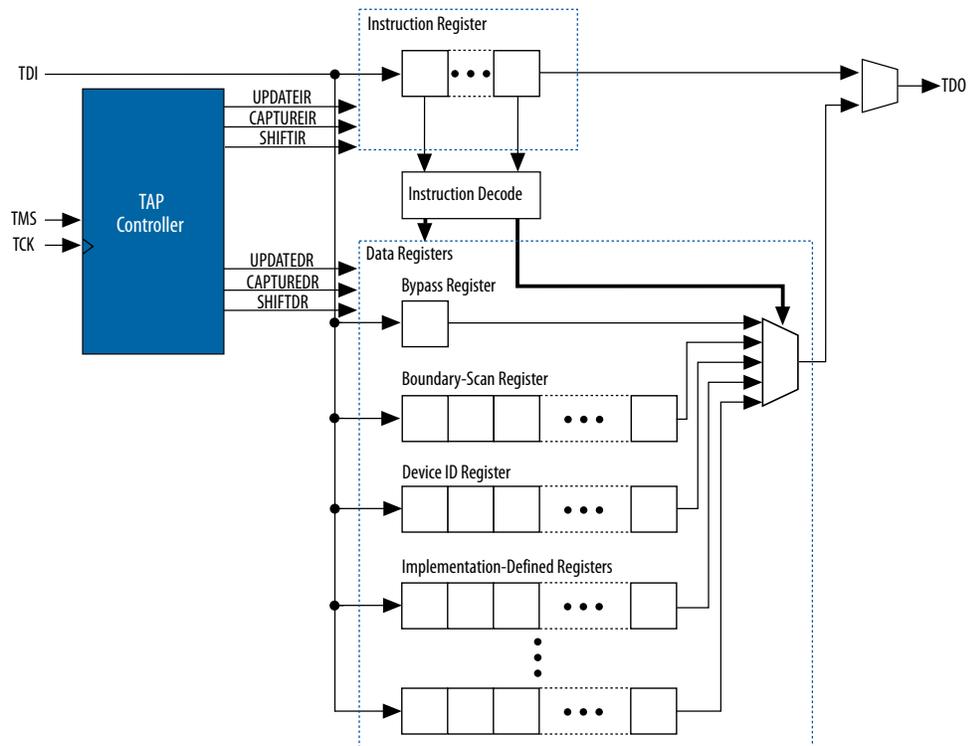
JTAG BST 回路には、以下のレジスターが必要です。

- 命令レジスター—実行する動作およびアクセスするデータレジスターを決定します
- バイパスレジスター— (1 ビット長のデータレジスター) TDI ピンと TDO ピンの間に最短のシリアルパスを提供します
- バウンダリー・スキャン・レジスター—デバイスのすべての BSC で構成されたシフトレジスターです

図 -1: JTAG 回路機能モデル

- テスト・アクセス・ポート (TAP) コントローラー—JTAG BST を制御します
- TMS ピンと TCK ピン—TAP コントローラーを操作します
- TDI ピンと TDO ピン—データおよび命令レジスターにシリアルパスを提供します

注意: TRST ピンは、インテル® Stratix® 10 デバイスでは使用不可能です。



Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済

2.2 JTAG ピン

表 1. JTAG ピンの概要

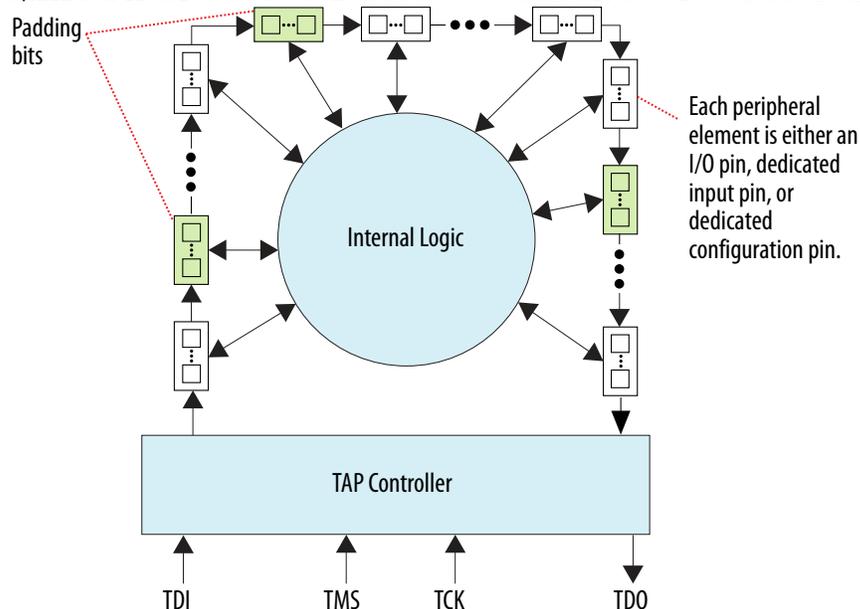
ピン	機能	説明
TDI	以下に用いるシリアル入力ピンです。 <ul style="list-style-type: none"> 命令 テストデータ プログラミング・データ 	<ul style="list-style-type: none"> TDI は、TCK の立ち上がりエッジでサンプルされ、TCK の立ち下りエッジで駆動されなければいけません。 TDI ピンは内部ウィークプルアップ抵抗を備えています。
TDO	以下に用いるシリアル出力ピンです。 <ul style="list-style-type: none"> 命令 テストデータ プログラミング・データ 	<ul style="list-style-type: none"> TDI は、TCK の立ち下りエッジで駆動され、TCK の立ち上がりエッジでサンプルされなければいけません。 このピンは、データがデバイスからシフトアウトされない場合は、トライステートとなります。
TMS	TAP コントローラー・ステート・マシンの遷移を決定するコントロール信号を提供する入力ピンです。	<ul style="list-style-type: none"> TMS は、TCK の立ち上がりエッジでサンプルされ、TCK の立ち下りエッジで駆動されなければいけません。 TMS ピンは内部ウィークプルアップ抵抗を備えています。
TCK	BST 回路へのクロック入力です。	—

2.3 IEEE Std. 1149.1 バウンダリー・スキャン・レジスター

バウンダリー・スキャン・レジスターは、TDI ピンを入力、そして TDO ピンを出力として使用する大規模なシリアル・シフト・レジスターです。バウンダリー・スキャン・レジスターは、各 I/O ピンのバウンダリー・スキャン・セルとパディングビットで構成されています。バウンダリー・スキャン・レジスターは、外部ピンとの接続をテストしたり内部データをキャプチャーするために使用することができます。

図 -2: バウンダリー・スキャン・レジスター

以下の図は、IEEE Std. 1149.1 デバイスのペリフェラルでテストデータがどのようにシリアルにシフトされているかを示します。



Note: Padding bits are present in the scan-chain and must be ignored when read and must be written with 0.

2.3.1 インテル® Stratix 10 デバイス I/O ピンのバウンダリー・スキャン・セル

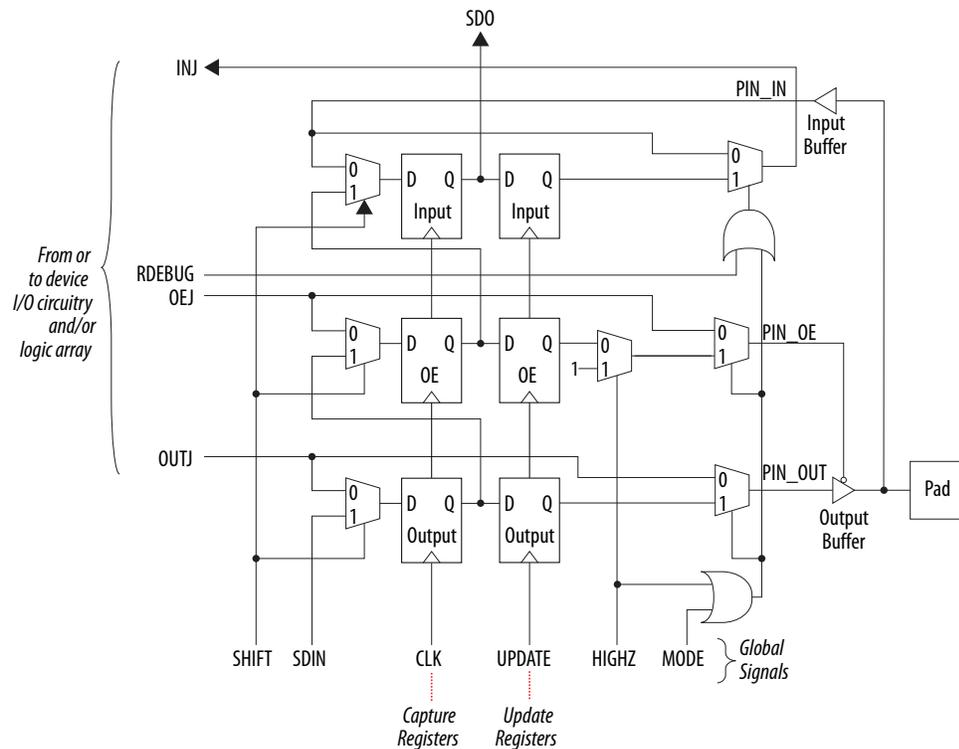
インテル® Stratix 10 デバイスの 3 ビット BSC は、以下のレジスターで構成されています。

- キャプチャーレジスター—OUTJ、OEJ と PIN_IN 信号を介して内部デバイスデータへ接続します
- アップデートレジスター— PIN_OUT と PIN_OE 信号を介して外部データへ接続します

TAP コントローラーは IEEE Std. 1149.1 BST レジスターへのグローバルコントロール信号 (shift、clock と update) を内部で生成します。命令レジスターのデコードは、MODE 信号を生成します。

バウンダリー・スキャン・レジスターのデータ信号パスは、SDI (Serial Data In) 信号から SDO (Serial Data Out) 信号に続いています。スキャンレジスターは、デバイスの TDI ピンから始まり TDO ピンで終わります。

図 -3: インテル® Stratix 10 デバイスでの IEEE Std. 1149.1 BST 回路のユーザー I/O BSC



注意: TDI、TDO、TMS、TCK、TRST、VCC、GND、VREF、VSIGP、VSIGN、TEMPDIODE、および RREF ピンは BSC を備えていません。



表 2. インテル® Stratix 10 デバイスのバウンダリー・スキャン・セルの説明

以下の表に、インテル® Stratix 10 デバイスのすべての BSC のキャプチャー・レジスターとアップデート・レジスターの機能を示します。

ピンの種類	キャプチャー			ドライブ			備考
	出力 キャプチャー レジスター	OE キャプチャー レジスター	入力 キャプチャー レジスター	出力 アップデート レジスター	OE アップデート レジスター	入力 アップデート レジスター	
ユーザー I/O ピン	OUTJ	OEJ	PIN_IN	PIN_OUT	PIN_OE	INJ	—
専用入力	0	1	PIN_IN	N.C.	N.C.	N.C.	PIN_IN はコントロールロジックへ駆動しません
専用双方向 ⁽¹⁾	0	OEJ	PIN_IN	N.C.	N.C.	N.C.	PIN_IN はコントロールロジックへ駆動しません
専用出力 ⁽²⁾	OUTJ	0	0	N.C.	N.C.	N.C.	OUTJ は出力バッファへ駆動

2.3.2 IEEE Std. 1149.6 バウンダリー・スキャン・レジスター

インテル® Stratix 10 デバイスの HSSI トランスミッター (GXB_TX[p, n]) とレシーバー/入力クロック・バッファ (GXB_RX[p, n]) / (REFCLK[p, n]) の BSC は、I/O ピン用の BSC とは異なります。

注意: HSSI トランシーバーの AC カップリングには EXTEST_PULSE JTAG 命令を使用する必要があります。HSSI トランシーバーの AC カップリングに EXTEST JTAG 命令は使用しないでください。インテル® Stratix 10 デバイスでは、コンフィグレーションの前、後あるいはコンフィグレーション中に AC JTAG を実行することができます。

(1) これには、NCONFIG、MSEL0、MSEL1、MSEL2、MSEL3、NCE、および PORSEL ピンが含まれます。

(2) CONF_DONE、NSTATUS、DCLK ピンが含まれます。

図 -4: インテル® Stratix 10 デバイスの IEEE Std. 1149.6 BST 回路での HSSI トランスミッター BSC

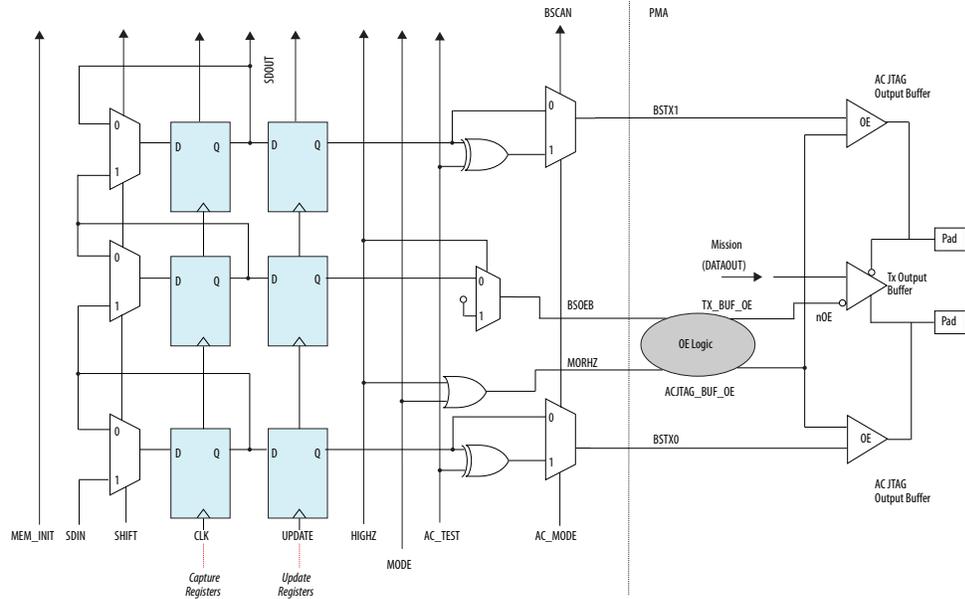
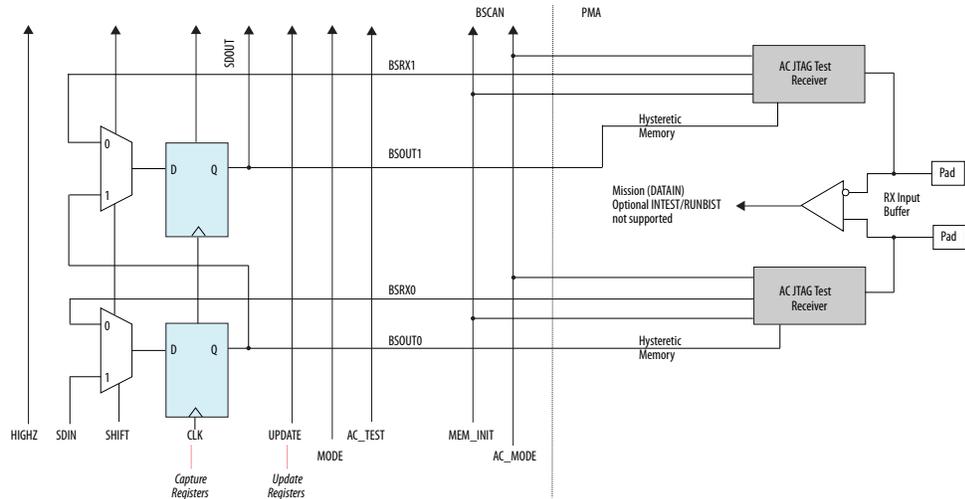


図 -5: インテル® Stratix 10 デバイスの IEEE Std. 1149.6 BST 回路での HSSI レシーバー/入カク ロックバッファ





3 BST 動作コントロール

3.1 デバイス ID

デバイス ID は、各 インテル® Stratix 10 デバイスに固有です。このコードを使用して、JTAG チェイン内のデバイスを識別します。

表 3. インテル® Stratix 10 デバイスのデバイス ID 情報

製品ライン	デバイス ID (32 ビット)			
	バージョン (4 ビット)	パートナンバー (16 ビット)	メーカー ID (11 ビット)	LSB (1 ビット)
1SG040H	0001	0011 0010 0010 0001	000 0110 1110	1
1SG065H	0000	0011 0010 0010 0001	000 0110 1110	1
1SG085H	0001	0011 0010 0010 0010	000 0110 1110	1
1SG110H	0000	0011 0010 0010 0010	000 0110 1110	1
1SG165H (ES)	0011	0011 0010 0010 0101	000 0110 1110	1
1SG210H (ES)	0010	0011 0010 0010 0101	000 0110 1110	1
1SG250L (ES)	0001	0011 0010 0001 0101	000 0110 1110	1
1SG250H (ES)	0001	0011 0010 0010 0101	000 0110 1110	1
1SG280L (ES)	0000	0011 0010 0001 0101	000 0110 1110	1
1SG280H (ES)	0000	0011 0010 0010 0101	000 0110 1110	1
1SG165H	1111	0011 0010 0010 0101	000 0110 1110	1
1SG210H	1110	0011 0010 0010 0101	000 0110 1110	1
1SG250L	1101	0011 0010 0001 0101	000 0110 1110	1
1SG250H	1101	0011 0010 0010 0101	000 0110 1110	1
1SG280L	1100	0011 0010 0001 0101	000 0110 1110	1
1SG280H	1100	0011 0010 0010 0101	000 0110 1110	1
1SG450H	0001	0011 0010 0010 0111	000 0110 1110	1
1SG550H	0000	0011 0010 0010 0111	000 0110 1110	1
1SX040H	0001	0011 0010 0010 1001	000 0110 1110	1
1SX065H	0000	0011 0010 0010 1001	000 0110 1110	1
1SX085H	0001	0011 0010 0010 1010	000 0110 1110	1
1SX110H	0000	0011 0010 0010 1010	000 0110 1110	1

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



製品ライン	デバイス ID (32 ビット)			
	バージョン (4 ビット)	パートナンバー (16 ビット)	メーカー ID (11 ビット)	LSB (1 ビット)
1SX165H (ES)	0011	0011 0010 0010 1101	000 0110 1110	1
1SX210H (ES)	0010	0011 0010 0010 1101	000 0110 1110	1
1SX250L (ES)	0001	0011 0010 0001 1101	000 0110 1110	1
1SX250H (ES)	0001	0011 0010 0010 1101	000 0110 1110	1
1SX280L (ES)	0000	0011 0010 0001 1101	000 0110 1110	1
1SX280H (ES)	0000	0011 0010 0010 1101	000 0110 1110	1
1SX165H	1111	0011 0010 0010 1101	000 0110 1110	1
1SX210H	1110	0011 0010 0010 1101	000 0110 1110	1
1SX250L	1101	0011 0010 0001 1101	000 0110 1110	1
1SX250H	1101	0011 0010 0010 1101	000 0110 1110	1
1SX280L	1100	0011 0010 0001 1101	000 0110 1110	1
1SX280H	1100	0011 0010 0010 1101	000 0110 1110	1
1SX450H	0001	0011 0010 0010 1111	000 0110 1110	1
1SX550H	0000	0011 0010 0010 1111	000 0110 1110	1
1ST165E	0001	0011 0010 0011 0100	000 0110 1110	1
1ST210E	0000	0011 0010 0011 0100	000 0110 1110	1
1ST250E (ES)	0001	0011 0010 0011 1101	000 0110 1110	1
1ST280E (ES)	0000	0011 0010 0011 1101	000 0110 1110	1
1ST250E	1101	0011 0010 0011 1101	000 0110 1110	1
1ST280E	1100	0011 0010 0011 1101	000 0110 1110	1
1SM110H	0000	0011 0010 1010 1010	000 0110 1110	1
1SM165H	0001	0011 0010 1010 0100	000 0110 1110	1
1SM165E	0001	0011 0010 1011 0100	000 0110 1110	1
1SM210H	0000	0011 0010 1010 0100	000 0110 1110	1
1SM210E	0000	0011 0010 1011 0100	000 0110 1110	1



3.2 サポートされる JTAG 命令

表 4. インテル® Stratix 10 デバイスでサポートされる JTAG 命令

注意: 次の表のサポートされている JTAG 命令以外の命令コードは、絶対に呼び出さないでください。サポートされていない命令を呼び出すと、デバイスが損傷し、デバイスを使用できなくなる恐れがあります。

JTAG 命令	命令コード	説明
SAMPLE ⁽³⁾ /PRELOAD	00 0000 0101	<ul style="list-style-type: none"> 通常のデバイス動作中にデバイスピンから信号をキャプチャーあるいは検査することができるようにし、デバイスピンで初期データ・パターンを出力できるようにします。 この命令を使用して、EXTEST 命令をロードする前にアップデート・レジスターにテストパターンをプリロードします。
EXTEST	00 0000 1111	<ul style="list-style-type: none"> 出力ピンでテストパターンを強制することにより、外部回路やボードレベルでのインタコネクトをテストできるようにし、入力ピンでテスト結果をキャプチャーします。出力ピンに既知のロジック High レベルと Low レベルを強制することにより、スキャンチェーン内の任意のデバイスのピンの開放と短絡とを検出することができます。 EXTEST のハイ・インピーダンス状態は、バスホールドやウィーク・プルアップ抵抗の機能によってオーバーライドされます。
BYPASS	11 1111 1111	<ul style="list-style-type: none"> TDI ピンと TDO ピンの間に 1 ビットのバイパスレジスターを配置します。デバイス通常動作時に、1 ビットのバイパスレジスターは BST データを選択されたデバイスから隣接するデバイスへと同期的に通過させます。 バイパスレジスター出力での読み出しは「0」になります。
USERCODE	00 0000 0111	32 ビットの USERCODE レジスターを選択して TDI ピンと TDO ピンの間に配置し、USERCODE が TDO に順にシフトアウトできるようにします。
IDCODE	00 0000 0110	<ul style="list-style-type: none"> JTAG チェイン内のデバイスを識別します。IR によって IDCODE レジスターが選択されている場合、CAPTURE_DR の状態で IDCODE 命令は TDI と TDO の間に 32 ビットのデバイス ID レジスターを配置し、デバイス ID が TDO から順にシフトアウトすることを可能にします。 32 ビットのデバイス ID レジスターを選択し、TDI ピンと TDO ピンの間に配置すると、デバイス ID が TDO/TDO に順にシフトアウトすることを可能にします。 IDCODE 命令は、Test-Logic-Reset 状態のデフォルトの命令です。
HIGHZ	00 0000 1011	<ul style="list-style-type: none"> すべてのユーザー I/O ピンの駆動ステートを非アクティブに設定します。 TDI ピンと TDO ピンの間に 1 ビットのバイパスレジスターを配置します。 コンフィグレーション後にデバイスをテストする場合、プログラマブル・ウィーク・プルアップ抵抗やバス・ホールドの機能によって HIGHZ 値はピンでオーバーライドされます。
CLAMP	00 0000 1010	<ul style="list-style-type: none"> TDI ピンと TDO ピンの間に 1 ビットのバイパスレジスターを配置します。 コンフィグレーション後にデバイスをテストする場合、プログラマブル・ウィーク・プルアップ抵抗またはバス・ホールド機能によって CLAMP 値はピンで書き込まれます。CLAMP 値は、バウンダリー・スキャンセル (BSC) のアップデート・レジスターに格納された値です。
EXTEST_PULSE	00 1000 1111	<p>以下の 3 つの出力遷移を生成することにより、AC カップリングされているトランスミッターとレシーバーとのボードレベルの接続チェックをイネーブルします。</p> <ul style="list-style-type: none"> UPDATE_IR/DR ステートでは TCK の立ち下りエッジでドライバーがデータを駆動する RUN_TEST/IDLE ステートに入ってから TCK の立ち下りエッジでドライバーが反転したデータを駆動する RUN_TEST/IDLE ステートを出た後で TCK の立ち下りエッジでドライバーがデータを駆動する

continued...

(3) SAMPLE 命令は、高速シリアル・インターフェイス (HSSI) ピン向けにはサポートされていません。



JTAG 命令	命令コード	説明
EXTEST_TRAIN	00 0100 1111	TAP コントローラーが RUN_TEST/IDLE ステートにある限り出力が TCK の立ち下がりでエッジでトグルし続けていることを除いて、EXTEST_PULSE 命令と同じ動作をします。
COMMAND	10 0000 0001	セキュア・デバイス・マネージャー (SDM) に JTAG ホストがコマンドを送信する方法を提供します。 ⁽⁴⁾
RESPONSE	10 0000 0010	SDM に送信されたコマンドへの応答を JTAG ホストが受信する方法を提供します。 ⁽⁴⁾
PROGRAM	00 0000 0010	JTAG ホストが SDM をコンフィグレーションする方法を提供します。 ⁽⁴⁾

関連情報

9 ページの [デバイス ID](#)

3.3 JTAG セキュアモード

インテル® Stratix 10 デバイスの JTAG セキュアモードは、セキュア・デバイス・マネージャー (SDM) を介してサポートされています。

⁽⁴⁾ セキュア・デバイス・マネージャーの詳細については、インテル® Stratix 10 コンフィグレーション・ユーザーガイドを参照してください。



4 JTAG 動作の I/O 電圧

IEEE Std. 1149.1 モードと IEEE Std. 1149.6 モードで動作する インテル® Stratix 10 デバイスは、TDI、TDO、TMS、TCK の 4 つの必須の JTAG ピンを使用します。

TCK ピンは内蔵のウイークプルダウン抵抗を備えており、これに対して TDI ピンと TMS ピンは内蔵のウイークプルアップ抵抗を備えています。V_{CCIO_SDM} は、TDI、TDO、TMS、および TCK ピンに電力を供給します。

JTAG ピンは、1.8 V の TTL/CMOS I/O 規格をサポートします。

注意: 1.8 V を超える電圧に対しては、レベルシフターを使用する必要があります。JTAG ピンに対するレベルシフターの出力電圧は V_{CCPGM} 電源の設定と同じである必要があります。

表 5. TDO 出力バッファ

TDO 出力バッファ条件	電圧 (V)
V _{CCIO_SDM}	1.8

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



5 JTAG バウンダリー・スキャン・テストの実行

コンフィグレーションを中断することなく、BYPASS、IDCODE、SAMPLE JTAG 命令をコンフィグレーションの前、後あるいはコンフィグレーション中に発行することができます。

BST を実行する目的でコンフィグレーションを中断するには、nCONFIG を Low に保持するか、JTAG を使用して次のシーケンスを発行します。つまり、0x201 (COMMAND) で IR スキャンを更新し、次に 34'h3_0000_0000 と 35'h1_0000_0005 で 2 個の 34 ビット DR スキャンを更新します。設定が中断されると、他の JTAG 命令を発行して BST を実行できます。コンフィグレーションが中断されると、BST を実行するよう他の JTAG 命令が発行可能となります。

インテル® Stratix 10 デバイスの JTAG コンフィグレーションを行うボードをデザインする場合には、専用コンフィグレーション・ピンの接続について考慮する必要があります。

注意: SoC デバイスでは、FPGA ブロックの JTAG 接続と HPS ブロックの JTAG 接続は、インテル® Stratix 10 デバイスにチェーン接続されているか、あるいは独立しています。FPGA の JTAG 接続は、HPS ブロックの JTAG 接続よりも高い優先度を有しています。

注意: インテル® Stratix 10 デバイスでは、バウンダリー・スキャン動作中にバウンダリー・スキャン・レジスター内にダミービットが存在します。ただし、このダミービットがピンに影響を与えることはありません。このダミービットは、対応するバウンダリー・スキャン・レジスターのセグメントの直前の TDO に現れ、未知の値である X を有します。この値は、0 か 1 のいずれかとなります。



6 BST 回路のイネーブルとディスエーブル

IEEE Std. 1149.1 BST 回路は、インテル® Stratix 10 デバイスのパワーアップ後にイネーブルされます。

必要ではないときに不用意に IEEE Std. 1149.1 回路を有効にしないように、以下の表にリストしているピン接続によって常に回路を無効にしておきます。

表 6. インテル® Stratix 10 デバイスの IEEE Std. 1149.1 回路を常に無効にするためのピン接続

JTAG ピン ⁽⁵⁾	無効にするための接続
TMS	V _{CCIO_SDM}
TCK	GND
TDI	V _{CCIO_SDM}
TDO	解放のまま

(5) JTAG ピンは専用ピンです。ソフトウェアオプションを使用して、インテル® Stratix 10 デバイスの JTAG を無効にすることはできません。

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



7 IEEE Std. 1149.1 BST のガイドライン

IEEE Std. 1149.1 デバイスで BST を実行する際には、以下のガイドラインを考慮します。

- SHIFT_IR ステートで、インストラクション・レジスターからシフトアウトされる最初の 2 ビットが 1 でなく、0 の場合、TAP コントローラーが適切なステートに達しなかったことを意味します。この問題を解決するには、以下の手順のいずれかを実行します。
 - TAP コントローラーが適切に SHIFT_IR ステートに入ったことを確認します。TAP コントローラーを SHIFT_IR ステートに進めるには、TEST-LOGIC-RESET ステートに戻り、01100 コードを TMS ピンに送ります。
 - デバイスの VCC、GND、JTAG ならびに専用コンフィグレーション・ピンとの接続を確認します。
- 最初の EXTEST テストサイクルの前に SAMPLE/PRELOAD テストサイクルを実行して、EXTEST モードに入る時点でデバイスピンに確実に既知のデータを存在させます。OEJ アップデート・レジスターに 0 が含まれていれば、OUTJ アップデート・レジスターのデータが出力駆動されます。システムの他のデバイスとの衝突を避けるためには、ステートが既知であり、精確でなければいけません。
- in-circuit リコンフィグレーション中の EXTEST はサポートされていないため、in-circuit リコンフィグレーション時に EXTEST テストは実行しないでください。
- コンフィグレーション後は、差動ピンペアのいずれのピンもテストすることができません。コンフィグレーション後に BST を実行するには、これらの差動ピンペアに対応する BSC グループを内部セルとして編集、再定義します。



8 インテル® Stratix 10 JTAG バウンダリー・スキャン・テスト・ユーザーガイドの改訂履歴

日付	バージョン	変更内容
2017年11月	2017.11.06	デバイス ID コードを更新しました。
2017年5月	2017.05.08	デバイス ID コードを更新しました。
2016年10月	2016.10.31	初版

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面で明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済