



インテル® Stratix® 10 汎用 I/O ユーザーガイド

インテル® Quartus® Prime 開発デザインスイートの更新情報: **19.4**

この翻訳版は参照用であり、翻訳版と英語版の内容に相違がある場合は、英語版が優先されるものとします。翻訳版は、資料によっては英語版の更新に対応していない場合があります。最新情報につきましては、必ず[英語版の最新資料](#)をご確認ください。

目次

1. インテル® Stratix® 10 I/O の概要	4
1.1. I/O および差動 I/O バッファ	5
1.2. インテル Stratix 10 I/O パーティカル・マイグレーション・サポート	6
2. インテル Stratix 10 I/O のアーキテクチャーと機能	8
2.1. インテル Stratix 10 デバイスにおける I/O 規格と電圧レベル	8
2.1.1. インテル Stratix 10 の I/O 規格のサポート	9
2.1.2. I/O 規格電圧レベル	10
2.2. インテル Stratix 10 デバイスの I/O エlement 構造	12
2.2.1. インテル Stratix 10 デバイスの I/O バンク・アーキテクチャー	13
2.2.2. インテル Stratix 10 デバイスの I/O バッファと I/O レジスター	14
2.3. インテル Stratix 10 デバイスのプログラマブル IOE 機能	14
2.3.1. プログラマブル出力スレーレート・コントロール	16
2.3.2. プログラマブル IOE 遅延	16
2.3.3. プログラマブル・オープンドレイン出力	17
2.3.4. プログラマブル・バス・ホールド	17
2.3.5. プログラマブル・プルアップ抵抗	18
2.3.6. プログラマブル・プリエンファシス	18
2.3.7. プログラマブル差動出力電圧	19
2.3.8. プログラマブル・ドライブ能力	20
2.4. インテル Stratix 10 デバイスにおけるオンチップ I/O 終端	21
2.4.1. インテル Stratix 10 デバイスにおけるキャリブレーションなしの R_S OCT	22
2.4.2. インテル Stratix 10 デバイスにおけるキャリブレーションありの R_S OCT	24
2.4.3. インテル Stratix 10 デバイスにおけるキャリブレーションありの R_T OCT	26
2.4.4. ダイナミック OCT	28
2.4.5. 差動入力 R_D OCT	29
2.4.6. インテル Stratix 10 デバイスの OCT キャリブレーション・ブロック	29
2.5. インテル Stratix 10 デバイスの外部 I/O 終端	30
2.5.1. シングルエンド I/O 終端	31
2.5.2. インテル Stratix 10 デバイスの差動 I/O 終端	34
3. インテル Stratix 10 I/O のデザイン検討事項	39
3.1. ガイドライン : V_{REF} ソースと V_{REF} ピン	39
3.2. ガイドライン : 3.0 V インターフェイスでのデバイスの絶対最大定格の観察	39
3.3. ガイドライン : 電圧リファレンス形式および非電圧リファレンス形式の I/O 規格	40
3.4. ガイドライン : パワーシーケンス中に I/O ピンをドライブしない	41
3.5. ガイドライン : 最大 DC 電流制限	41
3.6. ガイドライン : 3 つの VI/O バンクすべてに 1 つの電圧のみを使用	42
3.7. ガイドライン : インテル Stratix 10 TX 400 の I/O 規格の制限	42
3.8. ガイドライン : インテル Stratix 10 GX 400 そして SX 400 の I/O 規格の制限	42
4. インテル Stratix 10 I/O の実装ガイド	44
4.1. GPIO インテル FPGA IP	44
4.1.1. GPIO インテル FPGA IP のリリース情報	45
4.1.2. データ・バス	45



4.1.3. レジスターパッキング.....	49
4.2. リソース使用率とデザインのパフォーマンスの検証.....	50
4.3. タイミング.....	50
4.3.1. タイミング・コンポーネント.....	50
4.3.2. 遅延エレメント.....	53
4.3.3. タイミング解析.....	53
4.3.4. タイミング・クロージャのガイドライン.....	56
4.4. インテル FPGA IP デザイン例.....	56
4.4.1. GPIO IP コア合成可能 インテル Quartus Prime デザイン例.....	56
4.4.2. シミュレーション・デザイン例の生成.....	57
4.5. ピン・マイグレーションの互換性の検証.....	57
4.6. GPIO IP コアへの移行.....	58
4.6.1. ALTDIO_IN、ALTDIO_OUT、ALTDIO_BIDIR、および ALTIOBUF IP コアの移行....	58
4.6.2. ガイドライン:移行された IP における datain_h と datain_l ポートのスワップ.....	59
5. 参照先.....	60
5.1. インテル FPGA IP のパラメーター設定.....	60
5.2. インテル FPGA IP のインターフェイス信号.....	62
5.2.1. 共有信号.....	64
5.2.2. データ・インターフェイスのためのデータのビット順.....	64
5.2.3. データ・インターフェイス信号と対応するクロック.....	65
6. インテル Stratix 10 汎用 I/O ユーザーガイド.....	66
7. インテル Stratix 10 汎用 I/O ユーザーガイドの改訂履歴.....	67

1. インテル® Stratix® 10 I/O の概要

インテル® Stratix® 10 の汎用 I/O (GPIO) システムは、I/O エLEMENT (IOE) と GPIO IP コアから構成されています。

- IOE は双方向の I/O バッファおよび LVDS I/O および 3 V I/O バンク内にあり、I/O レジスタに含まれています。
- GPIO IP コアは、ダブル・データ・レート I/O (DDIO)、遅延チェーン、I/O バッファ、コントロール信号、およびクロックの駆動を含む、GPIO コンポーネントおよび機能をサポートします。
- 2 つの I/O バンクは、セキュア・デバイス・マネージャ (SDM) とハード・プロセッサ・システム (HPS) と共有されています。
- ハード・プロセッサ・システム (HPS) を備えたデバイスの場合、3 つの LVDS I/O バンクが HPS SDRAM インターフェイスと共有されます。
- 3 つの VI/O バンクは、I/O レジスタと DDIO を備えていません。
- 3.3 V I/O バンクは、インテル Stratix 10 GX 400 および SX 400 デバイスの HF35 パッケージで使用できます。

関連情報

- [Secure Device Manager, インテル Stratix 10 Configuration User Guide](#)
JTAG セキュアモードについての詳しい情報を提供します。
- [I/O バンクの使用に関する制限 インテル Stratix 10 HPS による EMIF、インテル Stratix 10 外部メモリー・インターフェイスのユーザーガイド](#)
HPS SDRAM インターフェイスで使用される共有 LVDS I/O バンクに関する詳細情報を提供します。
- [ハード・プロセッサ・システム I/O ピンの多重化、インテル Stratix 10 ハード・プロセッサ・システムテクニカルリファレンスマニュアル](#)
HPS の専用 I/O ピンに関する詳細情報を提供します。
- [SDM ピンマッピング、インテル Stratix 10 コンフィグレーションのユーザーガイド](#)
SDM が使用する SDM 共有 LVDS I/O バンクのピンに関する詳細情報を提供します。
- [Secure Device Manager \(SDM\) ピン、インテル Stratix 10 GX, MX、および SX デバイスファミリーのピン接続ガイドライン](#)
SDM ピンの説明と接続ガイドラインを提供します。
- [HyperFlex コア・アーキテクチャー、インテル Stratix 10 デバイスの概要](#)
Hyper-Register および HyperFlex コア・アーキテクチャーに関する詳しい情報を提供しています。Hyper-Register は、コア・ファブリック全体の各インターコネクト配線セグメントで使用可能な追加のレジスタです。これには I/O バッファの入力および出力に接続された配線セグメントが含まれます。
- [インテル Stratix 10 汎用 I/O ユーザーガイド \(66 ページ\)](#)
前バージョンの GPIO IP コア向けのユーザー・ガイドのリストを提供します。



1.1. I/O および差動 I/O バッファ

汎用 I/O (GPIO) は、LVDS I/O バンクと 3 V I/O バンクで構成されています。

- LVDS I/O バンク—差動およびシングルエンド I/O 規格を最大 1.8 V までサポートします。LVDS I/O ピンは真の差動 LVDS チャンネルのペアを形成します。それぞれのペアは 2 つのピン間のパラレル入力 / 出力終端をサポートします。各 LVDS チャンネルはトランスミッターまたはレシーバーとして使用することができます。また、各 LVDS チャンネルは DPA 回路で送信 SERDES と受信 SERDES をサポートします。たとえば、使用可能な 72 チャンネルのうち 30 チャンネルをトランスミッターとして使用している場合、残りの 42 チャンネルはレシーバーとして使用することができます。
- 3 V I/O バンク—最大 3 V のシングルエンドおよび差動 SSTL、HSTL、および HSUL I/O 規格をサポートします。インテル Stratix 10 デバイスに、各 3 V I/O バンクは、8 つのシングルエンド I/O に対して 2 つの出カインエプ (OE) のみをサポートします。この I/O バンク内のシングルエンド I/O は、以下を除くすべてのプログラマブル I/O エレメント (IOE) 機能をサポートします。
 - プログラマブル・プリエンファシス
 - R_D オンチップ終端 (OCT)
 - キャリブレーションされた R_s と s と R_T OCT
 - 内部 V_{REF} 生成
 - ダイナミック OCT
- 3.3 V I/O バンク—LVCMOS および LVTTTL I/O 規格を 3.3 V および 3.0 V でサポートします。この機能は、インテル Stratix 10 GX 400 および SX 400 デバイスの HF35 パッケージで使用できます。3.3 V I/O バッファは単方向です。バンク内の I/O ピンは、8 つのピンのプリセットグループで、すべて入力ピンまたはすべて出力ピンとして構成できます。バンクは次の機能をサポートしています。
 - 入カプログラム可能なプルアップ抵抗
 - 入カ出力としてプログラム可能な電流強度

注意: 3 つの VI/O バンク インテル Stratix 10 デバイスは、GPIO IP コアの DDIO 機能をサポートしていません。3.0 V LVCMOS などの 3 つの VI/O バンクでのみサポートされている I/O 規格を使用する場合、DDIO をバイパスしてください。DDIO 機能のバイパスへの GPIO の IP コア **Register mode** を **none** に設定します。

注意: 3 V I/O バンクは、インテル Stratix 10 トランシーバー・タイルにあります。これらのバンクは、L タイルおよび H タイルのトランシーバー・タイルでのみ使用できます。

関連情報

- [インテル Stratix 10 デバイスのプログラマブル IOE 機能 \(14 ページ\)](#)
- [インテル Stratix 10 デバイス用ピンアウト・ファイル](#)
インテル Stratix 10 デバイスとパッケージのためのそれぞれの I/O カウントと I/O バンクの場所を提供します。

1.2. インテル Stratix 10 I/O パーティカル・マイグレーション・サポート

- 矢印は ADC マイグレーション・パスを示しています。各パーティカル・マイグレーション・パスに含まれるデバイスを色付きで示しています。
- ラインが 2 つの異なる列を接続する場合、製品ラインの異なるパッケージ間で移行できます。ただし、製品ラインの注文部品番号が異なると、LE 数、トランシーバー数、または HBM 機能が異なる場合があります。
- 同じマイグレーション・パス内の製品ライン間で完全に I/O を移行するには、I/O とトランシーバー数が最も少ない製品ラインに合わせて I/O とトランシーバーの使用を制限します。

図 -1: インテル Stratix 10 GX および SX 製品ライン間の移行機能(暫定版)

Product Line	Package			
	HF35	NF43	UF50	HF55
GX/SX 400	↕			
GX/SX 650	↕			
GX/SX 850		↕		
GX/SX 1100		↕		
GX 1660		↕		
GX 2110		↕		
GX/SX 1650		↕	↕	
GX/SX 2100		↕	↕	
GX/SX 2500		↕	↕	↕
GX/SX 2800		↕	↕	↕

図 -2: インテル Stratix 10 TX 製品ライン間の移行機能(暫定版)

Product Line	Package				
	HF35	NF43	SF50	UF50	YF55
TX 400					
TX 850		↕	↕		
TX 1100		↕	↕		
TX 1650				↕	
TX 2100				↕	
TX 2500				↕	↕
TX 2800				↕	↕



図 -3: インテル Stratix 10 MX 製品ライン間の移行機能(暫定版)

Product Line	Package		
	NF53	UF53	UF55
MX 1650	↑	↑↓	↑↓
MX 2100		↓	↓

図 -4: インテル Stratix 10 DX 製品ライン間の移行機能(暫定版)

Product Line	Package		
	JF43	TF53	TF55
DX 1100			
DX 2100			
DX 2800			

注意: ピン・マイグレーションの互換性を確認するには、インテル Quartus® Prime 開発ソフトウェアの Pin Planner で **Pin Migration View** ウィンドウを使用します。

2. インテル Stratix 10 I/O のアーキテクチャーと機能

インテル Stratix 10 デバイスの I/O システムは、さまざまな I/O 規格をサポートします。インテル Stratix 10 デバイスでは、I/O ピンはデバイス外周部の I/O バンク内に配置されています。I/O ピンと I/O バッファはいくつかのプログラマブル機能を有します。

インテル Stratix 10 の I/O は次の機能をサポートします。

- シングル・エンド、非電圧リファレンス、および電圧リファレンス形式の I/O 規格
- 低電圧差動シグナリング(LVDS)、RSDS、mini-LVDS、HSTL、HSUL、SSTL、および POD の I/O 規格
- シリアライザー/ デシリアライザー(SERDES)
- プログラマブル出カドライブ強度
- プログラマブル・スルー・レート
- プログラマブル・バス・ホールド
- プログラマブル・ウィーク・プルアップ抵抗
- DDR4 および LVDS 規格向けのプログラマブル・プリエンファシス
- プログラマブル I/O 遅延
- プログラマブル差動出力電圧(V_{OD})
- プログラマブル・オープン・ドレイン出力
- キャリブレーションあり、およびキャリブレーションなしのオンチップ直列終端(R_S OCT)
- オンチップ・パラレル終端(R_T OCT)
- オンチップ差動終端(R_D OCT)
- ダイナミック・パワーダウンを有する HSTL および SSTL 入力バッファ
- すべての I/O バンクのダイナミック・オンチップ・パラレル終端
- DDR4 キャリブレーションを有する内部生成の V_{REF}

注意: 特に注記のない限り、この章で提供される情報はすべての インテル Stratix 10 バリエーションに適用可能です。

2.1. インテル Stratix 10 デバイスにおける I/O 規格と電圧レベル

インテル Stratix 10 デバイスファミリーは FPGA および SoC デバイスで構成されます。インテル Stratix 10 FPGA デバイスには、FPGA I/O バッファのみがあります。インテル Stratix 10 SoC デバイスには、FPGA I/O および HPS I/O バッファがあります。HPS I/O バッファ インテル Stratix 10 SoC デバイスは、FPGA I/O バッファとは異なる I/O 規格をサポートしています。



2.1.1. インテル Stratix 10 の I/O 規格のサポート

表 1. FPGA I/O の インテル Stratix 10 デバイスの I/O 規格のサポート—暫定値

I/O 規格	サポートする I/O バッファタイプ			適用	規格サポート
	LVDS I/O	3 V I/O ⁽¹⁾ (2)	3.3 V I/O ⁽³⁾		
3.3 V LVTTTL/3.3 V LVCMOS	無効	無効	有効	汎用	JESD8-B
3.0 V LVTTTL/3.0 V LVCMOS	無効	有効 ⁽⁴⁾	有効	汎用	JESD8-B
2.5 V LVCMOS	無効	有効 ⁽⁵⁾	無効	汎用	JESD8-5
1.8 V LVCMOS	有効	有効 ⁽⁵⁾	無効	汎用	JESD8-7
1.5 V LVCMOS	有効	有効 ⁽⁵⁾	無効	汎用	JESD8-11
1.2 V LVCMOS	有効	有効 ⁽⁵⁾	無効	汎用	JESD8-12
SSTL-18 Class I および Class II	有効	無効	無効	フラッシュインターフェイス	JESD8-15
SSTL-15 Class I および Class II	有効	無効	無効	DDR3	—
SSTL-15	有効	無効	無効	DDR3	JESD79-3D
SSTL-135	有効	無効	無効	DDR3L	—
SSTL-125 ⁽⁶⁾	有効	無効	無効	QDR-IV	—
SSTL-12	有効	無効	無効	RLDRAM 3, QDR-IV	—
POD12	有効	無効	無効	DDR4, QDR-IV	JESD8-24
1.8 V HSTL Class I および Class II	有効	無効	無効	DDR II+, QDR II+, および RLDRAM 2	JESD8-6
1.5 V HSTL Class I および Class II	有効	無効	無効	DDR II+, QDR II+, QDR II, RLDRAM 2	JESD8-6
1.2 V HSTL Class I および Class II	有効	無効	無効	QDR-IV, 汎用、	JESD8-16A
HRR-12	有効	無効	無効	LPDDR2, LPDDR3	—
差動 SSTL-18 Class I および Class II	有効	無効	無効	汎用	JESD8-15

continued...

- (1) L タイルおよび H タイルのトランシーバー・タイルでのみ使用できます。
- (2) トランシーバー・タイルの電源が切断されると、タイルの 3 V I/O バンクは使用できなくなります。
- (3) は、HF35 のパッケージ インテル Stratix 10 GX 400 そして SX 400 デバイスでの I/O バンク 3C でのみ使用可能。
- (4) HF35 のパッケージ インテル Stratix 10 GX 400 そして SX 400 デバイスの場合、インテル Quartus Prime ソフトウェアは、I/O バンク 3C を使用して I/O を自動的に実装します。H タイルデバイスの場合、USE_AS_3V_GPIO インテル Quartus Prime ピンへの割り当てを設定する必要があります。
- (5) UUSE_AS_3V_GPIO インテル Quartus Prime 割り当てをピンに設定する必要があります。
- (6) インテル Stratix 10 I/O バッファはメモリー・アプリケーションのさまざまな I/O 規格をサポートしていますが、Intel は、インテル Stratix 10 外部メモリー・インターフェイスのユーザーガイドの [パフォーマンスサポートの概要](#) にリストされているメモリー・インターフェイスの IP のみを検証およびサポートしています。

I/O 規格	サポートする I/O バッファタイプ			適用	規格サポート
	LVDS I/O	3 V I/O ⁽¹⁾ (2)	3.3 V I/O ⁽³⁾		
差動 SSTL-15 Class I および Class II	有効	無効	無効	DDR3	—
差動 SSTL-15	使用可	無効	無効	DDR3	JESD79-3D
差動 SSTL-135	使用可	無効	無効	DDR3L	—
差動 SSTL-125 ⁽⁶⁾	有効	無効	無効	汎用	—
差動 SSTL-12	使用可	無効	無効	RLDRAM 3 :	—
差動 POD12	有効	無効	無効	DDR4	JESD8-24
差動 1.8 V HSTL Class I および Class II	有効	無効	無効	DDR II+, QDR II+, および RLD RAM 2	JESD8-6
差動 1.5 V HSTL Class I および Class II	有効	無効	無効	DDR II+, QDR II+, QDR II, RLD RAM 2	JESD8-6
差動 1.2 V HSTL Class I および Class II	有効	無効	無効	汎用	JESD8-16A
差動 HSUL-12	使用可	無効	無効	LPDDR2, LPDDR3	—
LVDS ⁽⁷⁾	有効	無効	無効	SGMII, SFI, および SPI	ANSI/TIA/EIA-644
Mini-LVDS ⁽⁷⁾	有効	無効	無効	SGMII, SFI, および SPI	—
RSDS ⁽⁷⁾	有効	無効	無効	SGMII, SFI, および SPI	—
LVPECL	有効	無効	無効	SGMII, SFI, および SPI	—

注意: 3 V I/O バンクで 1.2 V、1.5 V、1.8 V、2.5、または 3.0 V I/O 規格を使用するには、I/O ピンに USE_AS_3V_GPIO 割り当てを設定する必要があります。インテル Quartus Prime 設定ファイル (.qsf) で、次の割り当てを指定します。set_instance_assignment -name USE_AS_3V_GPIO ON -to <your pin name>

表 2. インテル Stratix 10 SX デバイスの I/O 規格のサポート—暫定値

I/O 規格	適用	規格サポート
1.8 V LVCMOS	汎用	JESD8-7

2.1.2. I/O 規格電圧レベル

インテル Stratix 10 で、すべてのパッケージが異なる電源電圧のシステムとインターフェイスできます。

- (1) L タイルおよび H タイルのトランシーバー・タイルでのみ使用できます。
- (2) トランシーバー・タイルの電源が切断されると、タイルの 3 V I/O バンクは使用できなくなります。
- (3) は、HF35 のパッケージ インテル Stratix 10 GX 400 そして SX 400 デバイスでの I/O バンク 3C でのみ使用可能。
- (7) インテル Stratix 10 TX 400、GX 400、および SX 400 デバイスjの I/O バンク 3A および 3D の専用クロックピンでのみサポートされています。



- I/O バッファは V_{CCP} 、 V_{CCPT} 、および V_{CCIO} によって駆動されます。
- デバイスの各 I/O バンクは、独自の V_{CCIO} 電源を有しており、1 つの V_{CCIO} 電圧のみをサポートすることができます。
- すべての LVDS I/O バンクで、2.5 V、3.0 V、および 3.3 V を除く、リストされている V_{CCIO} 電圧のいずれかを使用できます。ただし、HF35 のパッケージ インテル Stratix 10 GX 400 そして SX 400 デバイスでの LVDS I/O バンク 3D は 1.8 V の V_{CCIO} のみをサポートします。
- 2.5 V および 3.0 V の V_{CCIO} は、3 V I/O バッファタイプでのみサポートされます。
- 3.3 V の V_{CCIO} 電圧は、インテル Stratix 10 GX 400 そして SX 400 デバイスでの HF35 のパッケージの I/O バンク 3C でのみサポートされています。これらのデバイスの I/O バンク 3C も 3.0 V をサポートしています。
- 許容される最大および最小入力電圧については、デバイスのデータシートを参照してください。

表 3. インテル Stratix 10 の I/O 規格電圧レベル

この表は、インテル Stratix 10 デバイスでサポートされる各 I/O 規格の標準的な電源をリストしています。

I/O 規格	$V_{CCIO}(V)$		$V_{CCPT}(V)$ (プリアンプ電圧)	$V_{REF}(V)$ (入力 Ref 電圧)	$V_{TT}(V)$ (ボード終端電圧)
	入力 ⁽⁸⁾	出力			
3.3 V LVTTTL / 3.3 V LVCMOS の ⁽⁹⁾	3.3/3.0	3.3	1.8	—	—
3.0 V LVTTTL/3.0 V LVCMOS	3.3/3.0	3.0	1.8	—	—
2.5 V LVCMOS	3.0/2.5	2.5	1.8	—	—
1.8 V LVCMOS	1.8	1.8	1.8	—	—
1.5 V LVCMOS	1.5	1.5	1.8	—	—
1.2 V LVCMOS	1.2	1.2	1.8	—	—
SSTL-18 Class I および Class II	V_{CCPT}	1.8	1.8	0.9	0.9
SSTL-15 Class I および Class II	V_{CCPT}	1.5	1.8	0.75	0.75
SSTL-15	V_{CCPT}	1.5	1.8	0.75	0.75
SSTL-135	V_{CCPT}	1.35	1.8	0.675	0.675
SSTL-125	V_{CCPT}	1.25	1.8	0.625	0.625
SSTL-12	V_{CCPT}	1.2	1.8	0.6	0.6
POD12	V_{CCPT}	1.2	1.8	0.84	1.2
1.8 V HSTL Class I および Class II	V_{CCPT}	1.8	1.8	0.9	0.9
1.5 V HSTL Class I および Class II	V_{CCPT}	1.5	1.8	0.75	0.75
1.2 V HSTL Class I および Class II	V_{CCPT}	1.2	1.8	0.6	0.6
HRR-12	V_{CCPT}	1.2	1.8	0.6	—
差動 SSTL-18 Class I および Class II	V_{CCPT}	1.8	1.8	—	0.9

continued...

(8) SSTL、HSTL、差動 SSTL、差動 HSTL、POD、差動 POD、LVDS、RSDS、Mini-LVDS、LVPECL、HSUL、および差動 HSUL の入力は、 V_{CCPT} によって駆動します。

(9) インテル Stratix 10 GX 400 そして SX 400 デバイスでの HF35 のパッケージの I/O バンク 3C でのみ使用可能。

I/O 規格	V _{CCIO} (V)		V _{CCPT} (V) (プリドライバ電圧)	V _{REF} (V) (入力 Ref 電圧)	V _{TT} (V) (ボード終端電圧)
	入力 ⁽⁸⁾	出力			
差動 SSTL-15 Class I および Class II	V _{CCPT}	1.5	1.8	—	0.75
差動 SSTL-15	V _{CCPT}	1.5	1.8	—	0.75
差動 SSTL-135	V _{CCPT}	1.35	1.8	—	0.675
差動 SSTL-125	V _{CCPT}	1.25	1.8	—	0.625
差動 SSTL-12	V _{CCPT}	1.2	1.8	—	0.6
差動 POD12	V _{CCPT}	1.2	1.8	—	1.2
差動 1.8 V HSTL Class I および Class II	V _{CCPT}	1.8	1.8	—	0.9
差動 1.5 V HSTL Class I および Class II	V _{CCPT}	1.5	1.8	—	0.75
差動 1.2 V HSTL Class I および Class II	V _{CCPT}	1.2	1.8	—	0.6
差動 HSUL-12	V _{CCPT}	1.2	1.8	—	—
LVDS ⁽¹⁰⁾	V _{CCPT}	1.8	1.8	—	—
Mini-LVDS ⁽¹⁰⁾	V _{CCPT}	1.8	1.8	—	—
RSDS ⁽¹⁰⁾	V _{CCPT}	1.8	1.8	—	—
LVPECL(差動クロック入力のみ)	V _{CCPT}	—	1.8	—	—

関連情報

I/O 標準仕様、インテル Stratix 10 デバイス・データシート

2.2. インテル Stratix 10 デバイスの I/O エLEMENT 構造

インテル Stratix 10 デバイスの I/O エLEMENT (IOE) は双方向 I/O バッファと I/O レジスタを有しており、完全なエンベデッド双方向シングル・データ・レート (SDR) またはダブル・データ・レート (DDR) の転送をサポートします。

IOE は、インテル Stratix 10 デバイスのコア・ファブリック内の I/O カラムに配置されています。

また、インテル Stratix 10 SX デバイスは HPS の IOE を有します。

GPIO IOE レジスタは、DDR レジスタ、ハーフ・レート・レジスタ、入出力および出力イネーブル (OE) パスのトランスミッター遅延チェーンで構成されています。

- 組み合わせパスまたはレジスタ済みのパスからデータを取得することができます。
- コアクロックのみがデータをクロックします。
- コアから配線されるハーフ・レート・クロックは、ハーフ・レート・レジスタをクロックします。
- コアからのフル・レート・クロックは、フル・レート・レジスタをクロックします。

⁽⁸⁾ SSTL、HSTL、差動 SSTL、差動 HSTL、POD、差動 POD、LVDS、RSDS、Mini-LVDS、LVPECL、HSUL、および差動 HSUL の入力は、V_{CCPT} によって駆動します。

⁽¹⁰⁾ インテル Stratix 10 TX 400、GX 400、および SX 400 デバイスの I/O バンク 3A および 3D の専用クロックピンでのみサポート。



2.2.1. インテル Stratix 10 デバイスの I/O バンク・アーキテクチャー

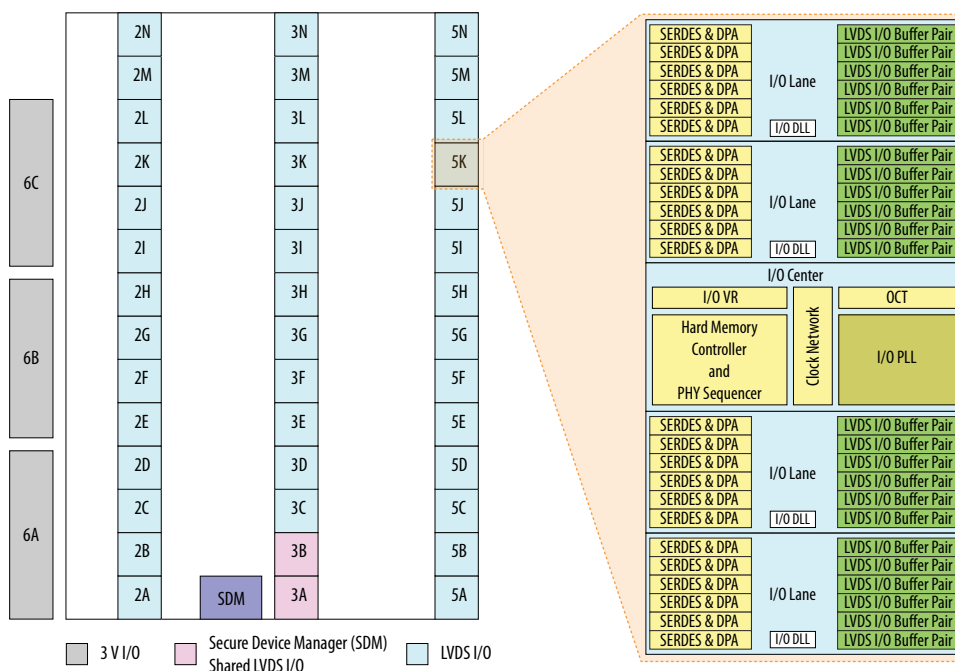
各 I/O バンクには、各レーンに 12 個の I/O ピンを備えた 4 つの I/O レーンがあります。また、I/O レーンの他に、各 I/O バンクは I/O PLL、DPA ブロック、SERDES、ハード・メモリー・コントローラー、および I/O シーケンサーを含む専用回路を有します。

ただし、DPA ブロックと SERDES は、次のデバイスの HF35 パッケージ内の次の I/O バンクでは使用できません。:

- インテル Stratix 10 GX 400 および SX 400 デバイス—I/O バンク 3A、3C、および 3D
- インテル Stratix 10 TX 400 デバイス—I/O バンク 3A および 3D

各 3 V または 3.3 V I/O バンクには、8 つのシングルエンド I/O バッファがあります。HF35 の インテル Stratix 10 GX 400 および SX 400 デバイスのパッケージの 3.3 V I/O バンクは、単方向シングルエンド 3.3 V または 3.0 V I/O バッファのみをサポートします。3.3 V I/O バンクでは、ピンは 8 ピングループを形成します。グループ内の 8 つのピンすべてをまとめて、すべて入力のみまたはすべて出力のみとして構成できます。ピングループを識別するには、デバイスのピン配置ファイルの「オプション機能」カラムを参照してください。

図 -5: I/O バンク構造



関連情報

- [Secure Device Manager, インテル Stratix 10 Configuration User Guide](#)
 JTAG セキュアモードについての詳しい情報を提供します。
- [I/O バンクの使用に関する制限 インテル Stratix 10 HPS による EMIF、インテル Stratix 10 外部メモリー・インターフェイスのユーザーガイド](#)
 HPS SDRAM インターフェイスで使用される共有 LVDS I/O バンクに関する詳細情報を提供します。
- [アルテラデバイス用ピンアウト・ファイル](#)

2.2.2. インテル Stratix 10 デバイスの I/O バッファと I/O レジスター

I/O レジスターは、ピンからコアへのデータを処理する入力パス、コアからピンへのデータを処理する出力パス、および出力バッファへの OE 信号を処理する出力イネーブル(OE)パスで構成されます。これらのレジスターによって、より速いソース同期レジスター間転送および再同期が可能になります。

入力パスと出力パスは、次のブロックを有します。

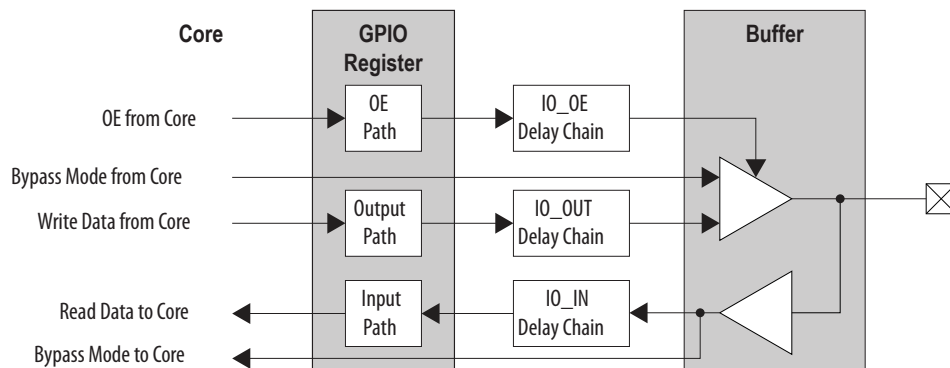
- 入力レジスター—ペリフェラルからコアへのハーフ / フル・レート・データの転送をサポートします。また、I/O バッファからのダブルまたはシングル・データ・レートのデータ・キャプチャーをサポートします。
- 出力レジスター—コアからペリフェラルへのハーフ / フル・レート・データの転送をサポートします。また、I/O バッファへのダブルまたはシングル・データ・レートのデータ転送をサポートします。
- OE レジスター—コアからペリフェラルへのハーフまたはフル・レート・データの転送をサポートします。また、I/O バッファへのシングル・データ・レートのデータ転送をサポートします。

また、入力および出力パスは次の機能もサポートします。

- クロックイネーブル
- 非同期または同期リセット
- 入力パスと出力パスのバイパスモード
- 入力パスと出力パスの遅延チェーン

図 -6: インテル Stratix 10 デバイスの IOE 構造

次の図は、インテル Stratix 10 FPGA の IOE 構造を示しています。



注意: 3 V I/O バンクの GPIO は I/O レジスターを有しません。

2.3. インテル Stratix 10 デバイスのプログラマブル IOE 機能

表 4. インテル Stratix 10 プログラマブル IOE の特長の設定およびアサインメント名

特長	設定	条件	インテル Quartus Prime アサインメント名
スルー・レート・コントロール	0(低速)、1(高速)。デフォルトは 1 です。	R _S OCT 機能を使用する場合はデイスエーブルされます。	SLEW_RATE
I/O 遅延	デバイス・データシートを参照してください。	—	INPUT_DELAY_CHAIN OUTPUT_DELAY_CHAIN

continued...



特長	設定	条件	インテル Quartus Prime アサインメント名
オープンドレイン出力オプション	オンとオフ。デフォルトはオフです。	—	AUTO_OPEN_DRAIN_PINS
バスホールド	オンとオフ。デフォルトはオフです。	ウィーク・プルアップ抵抗機能を使用する場合はディセーブルされません。	ENABLE_BUS_HOLD_CIRCUITRY
ウィーク・プルアップ抵抗	オンとオフ。デフォルトはオフです。	バス・ホールド機能を使用する場合はディセーブルされます。	WEAK_PULL_UP_RESISTOR
プリエンファシス	0(ディセーブル)、1(イネーブル)。デフォルトは 1。	—	PROGRAMMABLE_PREEMPHASIS
差動出力電圧	Low (0)、Medium low (1)、Medium high (2)、および High (3)。デフォルトは 2。	—	PROGRAMMABLE_VOD

表 5. インテル Stratix 10 プログラマブル IOE の特徴、I/O 規格およびバッファータイプのサポート

この表は、プログラマブル IOE の特徴をサポートする I/O バッファータイプと I/O 規格のリストです。各 I/O バッファータイプで使用できる I/O 規格については、関連情報を参照してください。

特徴	サポートする I/O バッファータイプ			I/O 規格サポート
	LVDS I/O	3 V I/O	HPS I/O (SoC デバイスのみ)	
スルー・レート・コントロール ⁽¹¹⁾	可能	可能	可能	<ul style="list-style-type: none"> 3.0 V、3.3 V LVTTL 1.2 V、1.5 V、1.8 V、2.5 V and 3.0 V/3.3 V LVCMOS SSTL-18、SSTL-15、SSTL-135、SSTL-125、および SSTL-12 1.2 V、1.5 V、および 1.8 V HSTL HSUL-12 POD12 差動 SSTL-18、差動 SSTL-15、差動 SSTL-135、差動 SSTL-125、および差動 SSTL-12 差動 1.2 V、1.5 V、および 1.8 V HSTL 差動 HSUL-12
I/O 遅延	可能	可能	—	
オープンドレイン出力オプション ⁽¹¹⁾	可能	可能	可能	
バスホールド ⁽¹¹⁾	可能	可能	—	

continued...

⁽¹¹⁾ インテル Stratix 10 GX 400 および SX 400 デバイスの HF35 パッケージの 3.3 V I/O バンク(バンク 3C)では使用できません。

特徴	サポートする I/O バッファータイプ			I/O 規格サポート
	LVDS I/O	3 V I/O	HPS I/O (SoC デバイス のみ)	
ウィークプルアップ抵抗	可能	可能	可能	
プリアンフィング	可能	—	—	<ul style="list-style-type: none"> • LVDS • RSFS • Mini-LVDS • LVPECL • OCT 高速スルーレートモードの場合: <ul style="list-style-type: none"> — POD12 および差動 POD12 — SSTL-12 および差動 SSTL-12
差動出力電圧	可能	—	—	<ul style="list-style-type: none"> • LVDS • RSFS • Mini-LVDS • LVPECL

インテル Stratix 10 GX 400 として SX 400 デバイスの HF35 のパッケージ no3.3 V I/O バンク (バンク 3C) で、弱いプルアップ制御は 8 ピングループベースです。ピングループを識別するには、デバイスのピン配置ファイル「オプション機能」カラムを参照してください。たとえば、グループ名は IO33_LS[<group index>]_[<pin index>] です。

関連情報

- [インテル Stratix 10 デバイスのデータシート](#)
- [インテル Stratix 10 の I/O 規格のサポート \(9 ページ\)](#)
LVDS I/O、3 V I/O、および HPS I/O バッファでサポートされる I/O 規格をリストします。
- [アルテラデバイス用ピンアウト・ファイル](#)

2.3.1. プログラマブル出力スルーレート・コントロール

各 I/O ピンにスルーレート・コントロールがあるので、スルーレートをピンごとに指定できます。スルーレート・コントロールは立ち上がりおよび立ち下りの両方のエッジに対して作用します。

2 つのスルーレート設定には 1 または 0 を選択できます。

- 高速スルーレート (1) — 高性能システムの高速度トランジションを実現します。これはデフォルト設定です。オンチップ・ターミネーション (OCT) をイネーブルすると、この設定が常に使用されます。
- 低速スルーレート — システム・ノイズおよびクロストークを軽減するが、立ち上がりおよび立ち下りエッジにノミナル遅延を追加する

注意: アルテラは、IBIS または SPICE シミュレーションを行い、デザインするアプリケーション向けに最適なスルーレート設定を決定することを推奨します。

2.3.2. プログラマブル IOE 遅延

プログラマブル IOE 遅延をアクティブ化すると、ゼロ・ホールド・タイムを確実にし、セットアップ・タイムを最小限に抑え、また Clock-to-Output タイムを延長することができます。この機能は、バスの信号間の不確実性を最小限に抑えるため、タイミング・マージンの読み取りおよび書き込みに役立ちます。



各ピンは、ピンから入力レジスターへの異なる入力遅延、あるいは出力レジスターから出力ピンへの遅延値を有することができ、これによりデバイスに入る、またはデバイスを出るバス内の信号が同じ遅延を有することを保障します。

プログラマブル IOE 遅延仕様についての詳細は、デバイス・データシートを参照してください。

関連情報

[Programmable IOE Delay, インテル Stratix 10 Device Datasheet](#)

2.3.3. プログラマブル・オープンドレイン出力

プログラム可能なオープンドレイン出力は、出力バッファへのロジックがハイのときに、出力にハイインピーダンス状態を提供します。出力バッファへのロジックが低い場合、出力は低くなります。

複数のオープンドレイン出力をワイヤに接続できます。この接続タイプは論理 OR 関数のようなもので、一般にアクティブローワイヤード OR 回路と呼ばれます。出力の少なくとも 1 つが論理 0 状態 (アクティブ) の場合、回路は電流をシンクし、ラインを低電圧にします。

複数のデバイスをバスに接続する場合は、オープンドレイン出力を使用できます。たとえば、任意のデバイスによって、または割り込みとしてアサートできるシステムレベルの制御信号にオープンドレイン出力を使用できます。

次のいずれかの方法を使用して、オープンドレイン出力割り当てを有効にできます。

- OPNDRN プリミティブを使用してトライステートバッファを設計します。
- インテル Quartus Prime ソフトウェアでの **Auto Open-Drain Pins** オプションをオンにします。

オプションの割り当てを有効にせずに、オープンドレイン出力を設計できます。ただし、デザインでは I/O バッファのオープンドレイン出力機能を使用しません。I/O バッファのオープンドレイン出力機能は、OE から出力までの最適な伝播遅延を提供します。

注意: 出力電圧を V_i (DC) レベルより高く引き上げないでください。Intel は HSPICE シミュレーションを実行して、選択したトポロジの出力電圧を確認することを推奨します。出力電圧が受信デバイスの V_{IH} および V_{IL} 要件を満たしていることを確認する必要があります。

関連情報

[プラン・ステージ・レポート、コンパイラーのユーザーガイド、インテル Quartus Prime プロ・プロ・エディション](#)

I/O ピン設定の確認に使用できるフィッタープランステージレポートに関する詳細情報を提供します。

2.3.4. プログラマブル・バス・ホールド

各 I/O ピンはオプションのバス・ホールド機能を提供します。これはコンフィギュレーション後のみアクティブになります。デバイスがユーザー・モードに入ると、バス・ホールド回路は、コンフィギュレーション終了時にピンに生じた値をキャプチャします。

バス・ホールド回路は弱く、ピンの最後にドライブされた状態への信号レベルをプルする、公称抵抗値 (R_{BH})、約 7 k Ω の抵抗を使用します。次の入力信号が発生するまでバス・ホールド回路は、このピンの状態を保持しています。このため、外部プルアップを必要としない、またはプルダウン抵抗をバスがトライ・ステートになったとき、信号レベルを保持します。

各 I/O ピンで、バス・ホールド回路で駆動されないピンを個別に指定し、ノイズにより意図しない高周波スイッチングを引き起こす恐れのある入力しきい値電圧から引き離すことができます。信号のオーバードライブを防止するために、バス・ホールド回路は V_{CCIO} レベルより低い電圧レベルで I/O ピンを駆動します。

バス・ホールド機能をイネーブルした場合には、プログラマブル・プルアップ・オプションが使用できません。差動信号向けに I/O ピンをコンフィグレーションするには、バス・ホールド機能をディスエーブルします。

2.3.5. プログラマブル・プルアップ抵抗

各 I/O ピンは、ユーザー・モード時にオプションのプログラマブル・プルアップ抵抗を提供します。プルアップ抵抗は、I/O を微弱な電流で V_{CCIO} レベルに保持します。

インテル Stratix 10 デバイスは、プログラマブル・ウィークプルアップ抵抗をユーザー I/O ピンでのみサポートし、専用コンフィグレーション・ピン、専用クロック・ピンあるいは JTAG ピンではサポートしません。

ウィークプルアップ抵抗をイネーブルした場合には、バス・ホールド機能を使用できません。

関連情報

ECO フロー図

コンフィグレーション時にウィークプルアップをセットする方法について、詳しい情報を提供します。

2.3.6. プログラマブル・プリエンファシス

ドライバーの V_{OD} 設定と出力インピーダンスは、高速伝送の信号の出力電流制限を設定します。高周波数では、スルーレートが次のエッジの前にフル V_{OD} に達するほど高速ではないため、パターンに依存するジッターが発生します。プリエンファシスを適用した場合、スイッチング中に出力電流が瞬時に増幅され、出力スルーレートが増大します。

プリエンファシスは、出力信号の高周波数コンポーネントの振幅を増加させるため、伝送ラインにおける周波数依存の減衰を補償するのに役立ちます。余剰の電流によるオーバーシュートは、信号の反射によるオーバーシュートとは異なり、ステート・スイッチングの変更中にのみ生じ、出力スルーレートを高めめます。また、リングングは起こりません。必要なプリエンファシスの量は、伝送ラインにおける高周波数コンポーネントの減衰によって異なります。

図 -7: プログラマブル・プリエンファシス

次の図は、プリエンファシス適用時の LVDS 出力を示しています。

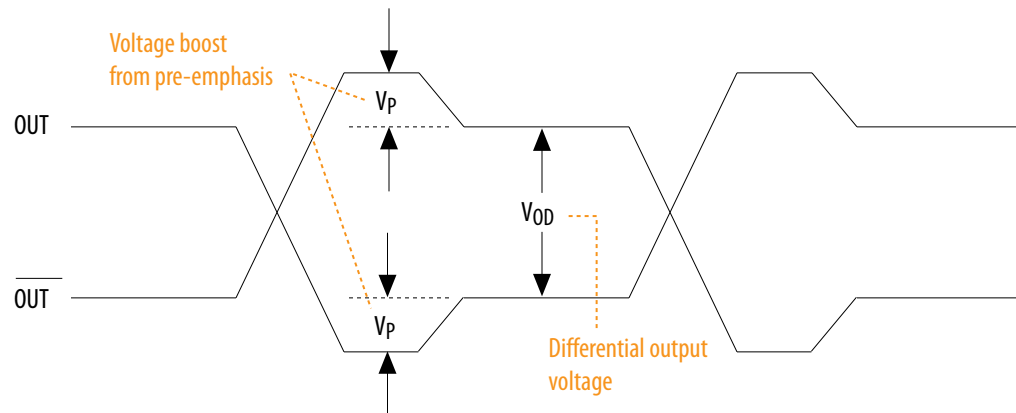


表 6. インテル Quartus Prime 開発ソフトウェアの Assignment Editor – プログラマブル・プリエンファシス

次の表は、インテル Quartus Prime 開発ソフトウェアの Assignment Editor におけるプログラマブル・プリエンファシスのアサインメント名と可能な値をリストしています。

フィールド	アサインメント
To	tx_out
アサインメント名	プログラマブル・プリエンファシス
許容値	0(ディスエーブル)、1(イネーブル)。デフォルトは 1。

2.3.7. プログラマブル差動出力電圧

プログラマブル V_{OD} 設定では、出力のアイ開口を調整して、トレース長と消費電力を最適化することができます。高い V_{OD} スイングはレシーバー端における電圧マージンを高め、小さい V_{OD} スイングは消費電力を削減します。差動信号の V_{OD} は、インテル Quartus Prime 開発ソフトウェア Assignment Editor の V_{OD} 設定を変更することによってスタティックに調整することができます。

図 -8: 差動 V_{OD}

次の図は、差動 LVDS 出力の V_{OD} を表しています。

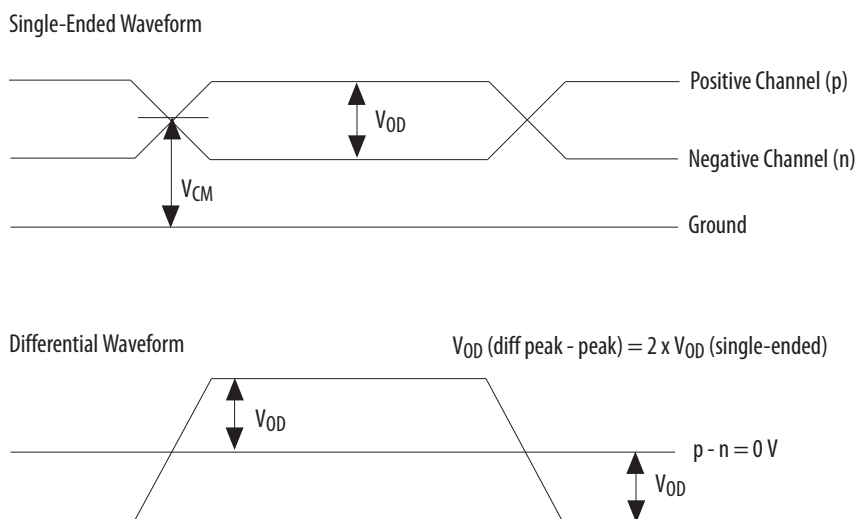


表 7. インテル Quartus Prime 開発ソフトウェアの Assignment Editor – プログラマブル V_{OD}

以下の表は、インテル Quartus Prime ソフトウェアの Assignment Editor におけるプログラマブル・プリエンファシスのアサインメント名と可能な値をリストしています。

フィールド	アサインメント
To	tx_out
Assignment name	プログラマブル差動出力電圧 (V_{OD})
Allowed values	Low (0)、Medium low (1)、Medium high (2)、および High (3)。デフォルトは 2。

2.3.8. プログラマブル・ドライブ能力

プログラマブル・ドライブ能力を使用して、長い伝送経路またはレガシー・バックプレーンに起因する High 信号減衰による影響を緩和することができます。

注意: プログラム可能なドライブ強度を使用するには、インテル Quartus Prime ソフトウェアでドライブ強度のアサインメントを指定する必要があります。明示的な割り当てがない場合、インテル Quartus Prime ソフトウェアは次の既定のデフォルト値を使用します。

- すべての HSTL と SSTL Class I、およびすべての非電圧リファレンスの I/O 規格—キャリブレーションなしの 50 Ω R_S OCT
- すべての HSTL と SSTL Class II I/O 規格—キャリブレーションなしの 25 Ω R_S OCT
- POD12 I/O 規格—キャリブレーションなしの 34 Ω R_S OCT

表 8. インテル Stratix 10 デバイスのプログラマブル・ドライブ能力設定

インテル Stratix 10 デバイスの各 I/O ピンの出力バッファは、次の表にリストされている I/O 規格に適合させるためのプログラマブル・ドライブ能力コントロール機能を有します。

I/O 規格	I _{OH} / I _{OL} のドライブ能力設定値 (mA)			
	FPGA におけるサポート		HPS のプログラマブル電流強度の情報は暫定的なものです。 (SoC デバイスのみ)	
	可用	デフォルト	可用	デフォルト
3.3 V LVTTTL ⁽¹²⁾	16, 12, 8, 4		12	—
3.3 V SSTL	16, 12, 8, 4		12	—
3.0 V LVTTTL ⁽¹³⁾	3.3 V の I/O バンク	16, 12, 8, 4	12	—
	3V の I/O バンク	24, 20, 16, 12, 8, 4		
3.0 V LVCMOS ⁽¹³⁾	3.3 V の I/O バンク	16, 12, 8, 4	12	—
	3V の I/O バンク	24, 20, 16, 12, 8, 4		
2.5 V LVCMOS	16, 12, 8, 4		12	—
1.8 V LVCMOS	16, 12, 10, 8, 6, 4, 2		12	12, 10, 8
1.5 V LVCMOS	12, 10, 8, 6, 4, 2		12	—
1.2 V LVCMOS	8, 6, 4, 2		8	—
SSTL-18 Class I	8, 6, 4		8	—
SSTL-18 Class II	8		8	—
SSTL-15 Class I	8, 6, 4		8	—

continued...

⁽¹²⁾ インテル Stratix 10 GX 400 および SX 400 デバイス HF35 のパッケージでの I/O バンク 3C でのみ使用可能。現在の強度設定コントロールは、8 ピングループベースです。ピングループを識別するには、デバイスのピン配置ファイル「オプション機能」カラムを参照してください。たとえば、グループ名は IO33_LS[<group index>]_[<pin index>] です。

⁽¹³⁾ プログラマブルスルーレート制御は、16 mA 以上の電流強度設定にのみ適用できます。



I/O 規格	I _{OH} / I _{OL} のドライブ能力設定値(mA)			
	FPGA におけるサポート		HPS のプログラマブル電流強度の情報は暫定的なものです。 (SoC デバイスのみ)	
	可用	デフォルト	可用	デフォルト
SSTL-15 Class II	8	8	—	—
SSTL-135	8、6、4	8	—	—
SSTL-125	8、6、4	8	—	—
SSTL-12	8、6、4	8	—	—
POD12	8、6、4	8	—	—
1.8 V HSTL Class I	12、10、8、6、4	8	—	—
1.8 V HSTL Class II	14	14	—	—
1.5 V HSTL Class I	12、10、8、6、4	8	—	—
1.5 V HSTL Class II	14	14	—	—
1.2 V HSTL Class I	8、6、4	8	—	—
差動 SSTL-18 class I	8、6、4	8	—	—
差動 HSTL-18 Class II	8	8	—	—
差動 SSTL-15 Class I	8、6、4	8	—	—
差動 HSTL-15 Class II	8	8	—	—
差動 SSTL-135	12、10、8、6、4	8	—	—
差動 SSTL-125	12、10、8、6、4	8	—	—
差動 SSTL-12 Class I	12、10、8、6、4	8	—	—
差動 POD12	8、6、4	8	—	—
差動 1.8 V HSTL Class I	12、10、8、6、4	8	—	—
差動 1.8 V HSTL Class II	14	14	—	—
差動 1.5 V HSTL Class I	12、10、8、6、4	8	—	—
差動 1.5 V HSTL Class II	14	14	—	—
差動 1.2 V HSTL Class I	8、6、4	8	—	—

注意: Intel は、特定のアプリケーションに最適なドライブ強度設定を決定するために、IBIS または SPICE シミュレーションを実行することを推奨します。

関連情報

[アルテラデバイス用ピンアウト・ファイル](#)

2.4. インテル Stratix 10 デバイスにおけるオンチップ I/O 終端

シリアル (R_S) 及びパラレル (R_T) OCT は、I/O インピーダンス・マッチングと終端機能を提供します。OCT は、信号品質の維持、ボードスペースの節約、外部コンポーネント・コストの削減を実現します。

インテル Stratix 10 デバイスは、次の例外を除き、すべての FPGA I/O バンクで OCT をサポートしません。

- 3 V I/O は、キャリブレーションなしの OCT のみをサポートします。
- 3.3 V I/O は、OCT をサポートしません。

図 -9: シングルエンド終端 (R_S と R_T)

次の図は、インテル Stratix 10 デバイスでサポートされるシングルエンド終端方法を表しています。 R_{T1} と R_{T2} はダイナミック・パラレル終端であり、デバイスが受信中の場合にのみイネーブルされます。双方向アプリケーションでは、 R_{T1} と R_{T2} は、デバイスが受信中のときに自動的にオンになり、デバイスがドライブ中のときはオフになります。

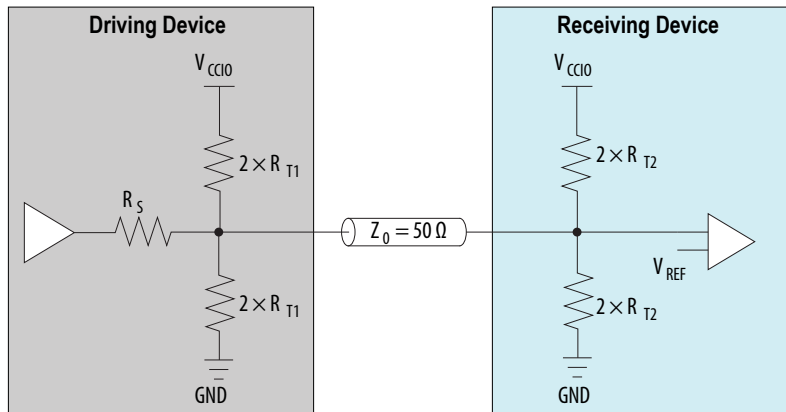


表 9. インテル Stratix 10 デバイスでサポートされる OCT 手法

入力 / 出力	OCT 手法	サポートする I/O タイプ		
		LVDS I/O	3 V I/O	3.3 V I/O
出力	キャリブレーションありの R_S OCT	有効	—	—
	キャリブレーションなしの R_S OCT	有効	有効	—
入力	キャリブレーションありの R_T OCT	有効	—	—
	R_D OCT (LVDS I/O 規格のみ)	有効	—	—
双方向	ダイナミック R_S および R_T OCT	有効	—	—

2.4.1. インテル Stratix 10 デバイスにおけるキャリブレーションなしの R_S OCT

インテル Stratix 10 デバイスは、シングルエンドおよび電圧リファレンス形式の I/O 規格の R_S OCT をサポートします。キャリブレーションなしの R_S OCT は出力でのみサポートされます。

表 10. キャリブレーションなしの R_S OCT で選択可能な I/O 規格

次の表は、異なる I/O 規格におけるキャリブレーションされていない OCT の出力終端の設定をリストしています。

I/O 規格	キャリブレーションされていない OCT(出力)
	R_S (Ω)
3.0 V LVTTTL/3.0 V LVCMOS	25, 50
2.5 V LVCMOS	25, 50
1.8 V LVCMOS	25, 50
<i>continued...</i>	



I/O 規格	キャリブレーションされていない OCT(出力)
	R_S (Ω)
1.5 V LVCMOS	25, 50
1.2 V LVCMOS	25, 50
SSTL-18 Class I	50
SSTL-18 Class II	25
SSTL-15 Class I	50
SSTL-15 Class II	25
SSTL-15	34, 40
SSTL-135	34, 40
SSTL-125	34, 40
SSTL-12	34, 40, 60, 120, 240
POD12	34, 40, 48, 60
1.8 V HSTL Class I	50
1.8 V HSTL Class II	25
1.5 V HSTL Class I	50
1.5 V HSTL Class II	25
1.2 V HSTL Class I	50
1.2 V HSTL Class II	25
HRR-12	34, 40, 48, 60, 80
差動 SSTL-18 class I	50
差動 HSTL-18 Class II	25
差動 SSTL-15 Class I	50
差動 HSTL-15 Class II	25
差動 SSTL-15	34, 40
差動 SSTL-15 Class I	50
差動 HSTL-15 Class II	25
差動 SSTL-135	34, 40
差動 SSTL-125	34, 40
差動 SSTL-12	34, 40, 60, 120, 240
差動 POD12	34, 40, 48, 60
差動 1.8 V HSTL Class I	50
差動 1.8 V HSTL Class II	25
差動 1.5 V HSTL Class I	50
差動 1.5 V HSTL Class II	25

continued...

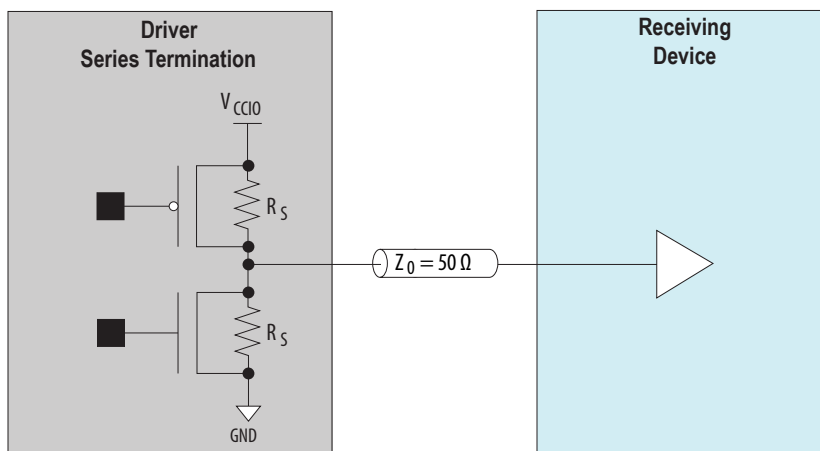
I/O 規格	キャリブレーションされていない OCT(出力)
	R_S (Ω)
差動 1.2 V HSTL Class I	50
差動 1.2 V HSTL Class II	25
差動 HSUL-12	34, 40, 48, 60, 80

ドライバー・インピーダンス・マッチングは、I/O ドライバーに伝送ラインのインピーダンスと厳密にマッチングする制御された出力インピーダンスを提供して、反射を大幅に低減します。

インピーダンス整合を使用する場合、現在の強度を指定することはできません。

図 -10: キャリブレーションなしの R_S OCT

次の図は、出力トランジスタの固有インピーダンスとしての R_S を表しています。



2.4.2. インテル Stratix 10 デバイスにおけるキャリブレーションありの R_S OCT

インテル Stratix 10 デバイスは、すべての LVDS I/O バンクでキャリブレーションありの R_S OCT をサポートします。

表 11. キャリブレーションありの R_S OCT で選択可能な I/O 規格

次の表は、異なる I/O 規格におけるキャリブレーションされた OCT の出力終端の設定をリストしています。

I/O 規格	キャリブレーションされた OCT(出力)	
	R_S (Ω)	RZQ (Ω)
1.8 V LVCMOS	25, 50	100
1.5 V LVCMOS	25, 50	100
1.2 V LVCMOS	25, 50	100
SSTL-18 Class I	50	100
SSTL-18 Class II	25	100
SSTL-15 Class I	50	100
SSTL-15 Class II	25	100

continued...



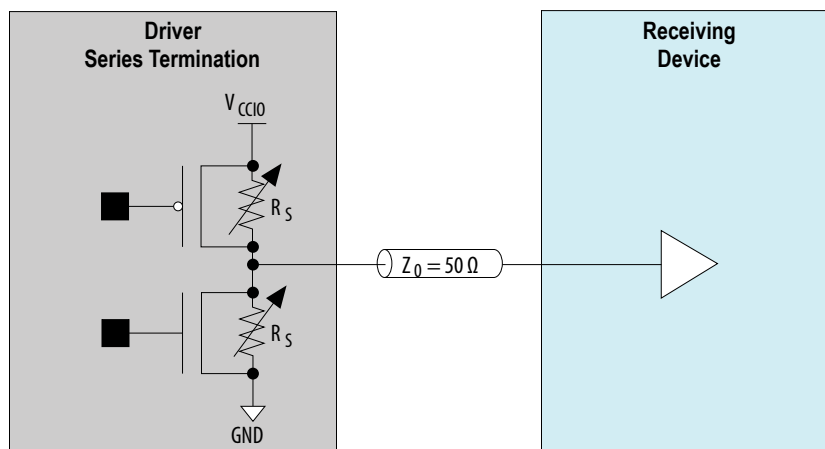
I/O 規格	キャリブレーションされた OCT(出力)	
	R_S (Ω)	RZQ (Ω)
SSTL-15	34, 40	240
SSTL-135	34, 40	240
SSTL-125	34, 40	240
SSTL-12	34, 40, 60, 120, 240	240
POD12	34, 40, 48, 60	240
1.8 V HSTL Class I	50	100
1.8 V HSTL Class II	25	100
1.5 V HSTL Class I	50	100
1.5 V HSTL Class II	25	100
1.2 V HSTL Class I	50	100
1.2 V HSTL Class II	25	100
HRR-12	34, 40, 48, 60, 80	240
差動 SSTL-18 class I	50	100
差動 HSTL-18 Class II	25	100
差動 SSTL-15 Class I	50	100
差動 HSTL-15 Class II	25	100
差動 SSTL-15	34, 40	240
差動 SSTL-135	34, 40	240
差動 SSTL-15 Class I	50	100
差動 HSTL-15 Class II	25	100
差動 SSTL-125	34, 40	240
差動 SSTL-12	34, 40, 60, 120, 240	240
差動 POD12	34, 40, 48, 60	240
差動 1.8 V HSTL Class I	50	100
差動 1.8 V HSTL Class II	25	100
差動 1.5 V HSTL Class I	50	100
差動 1.5 V HSTL Class II	25	100
差動 1.2 V HSTL Class I	50	100
差動 1.2 V HSTL Class II	25	100
差動 HSUL-12	34, 40, 48, 60, 80	240

R_S OCT キャリブレーション回路は、I/O バッファのインピーダンスの合計と RZQ ピンに接続される外部リファレンスの抵抗を比較し、それらが一致するまでトランジスタをダイナミックにイネーブルまたはディスエーブルします。

キャリブレーションは、デバイス・コンフィグレーションの最後に実行されます。キャリブレーション回路が正しいインピーダンスを見つけると、回路はパワーダウンし、ドライバーの特性の変更を停止します。

図 -11: キャリブレーションありの R_S OCT

次の図は、出力トランジスタの固有インピーダンスとしての R_S を表しています。



2.4.3. インテル Stratix 10 デバイスにおけるキャリブレーションありの R_T OCT

インテル Stratix 10 デバイスは、3 V I/O バンクを除くすべての LVDS I/O バンクでキャリブレーションありの R_T OCT をサポートします。キャリブレーションありの R_T OCT は入力ピンと双方向ピンのコンフィギュレーションにのみ使用可能です。出力ピンのコンフィギュレーションはキャリブレーションありの R_T OCT をサポートしません。 R_T OCT を使用する場合、バンクの V_{CCI0} は R_T OCT をイネーブルするピンの I/O 基準に一致している必要があります。

表 12. キャリブレーションありの R_T OCT で選択可能な I/O 規格

次の表は、異なる I/O 規格におけるキャリブレーションされた OCT の入力終端の設定をリストしています。

I/O 規格	キャリブレーションされた OCT (入力)	
	R_T (Ω)	RZQ (Ω)
SSTL-18 Class I	50	100
SSTL-18 Class II	50	100
SSTL-15 Class I	50	100
SSTL-15 Class II	50	100
SSTL-15	48, 60, 120	240
SSTL-135	48, 60, 120	240
SSTL-125	48, 60, 120	240
SSTL-12	60, 120	240
POD12	34, 40, 48, 60, 80, 120, 240	240
1.8 V HSTL Class I	50	100
1.8 V HSTL Class II	50	100
1.5 V HSTL Class I	50	100
1.5 V HSTL Class II	50	100
1.2 V HSTL Class I	50	100

continued...

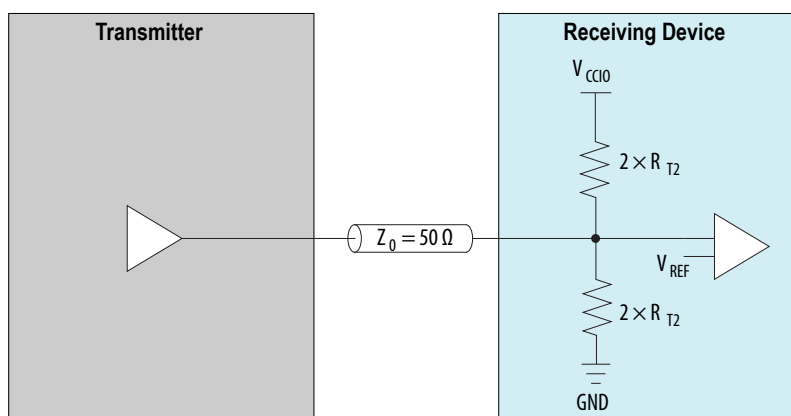


I/O 規格	キャリブレーションされた OCT(入力)	
	R_T (Ω)	RZQ (Ω)
1.2 V HSTL Class II	50	100
差動 SSTL-18 class I	50	100
差動 HSTL-18 Class II	50	100
差動 SSTL-15 Class I	50	100
差動 HSTL-15 Class II	50	100
差動 SSTL-15	48, 60, 120	240
差動 SSTL-135	48, 60, 120	240
差動 SSTL-125	48, 60, 120	240
差動 SSTL-12	60, 120	240
差動 POD12	34, 40, 48, 60, 80, 120, 240	240
差動 1.8 V HSTL Class I	50	100
差動 1.8 V HSTL Class II	50	100
差動 1.5 V HSTL Class I	50	100
差動 1.5 V HSTL Class II	50	100
差動 1.2 V HSTL Class I	50	100
差動 1.2 V HSTL Class II	50	100

R_T OCT キャリブレーション回路は、I/O バッファのインピーダンスの合計と RZQ ピンに接続される外部抵抗を比較します。また、回路は I/O バッファのインピーダンスの合計が外部抵抗に一致するまでトランジスタをダイナミックにイネーブルまたはディセーブルします。

キャリブレーションは、デバイス・コンフィギュレーションの最後に実行されます。キャリブレーション回路が正しいインピーダンスを見つけると、回路はパワーダウンし、ドライバの特性の変更を停止します。

図 -12: キャリブレーションありの R_T OCT



2.4.4. ダイナミック OCT

ダイナミック OCT は、データの方向に応じてシグナル・インテグリティを最適化することにより高性能双方向パスを終端する際に有用です。また、デバイス終端は内部であるため、ダイナミック OCT は電力の節約にも役立ちます（終端は入力動作中のみオンになるため、引き出されるスタティック消費電力が少なくなります）。

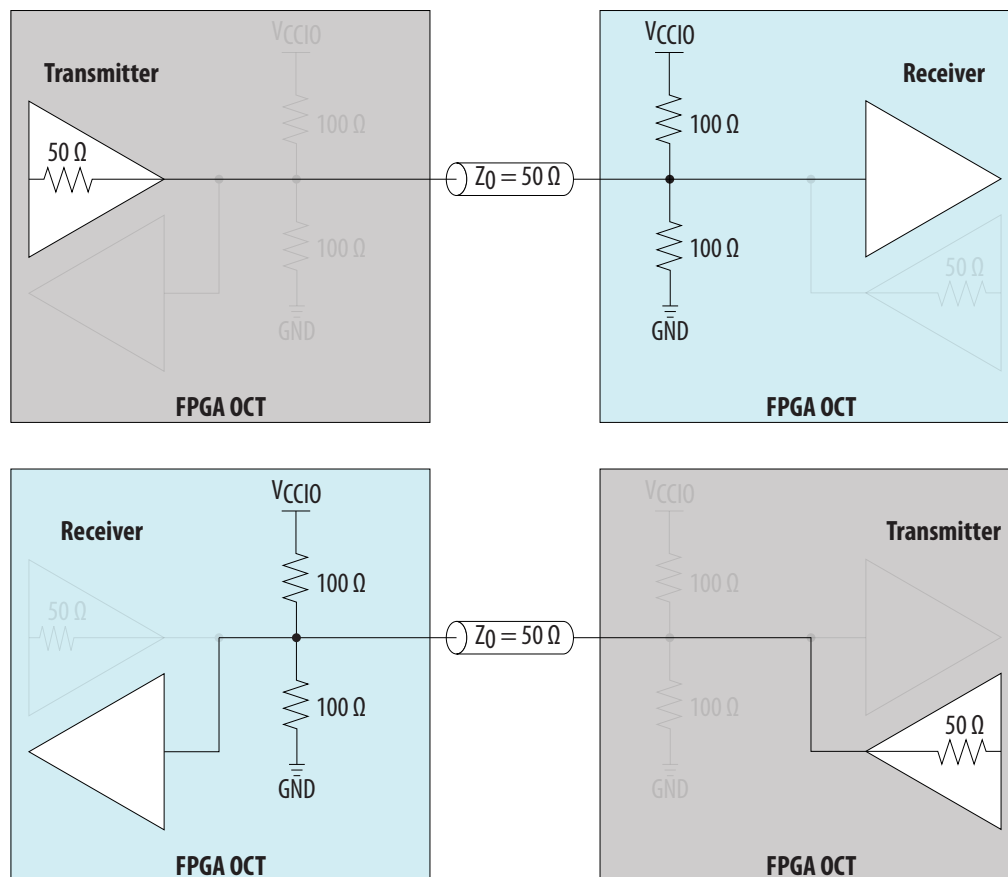
注意: DDR3 メモリー・インターフェイスで SSTL-15、SSTL-135、および SSTL-125 の I/O 規格を使用する場合、Intel は、これらの I/O 規格で OCT を使用してボード・スペースとコストを節約することを推奨しています。OCT は、使用される外部終端抵抗の数を削減します。

表 13. 双方向 I/O に基づいたダイナミック OCT

ダイナミック R_T OCT または R_S OCT は、双方向 I/O がレシーバーとして機能しているか、またはドライバーとして機能しているかによってイネーブルあるいはディスエーブルされます。

ダイナミック OCT	双方向 I/O	状態
ダイナミック R_T OCT	レシーバーとして機能	イネーブルされる
	ドライバーとして機能	ディスエーブルされる
ダイナミック R_S OCT	レシーバーとして機能	ディスエーブルされる
	ドライバーとして機能	イネーブルされる

図 -13: インテル Stratix 10 デバイスのダイナミック R_T OCT



関連情報

PHY Lite for Parallel Interfaces インテル FPGA IP コアのユーザーガイド: インテル Stratix 10、
 インテル Arria® 10、および インテル Cyclone® 10 GX デバイス

双方向ピンにダイナミック OCT を必要とするアプリケーションの詳細情報を提供します。

2.4.5. 差動入力 R_D OCT

インテル Stratix 10 デバイスのすべての I/O ピンと専用クロック入力ピンは、オンチップ差動終端である R_D OCT をサポートします。インテル Stratix 10 デバイスは、LVDS 規格の各差動レシーバーチャネルで 100 Ω のオンチップ差動終端オプションを提供します。

インテル Quartus Prime ソフトウェアの Assignment Editor で、オンチップ終端をイネーブルできます。

図 -14: オンチップ差動 I/O 終端

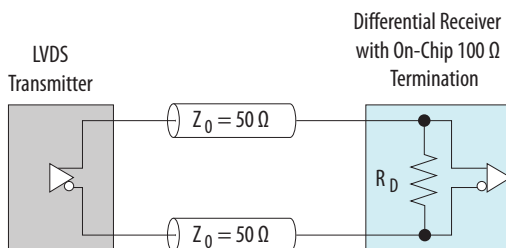


表 14. インテル Quartus Prime ソフトウェア Assignment Editor—オンチップ差動終端

この表は、インテル Quartus Prime ソフトウェアの Assignment Editor におけるオンチップ差動終端のアサインメント名をリストしています。

フィールド	アサインメント
To	rx_in
アサインメント名	入力終端
値	差動

2.4.6. インテル Stratix 10 デバイスの OCT キャリブレーション・ブロック

I/O 規格が同じ V_{CCIO} 電源電圧を使用する場合、異なる I/O 規格に同じ I/O バンクの R_S および R_T OCT を使用することができます。なお、同じ I/O バッファのプログラマブル電流強度と R_S OCT をコンフィグレーションすることはできません。

OCT キャリブレーション・プロセスでは、直列および並列キャリブレーション終端に与えられた I/O バンクのすべてのキャリブレーション・ブロックで使用可能な RZQ ピンを使用します。

- 各 OCT キャリブレーション・ブロックは、RZQ ピンを介して関連付けられる外部 240 Ω リファレンス抵抗を有します。
- 外部 100 Ω 抵抗または外部 240 Ω 抵抗 (R_S または R_T OCT の値に応じてどちらを使用するか決定) を介して、RZQ ピンを GND に接続します。
- RZQ ピンは、ピンが配置されている I/O バンクと同じ V_{CCIO} 電源電圧を共有します。
- キャリブレーション回路を使用しない場合、RZQ ピンは兼用 I/O ピンであり、汎用 I/O ピンとして機能します。

インテル Stratix 10 デバイスは、専用コンフィグレーション・ピンを除くすべての LVDS I/O ピン上で、キャリブレーションされた R_S およびキャリブレーションされた R_T OCT をサポートします。

2.5. インテル Stratix 10 デバイスの外部 I/O 終端

表 15. 異なる I/O 規格の外部終端手法

I/O 規格	外部終端手法
3.3 V LVTTTL/3.3 V LVCMOS	外部終端は必要ありません
3.0 V LVTTTL/3.0 V LVCMOS	
2.5 V LVCMOS	
1.8 V LVCMOS	
1.5 V LVCMOS	
1.2 V LVCMOS	
SSTL-18 Class I および Class II	シングルエンド SSTL I/O 規格の終端
SSTL-15 Class I および Class II	
SSTL-15 ⁽¹⁴⁾	外部終端は必要ありません。
SSTL-135 ⁽¹⁴⁾	
SSTL-125 ⁽¹⁴⁾	
SSTL-12	
POD12	シングルエンド POD I/O 規格の終端
1.8 V HSTL Class I および Class II	シングルエンド HSTL I/O 規格の終端
1.5 V HSTL Class I および Class II	
1.2 V HSTL Class I および Class II	
HRR-12	外部終端は必要ありません
差動 SSTL-18 Class I および Class II	差動 SSTL I/O 規格の終端
差動 SSTL-15 Class I および Class II	

continued...

⁽¹⁴⁾ Intel は、これらの I/O 規格で OCT を使用してボード・スペースとコストを節約することを推奨しています。OCT は、使用される外部終端抵抗の数を削減します。



I/O 規格	外部終端手法
差動 SSTL-15 ⁽¹⁴⁾	外部終端は必要ありません
差動 SSTL-135 ⁽¹⁴⁾	
差動 SSTL-125 ⁽¹⁴⁾	
差動 SSTL-12	
差動 POD12	差動 POD I/O 規格の終端
差動 1.8 V HSTL Class I および Class II	差動 HSTL I/O 規格の終端
差動 1.5 V HSTL Class I および Class II	
差動 1.2 V HSTL Class I および Class II	
差動 HSUL-12	外部終端は必要ありません
LVDS	LVDS I/O 規格の終端
RSDS、	RSDS/mini-LVDS I/O 規格の終端
Mini-LVDS	
LVPECL	差動 LVPECL I/O 規格の終端

2.5.1. シングルエンド I/O 終端

電圧リファレンス形式の I/O 規格では、入力 V_{REF} と終端電圧 (V_{TT}) が必要です。受信デバイスのリファレンス電圧は送信デバイスの終端電圧に追従します。

SSTL-12、SSTL-125、SSTL-135、および SSTL-15 などのようなサポートされる I/O 規格には、通常、外部ボード終端は不要です。

Intel は、これらの I/O 規格で OCT を使用してボード・スペースとコストを節約することを推奨しています。OCT は、使用される外部終端抵抗の数を削減します。

注意: R_S および R_T OCT を同時に使用することはできません。詳細については、関連情報を参照してください。

図 -15: SSTL I/O 規格の終端

インテル Stratix 10

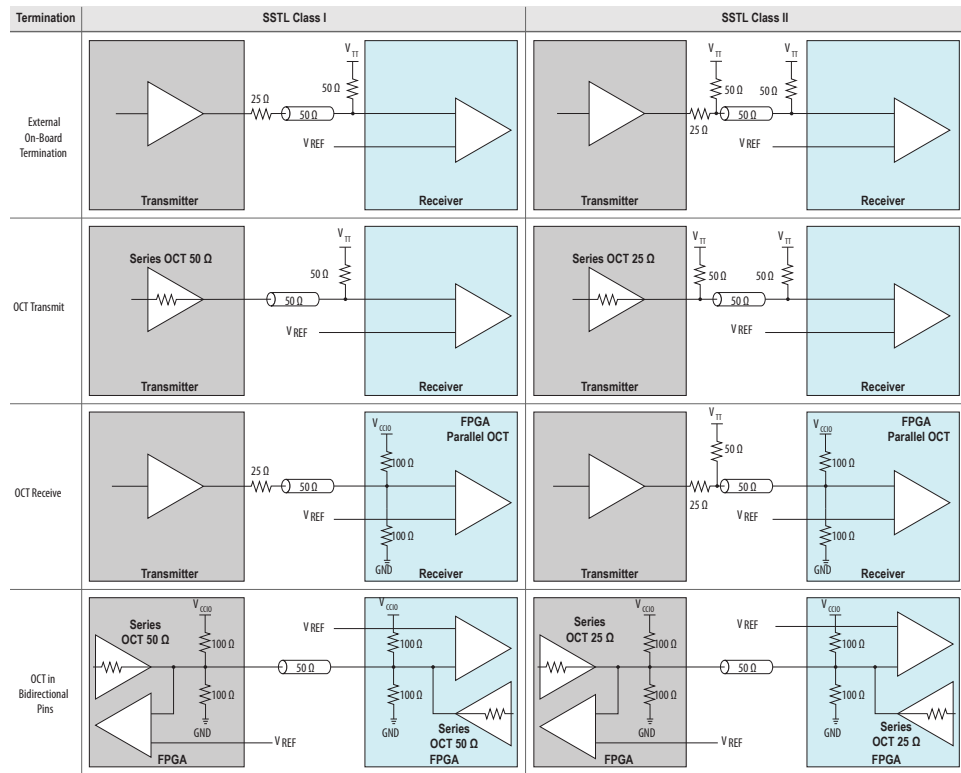




図 -16: HSTL I/O 規格の終端

次の図は、インテル Stratix 10 デバイスにおける HSTL I/O 終端の詳細を示しています。

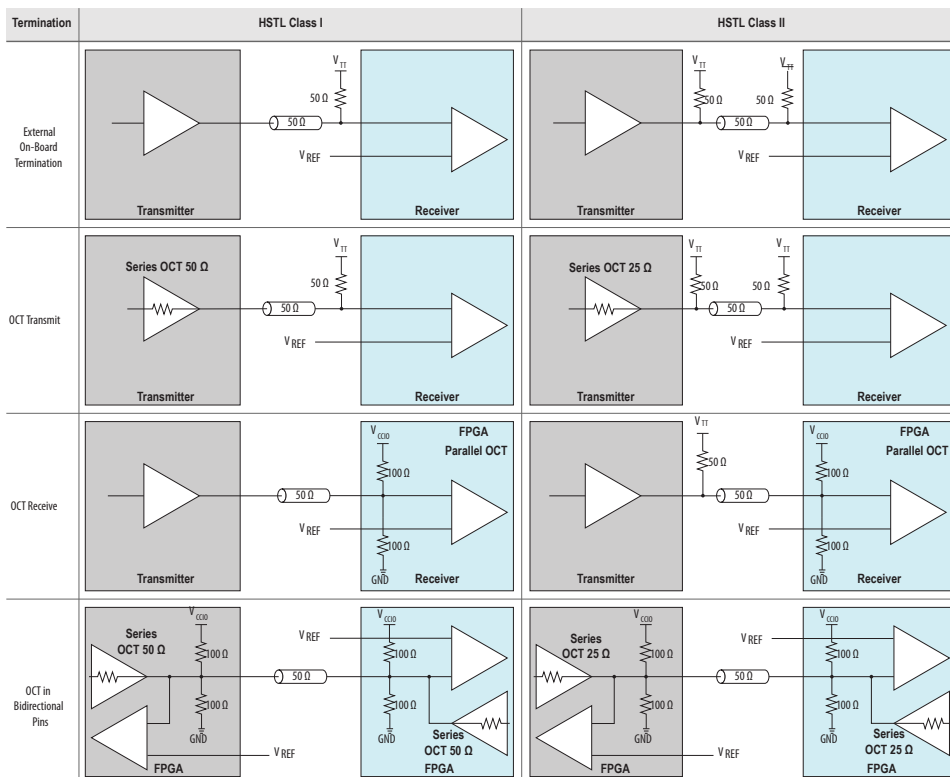
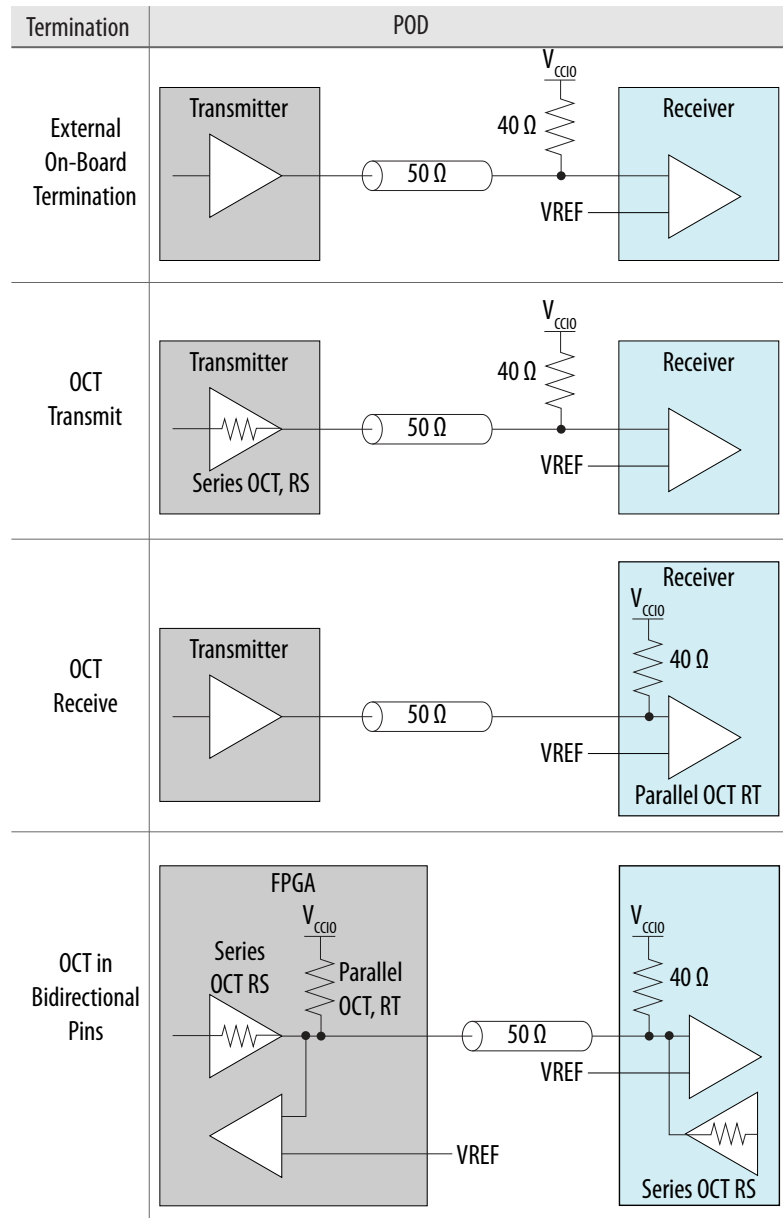


図 -17: POD I/O 規格の終端

次の図は、インテル Stratix 10 デバイスにおける POD I/O 終端の詳細を示しています。



関連情報

[ダイナミック OCT \(28 ページ\)](#)

2.5.2. インテル Stratix 10 デバイスの差動 I/O 終端

I/O ピンは、差動 I/O 規格をサポートするためにペアで編成されています。各 I/O ピンのペアは差動入力及び出力バッファをサポートすることができます。

差動 SSTL-12、差動 SSTL-15、差動 SSTL-125、および差動 SSTL-135 などのようなサポートされる I/O 規格には、通常、外部ボード終端は不要です。

Intel は、これらの I/O 規格で OCT を使用してボードスペースとコストを節約することを推奨しています。OCT は、使用される外部終端抵抗の数を削減します。

2.5.2.1. 差動 HSTL、SSTL、HSUL、および POD 終端

差動 HSTL、SSTL、HSUL、および POD 入力は、LVDS 差動入力バッファーを使用します。ただし、 R_D サポートは、I/O 規格が LVDS の場合にのみ使用可能です。

差動 HSTL、SSTL、HSUL、および POD 出力は、真の差動出力ではありません。これらの I/O 規格は、反転としてプログラムされた第二の出力とともに 2 つのシングルエンド出力を使用します。

図 -18: 差動 SSTL I/O 規格の終端

次の図は、インテル Stratix 10 デバイスにおける差動 SSTL I/O 終端の詳細を示しています。

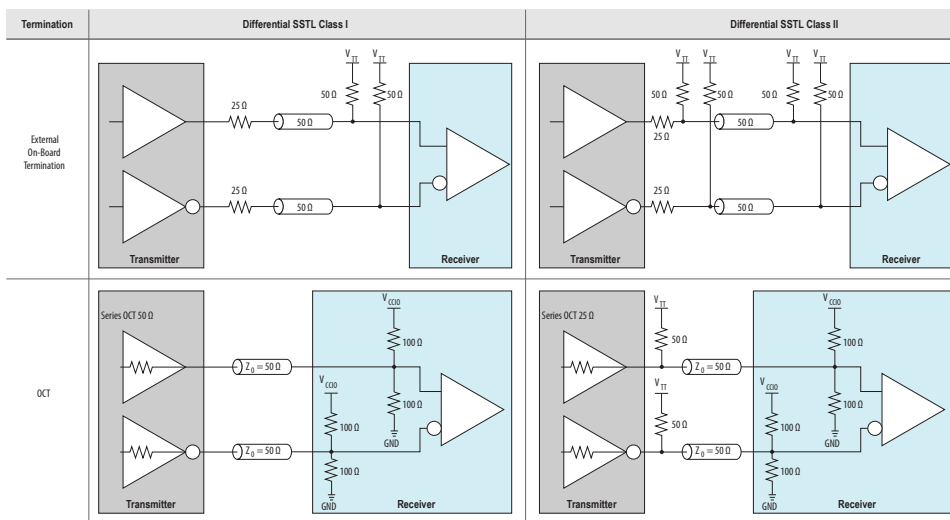


図 -19: 差動 HSTL I/O 規格の終端

次の図は、インテル Stratix 10 デバイスにおける差動 HSTL I/O 規格の終端の詳細を図示しています。

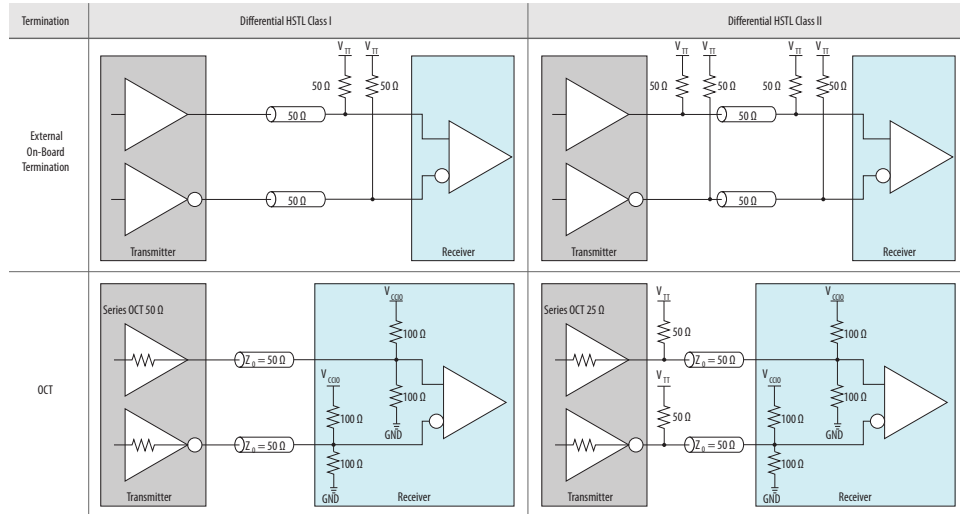
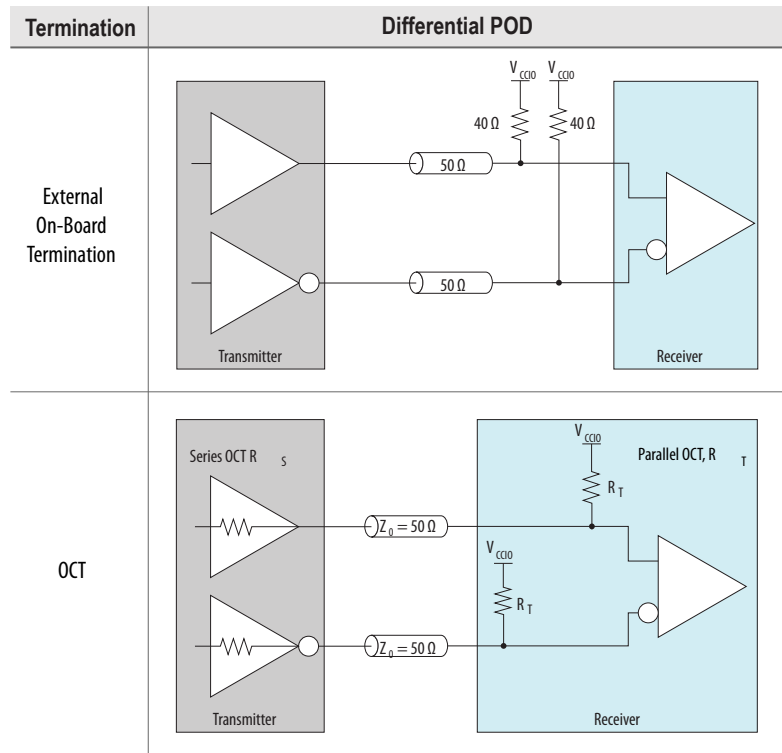


図 -20: 差動 POD I/O 規格の終端

次の図は、インテル Stratix 10 デバイスにおける差動 POD I/O 終端の詳細を示しています。

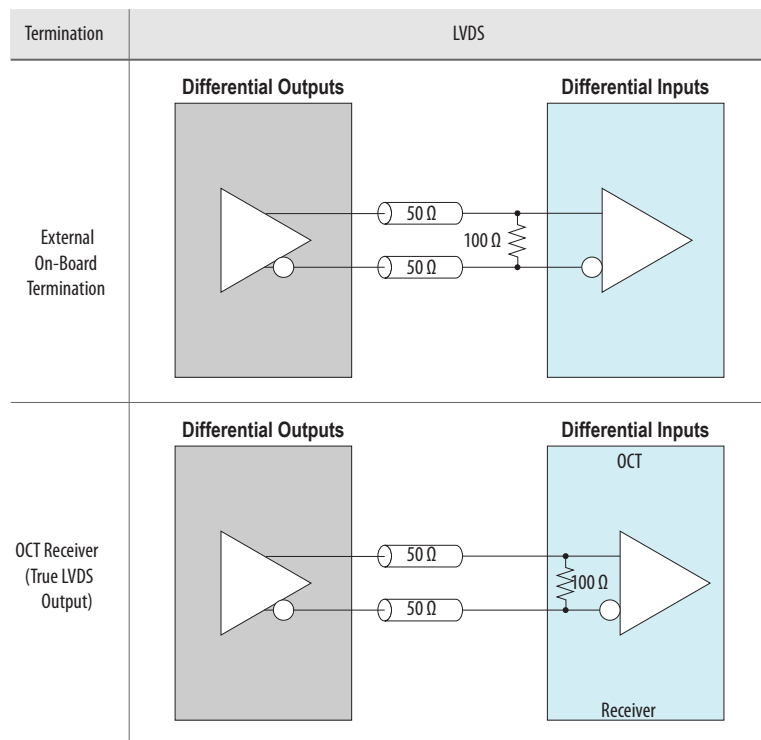


2.5.2.2. LVDS、RSDS、および Mini-LVDS の終端

すべての I/O バンクは、抵抗ネットワークのない真の LVDS 出力バッファを使用して、真の LVDS、RSDS、および mini-LVDS I/O 規格をサポートするための専用回路を有します。

図 -21: LVDS I/O 規格の終端

次の図は、LVDS I/O 規格の終端を表しています。オンチップ差動抵抗はすべての I/O バンクで使用可能です。



2.5.2.3. LVPECL 終端

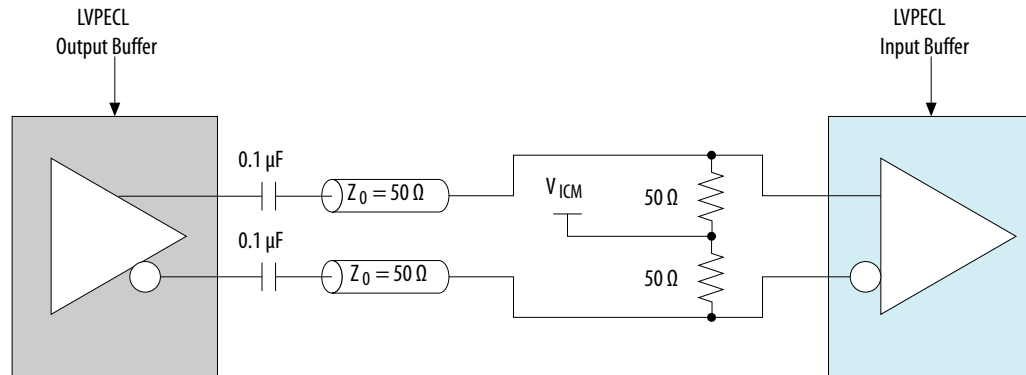
インテル Stratix 10 デバイスは、入力クロックピンでのみ LVPECL I/O 規格をサポートします。

- LVPECL 入力動作は、LVDS 入力バッファを使用してサポートされます。
- LVPECL 出力動作はサポートされません。

出力バッファの LVPECL コモンモード電圧が LVPECL 入力コモンモード電圧と整合しない場合、AC 結合を使用します。

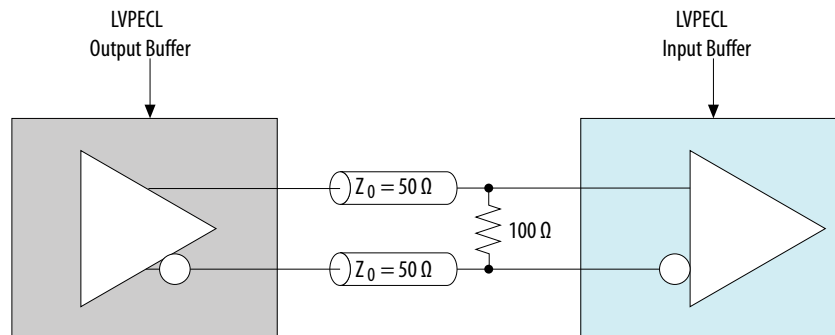
注意: インテルは、LVPECL AC/DC 結合終端を検証するために IBIS モデルを使用することを推奨します。

図 -22: LVPECL AC 結合終端



DC 結合 LVPECL のサポートは、LVPECL 出力共通モード電圧が インテル Stratix 10 LVPECL 入力バッファ仕様の範囲内である場合に可能です。

図 -23: LVPECL DC 結合終端



V_{ICM} 仕様について詳しくは、デバイス・データシートを参照してください。

3. インテル Stratix 10 I/O のデザイン検討事項

デザインを確実に作成するには、いくつか考慮すべき事項があります。特に注記のない限り、これらのデザイン・ガイドラインはこのデバイスファミリーのすべてのバリエーションに適用されます。

3.1. ガイドライン : V_{REF} ソースと V_{REF} ピン

インテル Stratix 10 デバイスでは、次に示す V_{REF} ピンのガイドラインを参考にしてください。

- インテル Stratix 10 デバイスは、内部および外部 V_{REF} ソースをサポートします。POD12 I/O 規格を使用して DDR4 をサポートするために、キャリブレーションを有する内部 V_{REF} を使用することができます。
 - すべての I/O バンクには外部 V_{REF} ピンがあり、同じバンク内のすべての I/O に 1 つの外部 V_{REF} ソースを提供します。
 - また、バンク内の各 I/O レーンは、独自の内部 V_{REF} ジェネレーターを有します。各 I/O レーンを個別にコンフィグレーションし、内部 V_{REF} または I/O バンクの外部 V_{REF} ソースを使用することができます。同じ I/O レーン内のすべての I/O ピンは、同じ V_{REF} ソースを使用します。
- 内部 V_{REF} とキャリブレーションを使用して、POD12 I/O 規格を使用する DDR4 をサポートできます。
- 入力、出力、または双方向ピンのどんな組み合わせも V_{REF} ピンの近くに配置することができます。 V_{REF} ピンの配置に制限はありません。
- V_{REF} ピンはシングルエンド I/O 規格専用です。 V_{REF} ピンをユーザー I/O として使用することはできません。
- 未使用の V_{REF} ピンはすべて GND に直接接続します。

V_{REF} ピンのピン・キャパシタンスについての詳細は、デバイス・データシートを参照してください。

関連情報

- [インテル Stratix 10 デバイスのデータシート](#)
- [インテル Stratix 10 ピン配置ガイドライン](#)
- [インテル Stratix 10 デバイス用ピンアウト・ファイル](#)
インテル Stratix 10 デバイスとパッケージで異なる V_{REF} および V_{CCIO} ピンの位置を提供します。

3.2. ガイドライン : 3.0 V インターフェイスでのデバイスの絶対最大定格の観察

3.0 V I/O インターフェイスにデバイスを使用する際、デバイスの信頼性と適切な動作を確保するには、デバイスの絶対最大定格に違反しないでください。遷移中の絶対最大定格と最大許容オーバーシュートについての詳細は、デバイス・データシートを参照してください。

ヒント: オーバーシュートおよびアンダーシュート電圧が仕様の範囲内であることを確認するには、IBIS または SPICE シミュレーションを実行します。

シングルエンド・トランスミッター・アプリケーション

インテル Stratix 10 デバイスをトランスミッターとして使用する場合、低速スルーレートと直列終端を使用して I/O ピンにおけるオーバーシュートとアンダーシュートを制限します。レシーバーで大きな電圧変動を引き起こす伝送ラインの影響は、ドライバーと伝送ライン間のインピーダンス・ミスマッチに関連しています。ドライバーのインピーダンスを伝送ラインの特性インピーダンスにマッチングさせることによって、オーバーシュート電圧を大幅に低下させることができます。総ドライバー・インピーダンスを伝送ラインのインピーダンスにマッチングさせるには、ドライバーの近くに配置されている直列終端抵抗を使用することができます。

シングル・エンド・レシーバー・アプリケーション

レシーバーとして インテル Stratix 10 デバイスを使用する場合、I/O ピンでのオーバーシュート、アンダーシュート電圧を制限するために外部のクランプダイオードを使用します。

3.0 VI/O 規格は、3.0 V のバンク電源電圧 (VCCIO) と 1.8 V の VCCPT 電圧を使用してサポートされます。この方法では、クランプダイオードはオーバーシュート電圧を DC および AC 入力電圧仕様の範囲内で十分にクランプすることができます。クランプされた電圧は、VCCIO とダイオード順方向電圧の合計として表されます。

関連情報

- [Intel® FPGA IBIS Models](#)
- [SPICE Models for Intel® FPGA Devices](#)

3.3. ガイドライン:電圧リファレンス形式および非電圧リファレンス形式の I/O 規格

各 I/O バンクは複数の I/O 規格を同時にサポートすることができます。I/O バンクで非電圧リファレンス形式および電圧リファレンス形式の I/O 規格の両方を使用する場合、以下のガイドラインに従います。

非電圧リファレンスの I/O 規格

I/O 規格が I/O バンクの VCCIO レベルをサポートする場合、I/O バンクは異なる I/O 規格アサインメントを有する複数の入力信号を同時にサポートすることができます。

出力信号では、単一の I/O バンクが VCCIO と同じ電圧でドライブする非電圧リファレンス形式の出力信号をサポートします。1 つの I/O バンクは 1 つの VCCIO 値のみを有することができます。そのため、I/O バンクは非電圧リファレンス形式信号の値のみをドライブ・アウトすることができます。

電圧リファレンスの I/O 規格

電圧リファレンス形式の I/O 規格に対応するには、以下の条件を満たす必要があります。

- 各 インテル Stratix 10 FPGA I/O バンクは専用 VREF ピンがあります。
- 各バンクは単一の VCCIO 電圧レベルと単一の電圧リファレンス (VREF) レベルのみ有することができます。



電圧リファレンス形式の入力バッファは、 V_{CCPT} によって電源が供給されます。そのため、シングルエンド規格または差動規格に対応する I/O バンクは、以下の条件の下、異なる電圧リファレンス形式の規格をサポートすることができます。

- V_{REF} が同じレベルである。
- オンチップ・パラレル終端 (R_T OCT) がディセーブルされている。

R_T OCT をイネーブルする場合、入力規格の電圧とバンクの V_{CCIO} が一致している必要があります。

この機能により、1.8 V 以下の V_{CCIO} を有する I/O バンクに電圧リファレンス形式の入力信号を配置することができます。たとえば、HSTL-15 入力ピンは V_{CCIO} が 1.8 V の I/O バンクに配置することができます。ただし、 R_T OCT がイネーブルされた電圧リファレンス形式の入力では、入力規格の電圧を一致させるために I/O バンクの V_{CCIO} が必要です。 V_{CCIO} が 1.8 V のとき、 R_T OCT は HSTL-15 I/O 規格向けにサポートすることができません。

電圧リファレンス形式の双方向信号および出力信号は、I/O バンクの V_{CCIO} 電圧と同じである必要があります。たとえば、 V_{CCIO} が 1.8 V の I/O バンクには SSTL-18 出力ピンのみ配置可能です。

電圧リファレンス形式および非電圧リファレンス形式の I/O 規格の混合

I/O バンクは、各ルール・セットを個別に適用することによって、電圧リファレンス形式および非電圧リファレンス形式のピンをサポートすることができます。

例:

- I/O バンクは、SSTL-18 入力および出力、1.8 V の V_{CCIO} を有する 1.8 V 入力および出力、0.9 V の V_{REF} をサポートすることができます。
- I/O バンクは、1.5 V 規格、1.8 V 入力(出力はサポートされない)、および 1.5 V の V_{CCIO} と 0.75 V の V_{REF} を有する 1.5 V HSTL I/O 規格をサポートすることができます。

3.4. ガイドライン : パワーシーケンス中に I/O ピンをドライブしない

インテル Stratix 10 の I/O バッファは、 V_{CC} 、 V_{CCPT} 、および V_{CCIO} によって電源が供給されます。

インテル Stratix 10 デバイスはホットソケットをサポートしないため、パワーアップおよびパワーダウン中に外部の I/O ピンをドライブしないでください。これには FPGA および HPS の I/O を含むすべての I/O ピンが含まれます。以下の事項のため、このガイドラインに従ってください。

- 過度の I/O ピン電流を防ぐ
 - 過度の I/O ピン電流はデバイスの寿命と信頼性に影響する
 - 3 V I/O ピンでの過度の電流は インテル Stratix 10 デバイスを損傷する可能性がある
- 引き出される電流を最少限にとどめ、パワーアップまたはパワーダウン中の I/O グリッチを防ぐ
- 2.5 V または 3 V 動作における 3 V I/O バッファの永久的な破損を防ぐ

関連情報

[パワーアップおよびパワー・ダウン・シーケンス、インテル Stratix 10 電源管理ユーザーガイド](#)

3.5. ガイドライン : 最大 DC 電流制限

インテル Stratix 10 デバイスでは、10 個の連続する I/O ピンの最大 DC 電流に制限はありません。

インテル Stratix 10 デバイスは、 V_{CCIO} Electro-Migration (EM) ルールとデバイスの寿命と信頼性に確保するために、すべての I/O 規格のドライブ強度の設定の IR ドロップターゲットに準拠していません。

3.6. ガイドライン: 3 つの VI/O バンクすべてに 1 つの電圧のみを使用

1 つの V_{CCIO3V} 電源ピンがすべての 3 V I/O バンクに電力を供給します。したがって、使用できるのは、インテル Stratix 10 デバイスでの 3 V I/O バンク全体で一度に 1 つの電圧レベルのみです。

3.7. ガイドライン: インテル Stratix 10 TX 400 の I/O 規格の制限

インテル Stratix 10 TX 400 デバイスでは、専用クロックピンを除き、I/O バンク 3A および 3D で次の I/O 規格を使用しないでください。

- LVDS
- Mini-LVDS
- RSDS、

3.8. ガイドライン: インテル Stratix 10 GX 400 そして SX 400 の I/O 規格の制限

- インテル Stratix 10 GX 400 または SX 400 デバイスでは、専用クロックピンを除いて、I/O バンク 3A および 3D で次の I/O 規格を使用しないでください:
 - LVDS
 - Mini-LVDS
 - RSDS
- バンク 3D には 30 本の GPIO ピンしかなく、1.8 V I/O 規格のみをサポートしています。
- バンク 3C は、3.3 V または 3.0 V I/O 規格の単方向シングルエンド I/O のみをサポートします。
- バンク 3C では、I/O 方向の制御と、電流の強さや弱いプルアップなどの機能は、8 ピングループ単位です。
 - ピングループを識別するには、デバイスのピン配置ファイル「オプション機能」カラムを参照してください。たとえば、グループ名は `I033_LS[<group index>]_[<pin index>]` です。
 - 例として、グループ LS1 の I/O ピンを弱いプルアップが有効な入力として構成すると、グループ内の他のすべてのピンは同じ設定を使用します。同様に、LS0 グループのピンを 12 mA の電流強度の出力ピンとして使用する場合、LS0 グループのすべてのピンに同じ設定が適用されます。
 - 同じグループに入力ピンと出力ピンを構成することはできません。8 ピンすべてを入力として、または 8 ピンすべてを出力としてのみ使用できます。
- ピン位置を割り当てずにデザインで 3 V I/O 規格を使用する場合、インテル Quartus Prime ソフトウェアは自動的にピンをバンク 3C に割り当てます。3 V I/O 規格を 3 V I/O バンクに割り当てる場合は、.qsf ファイルのピンへ `USE_AS_3V_GPIO` インテル Quartus Prime の割り当てを指定します。



表 16. バンク 3C の 8 ピングループの例

ピングループ	オプション関数列のエントリ	ピン名
LS1	I033_LS1_0	Y2
	I033_LS1_1	AA2
	I033_LS1_2	AB1
	I033_LS1_3	AB2
	I033_LS1_4	AC1
	I033_LS1_5	AD1
	I033_LS1_6	AF2
	I033_LS1_7	AG2
LS0	I033_LS0_0	U3
	I033_LS0_1	V3
	I033_LS0_2	U5
	I033_LS0_3	V4
	I033_LS0_4	W2
	I033_LS0_5	Y1
	I033_LS0_6	W3
	I033_LS0_7	W4

4. インテル Stratix 10 I/O の実装ガイド

I/O デザインは インテル Quartus Prime ソフトウェアに実装することができます。このソフトウェアにはデザインの作成ならびにコンパイルを実行し、かつデバイスをコンフィギュレーションするためのツールが含まれています。

インテル Quartus Prime ソフトウェアを使用して、デバイスのマイグレーション、ピン・アサインメントの設定、配置制約の定義、タイミング制約のセットアップ、および IP コアのカスタマイズの準備をすることができます。インテル Quartus Prime ソフトウェアを使用するにあたっての詳細は、関連情報を参照してください。

関連情報

- [インテル Quartus Prime 開発ソフトウェア](#)
 インテル Quartus Prime ソフトウェアについての詳しい情報を提供します。
- [GPIO IP コアへの移行 \(58 ページ\)](#)
- [Intel FPGA IP コアについて](#)
 すべての IntelFPGA IP コアに関する基本情報を提供しています。これには、パラメーター化、アップグレード、IP コアのシミュレーションが含まれます。
- [バージョンに依存しない IP および Qsys シミュレーションスクリプトの作成](#)
 ソフトウェアまたは IP バージョンのアップグレードの手動更新が不要なシミュレーションスクリプトの作成。
- [プロジェクト管理のベスト・プラクティス](#)
 プロジェクトと IP ファイルの効率的な管理と移植性のためのガイドライン。

4.1. GPIO インテル FPGA IP

GPIO IP コアは、インテル Stratix 10 デバイスファミリーの GPIO コンポーネントと機能をサポートします。GPIO IP コアを設定するには インテル Quartus Prime パラメーター・エディターを使用することができます。

GPIO IP コアのコンポーネント:

- ダブル・データ・レート入力/出力 (DDIO) — 通信チャネルのデータ・レートを倍にするデジタル・コンポーネントです。
- 特定の遅延を実行し、I/O タイミング・クロージャーを支援するために、遅延チェーンをコンフィギュレーションします。
- I/O バッファ — パッドを FPGA に接続する

注意: 3つの VI/O バンク インテル Stratix 10 デバイスは、GPIO IP コアの DDIO 機能をサポートしていません。3.0 V LVCMOS などの 3つの VI/O バンクでのみサポートされている I/O 規格を使用する場合、DDIO をバイパスしてください。DDIO 機能のバイパスへの GPIO の IP コア **Register mode** を **none** に設定します。



4.1.1. GPIO インテル FPGA IP のリリース情報

IP バージョンは インテル Quartus Prime デザインスイートソフトウェアバージョンと同じです(最大 v19.1 まで)。インテル Quartus Prime デザインスイートソフトウェアバージョン 19.2 以降、IP コアには新しい IP バージョン管理スキームがあります。

IP バージョン管理スキーム(XYZ)番号は、ソフトウェアバージョンによって異なります。

- X は IP のメジャーリビジョンを示します。インテル Quartus Prime ソフトウェアを更新する場合は、IP を再生成する必要があります。
- Y は、IP に新しい機能が含まれていることを示します。これらの新機能を含めるために IP を再生成します。
- Z は、IP に小さな変更が含まれていることを示します。これらの変更を含めるために IP を再生成します。

表 17. GPIO インテル FPGA IP コアの現在のリリース情報

項目	内容
GNU のバージョン	19.3.0
インテル Quartus Prime バージョン	19.3
リリース時期	2019.09.30

4.1.2. データ・パス

図 -24: シングルエンド GPIO の上位レベルの図

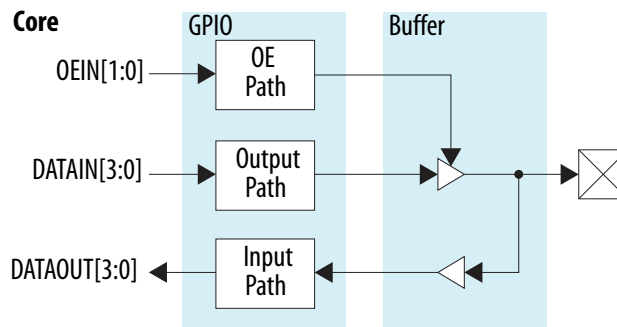


表 18. GPIO IP コアのデータ・パス

データバス	レジスタモード			
	バイパス	シンプルレジスタ	DDR I/O	
			フルレート	ハーフレート
入力	データはすべての DDIO (ダブルデータレート I/O) をバイパスして、遅延エレメントからコアへ送信されます。	フルレート DDIO は、ハーフレート DDIO をバイパスし、シンプルレジスタとして動作します。フィッターは、エリアとタイミングのトレードオフに応じて、I/O にレジスタ	フルレート DDIO は、ハーフレート DDIO をバイパスし、通常の DDIO として動作します。	フルレート DDIO は通常の DDIO として動作します。ハーフレート DDIO は、フルレートのデータをハーフレートに変換します。

continued...

データバス	レジスターモード			
	バイパス	シンプルレジスター	DDR I/O	
			フルレート	ハーフレート
		ーをバックするまたはコアにレジスターを実装することを選択します。		
出力	データはすべての DDIO をバイパスして、コアから遅延エレメントに直接送信されます。	フルレート DDIO は、ハーフレート DDIO をバイパスし、シンプルレジスターとして動作します。フィッターは、エリアとタイミングのトレードオフに応じて、I/O にレジスターをバックするまたはコアにレジスターを実装することを選択します。	フルレート DDIO は、ハーフレート DDIO をバイパスし、通常の DDIO として動作します。	フルレート DDIO は通常の DDIO として動作します。ハーフレート DDIO は、フルレートのデータをハーフレートに変換します。
双方向	出力バッファは、出力ピンと入力バッファの両方を駆動します。	フルレート DDIO はシンプルレジスターとして動作します。出力バッファは出力ピンと入力バッファの両方を駆動します。	フルレート DDIO は通常の DDIO として動作します。出力バッファは出力ピンと入力バッファの両方を駆動します。入力バッファは 3 つのフリップフロップのセットを駆動します。	フルレート DDIO は通常の DDIO として動作します。ハーフレート DDIO は、フルレートのデータをハーフレートに変換します。出力バッファは出力ピンと入力バッファの両方を駆動します。入力バッファは 3 つのフリップフロップのセットを駆動します。

非同期クリアとプリセット信号を使用する場合、すべての DDIO は同じ信号を共有します。

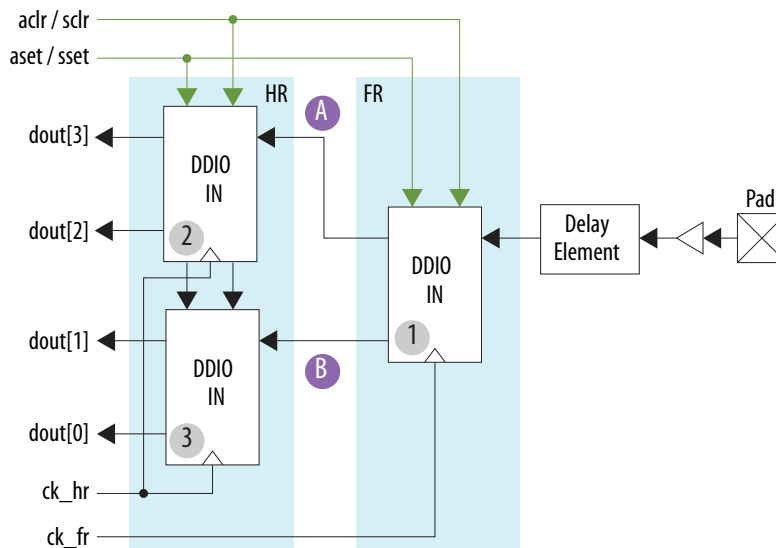
ハーフレートおよびフルレート DDIO は、別々のクロックに接続します。ハーフレートおよびフルレート DDIO を使用すると、フルレートのクロックは 2 倍のハーフレート周波数で動作する必要があります。タイミング要件を満たすために、異なる位相関係を使用できます。

4.1.2.1. 入力パス

パッドは入力バッファにデータを送信し、入力バッファは遅延エレメントにデータを送ります。データが遅延エレメントの出力に送られた後、プログラマブル・バイパス・マルチプレクサーは、使用する機能とパスを選択します。各 LVDS I/O 入力パスには、フルレートとハーフレートの 2 つの DDIO ステージが含まれています。

3 V I/O は DDIO をサポートしていません。

図 -25: シングルエンド GPIO 入力パスの簡略図

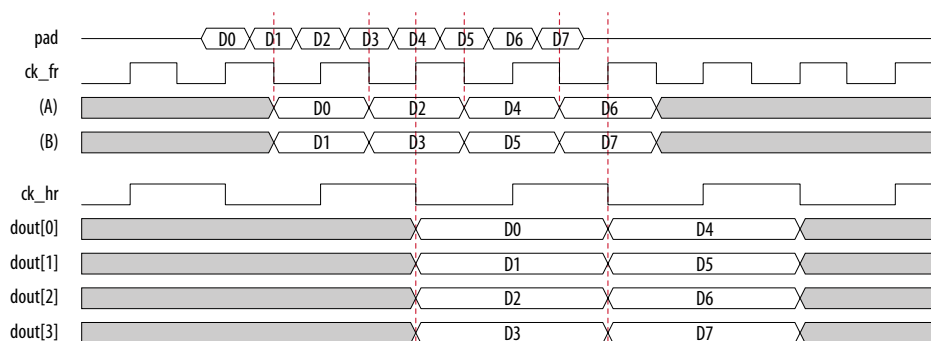


1. パッドはデータを受信します。
2. DDIO IN (1)は、ck_fr の立ち上がりエッジと立ち下がりエッジでデータをキャプチャーし、次の波形図のデータ (A) および (B) の信号を単一のデータレートで送信します。
3. DDIO IN (2) と DDIO IN (3) はデータレートを半分にします。
4. dout [3:0]は、データをハーフレートバスとして提示します。

図 -26: ハーフレート変換を使用した DDIO モードの入カパ波形

データレートは、4 で分周され、バスのサイズは同じ比率で増加しており、ダブルデータレートでのフルレート・クロックからシングルデータレートでのハーフレート・クロックまで行くことに注目してください。アルテラ GPIO IP コアを介して、全体のスループットは変わりません。

異なる信号間の実際のタイミング関係は、フルレートおよびハーフレートのクロック向けに選択した特定のデザイン、遅延、および位相に応じて異なる場合があります。



注意: GPIO インテル FPGA IP として OCT インテル FPGA IP 単一方向の入力または出力ピンで、電源投入時およびユーザーモード時に OCT をサポートします。GPIO IP は双方向ピンの動的 OCT をサポートしていません。双方向ピンの動的 OCT 制御を必要とするアプリケーションについては、関連情報を参照してください。

関連情報

- PHY Lite for Parallel Interfaces インテル FPGA IP コアของผู้ใช้-ไกด์: อินเทล Stratix 10、อินเทล Arria® 10、および อินเทล Cyclone® 10 GX デバイス
双方向ピンにダイナミック OCT を必要とするアプリケーションの詳細情報を提供します。
- 出力および出力イネーブルパス (48 ページ)

4.1.2.2. 出力および出力イネーブルパス

出力遅延エレメントは、出力バッファを介してパッドにデータを送信します。

各 LVDS I/O 出力パスには、フルレートとハーフレートの 2 つの DDIO ステージが含まれています。

3 V I/O は DDIO をサポートしていません。

図 -27: シングルエンド GPIO 出力パスの簡略図

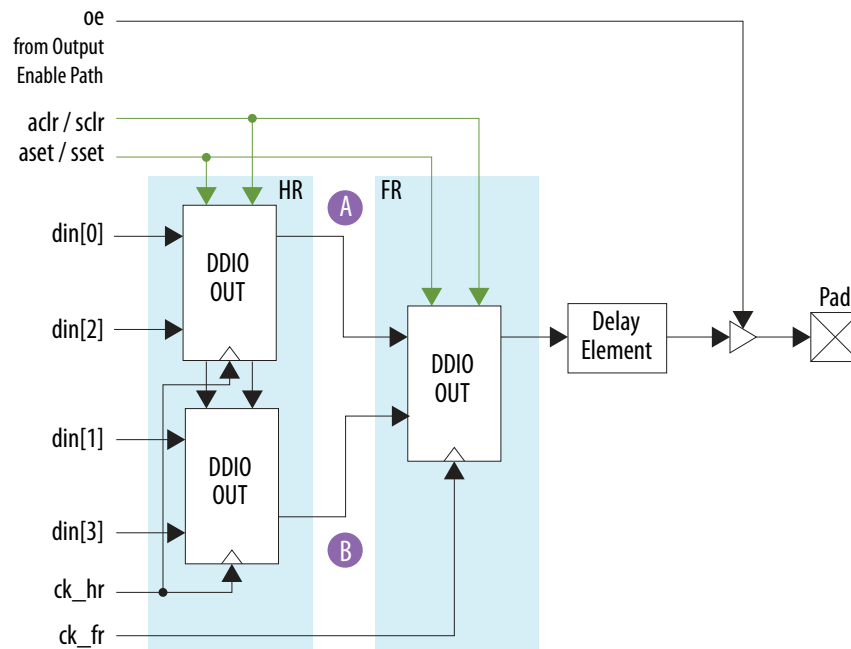


図 -28: ハーフレート変換を使用した DDIO モードの出力パス波形

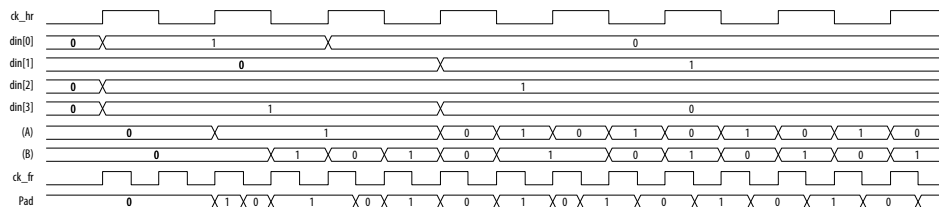
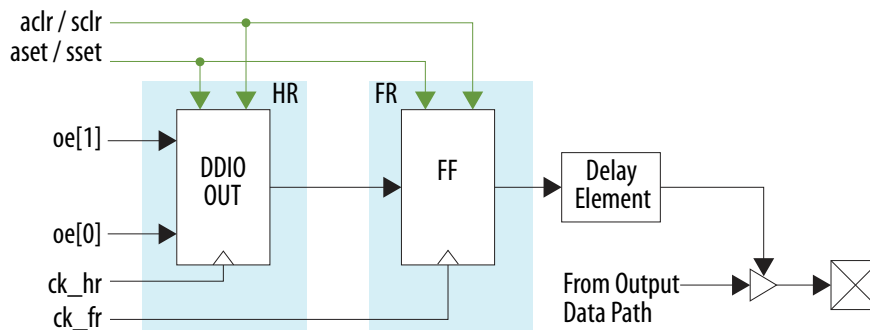


図 -29: 出力イネーブルパスの簡略図



出力パスと出力イネーブル(OE)パスの違いは、OE パスにフルレート DDIO が含まれていないことです。OE パスのバックドレジスタ実装をサポートするために、単純なレジスタはフルレート DDIO として動作します。同じ理由で、ハーフレート DDIO が 1 つだけ存在します。

OE パスは、次の 3 つの基本モードで動作します。

- バイパス: コアはすべての DDIO をバイパスして、データを遅延エレメントに直接送信します。
- バックドレジスタ: ハーフレート DDIO をバイパスします。
- ハーフレートでの SDR 出力: ハーフレート DDIO は、データをフルレートからハーフレートに変換します。

インテル Stratix 10 デバイスに、各 3 V I/O バンクは、8 つのシングルエンド I/O に対して 2 つの出力イネーブル(OE)のみをサポートします。

注意:

GPIO インテル FPGA IP そして OCT インテル FPGA IP 単一方向の入力または出力ピンで、電源投入時およびユーザーモード時に OCT をサポートします。GPIO IP は双方向ピンの動的 OCT をサポートしていません。双方向ピンの動的 OCT 制御を必要とするアプリケーションについては、関連情報を参照してください。

関連情報

- [PHY Lite for Parallel Interfaces インテル FPGA IP コアของผู้ใช้指南: อินเทล Stratix 10、อินเทล Arria® 10、および อินเทล Cyclone® 10 GX デバイス](#)
双方向ピンにダイナミック OCT を必要とするアプリケーションの詳細情報を提供します。
- [入力パス \(46 ページ\)](#)

4.1.3. レジスタパッキング

GPIO IP コアを使用すると、エリアとリソース使用率を節約するためにペリフェラルにレジスタをパックすることができます。

入力パスおよび出力パスにフルレート DDIO をフリップフロップとして設定することができます。これを行うには、次の表にリストされている .qsf アサインメントを追加します。

表 19. レジスタパッキング QSF アサインメント

パス	QSF アサインメント
入力レジスタパッキング	<code>set_instance_assignment -name FAST_INPUT_REGISTER ON -to <path to register></code>
出力レジスタパッキング	<code>set_instance_assignment -name FAST_OUTPUT_REGISTER ON -to <path to register></code>
出カインエーブルレジスタパッキング	<code>set_instance_assignment -name FAST_OUTPUT_ENABLE_REGISTER ON -to <path to register></code>

注意: これらのアサインメントは、レジスタ・パッキングを保証するのではなく、法的な配置を見つけるために、フィッターを有効にします。そうでない場合、フィッターは、コア内のフリップフロップを維持します。

4.2. リソース使用率とデザインのパフォーマンスの検証

インテル Quartus Prime のコンパイルレポートを参照して、デザインのリソース使用量とパフォーマンスについての詳細を参照できます。

1. メニューで **Processing > Start Compilation** をクリックしてフルコンパイルを実行します。
2. デザインをコンパイルした後、**Processing > Compilation Report** をクリックします。
3. **Table of Contents** を使用して、**Fitter > Resource Section** に移動します。
 - a. リソース使用状況の情報を表示するには、**Resource Usage Summary** を選択します。
 - b. リソース使用率情報を表示するには、**Resource Utilization by Entity** を選択します。

4.3. タイミング

GPIO IP コアのパフォーマンスは、I/O の制約とクロック位相に依存します。GPIO コンフィギュレーションのタイミングを検証するには、Intel では、Timing Analyzer を使用することを推奨します。

関連情報

[インテル Quartus Prime Timing Analyzer](#)

4.3.1. タイミング・コンポーネント

GPIO IP コアのタイミングコンポーネントは、3 つのパスで構成されています。

- I/O インターフェイス・パス: FPGA から外部の受信デバイスへ、また外部の送信デバイスから FPGA へのパスです。
- データとクロックのコア・インターフェイス・パス: I/O からコアへ、またコアから I/O へのパスです。
- 転送パス: ハーフレート DDIO からフルレート DDIO へ、またフルレート DDIO からハーフレート DDIO へのパスです。

注意: TimeQuest タイミング・アナライザは、ブラック・ボックスとして DDIO_IN と DDIO_OUT ブロック内でパスを扱います。

図 -30: 入カパスのタイミング・コンポーネント

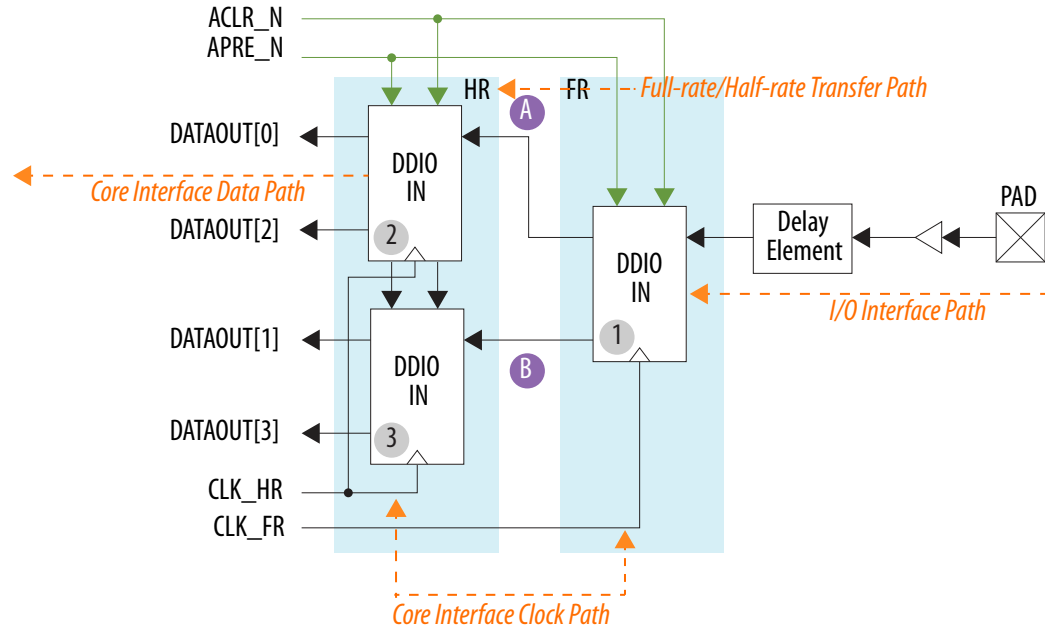


図 -31: 出カパスのタイミング・コンポーネント

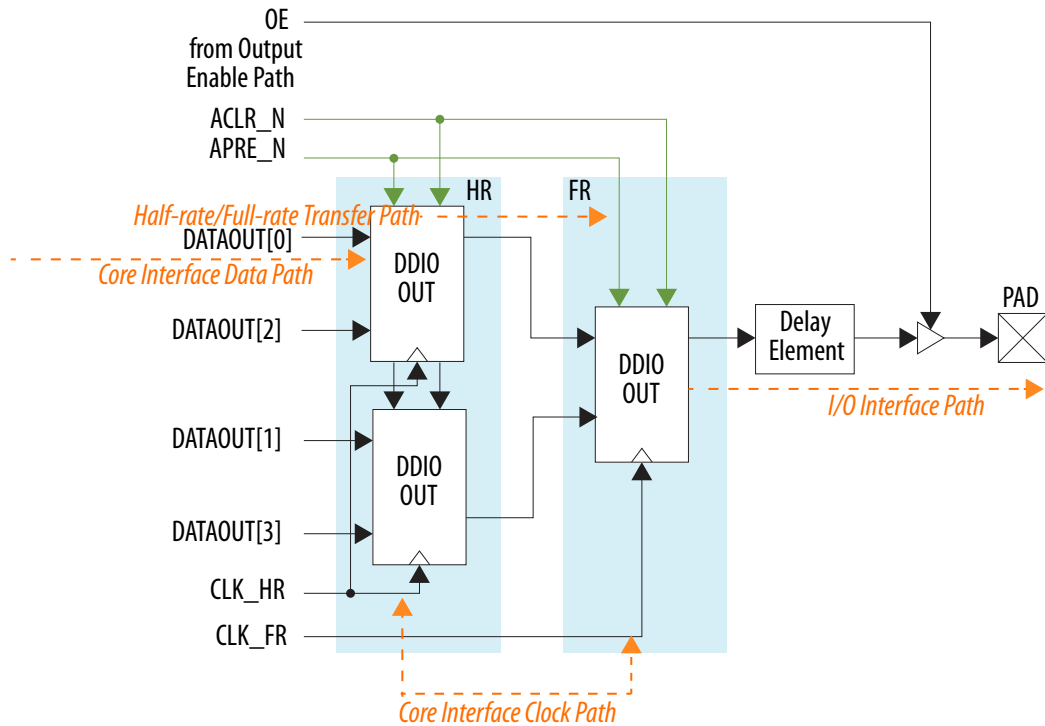
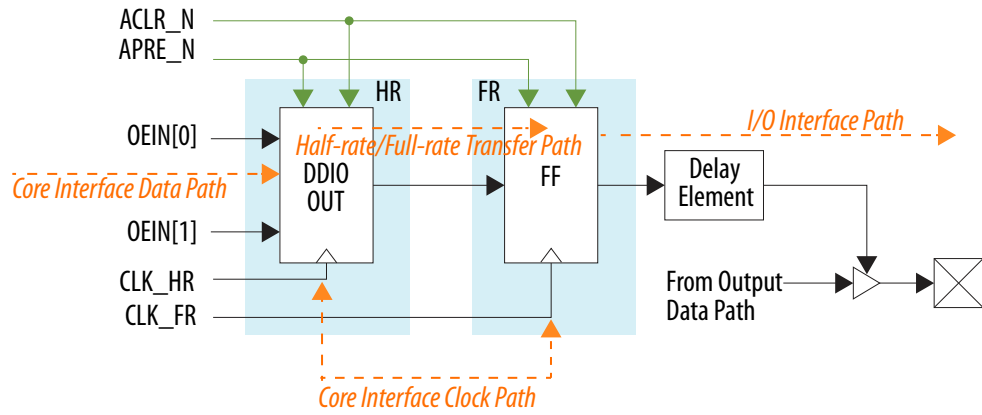


図 -32: 出カインーブルパスのタイミング・コンポーネント



4.3.2. 遅延エレメント

インテル Quartus Prime ソフトウェアは、I/O タイミング解析でスラックを最大化するために遅延要素を自動的に設定しません。タイミングを閉じるか、スラックを最大化するには、インテル Quartus Prime 設定ファイル(.qsf)で遅延要素を手動で設定します。

表 20. 遅延エレメントの.qsf アサインメント

遅延エレメントにアクセスするには、以下のアサインメントを.qsf で指定します。

遅延エレメント	.qsf アサインメント
入力遅延エレメント	set_instance_assignment -to <PIN> -name INPUT_DELAY_CHAIN <0..63>
出力遅延エレメント	set_instance_assignment -to <PIN> -name OUTPUT_DELAY_CHAIN <0..15>
出カインエーブル遅延エレメント	set_instance_assignment -to <PIN> -name OE_DELAY_CHAIN <0..15>

4.3.3. タイミング解析

インテル Quartus Prime ソフトウェアは自動的に GPIO IP コアの SDC タイミング制約を生成しません。タイミング制約は手動で入力する必要があります。

タイミングのガイドラインと例に従って、Timing Analyzer は I/O タイミングを正しく分析します。

- 適切に I/O インターフェイス・パスのタイミング解析を実行するには、.sdc ファイルでシステム・クロックピンに対するデータピンのシステムレベルの制約を指定します。
- 適切にコア・インターフェイス・パスのタイミング解析を実行するには、以下のクロック設定を.sdc ファイルで定義します。
 - コアレジスターへのクロック
 - Simple Register モードと DDIO モード用の I/O レジスターへのクロック

関連情報

AN 433: Constraining and Analyzing Source-Synchronous Interfaces

このアプリケーション・ノートでは、ソース同期インタフェースを制約および解析するための手法について説明します。

4.3.3.1. ダブル・データ・レート(DDR)の入力レジスター

図 -33: ダブル・データ・レート(DDR)の入力レジスター

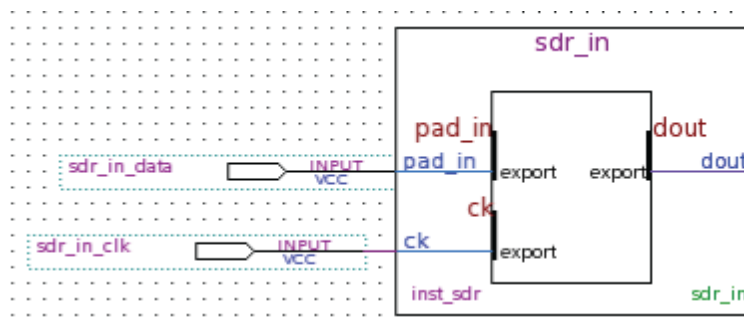


表 21. シングル・データ・レート入力レジスター .sdc コマンドの例

コマンド	コマンドの例	内容
create_clock	create_clock -name sdr_in_clk -period "100 MHz" sdr_in_clk	入力クロックのクロック設定を作成します。
set_input_delay	set_input_delay -clock sdr_in_clk 0.15 sdr_in_data	このコマンドは、0.15 ns の入力遅延と入力 I/O を分析するタイミングに TimeQuest タイミング・アナライザに指示します。

4.3.3.2. フルレートまたはハーフレート DDIO 入力レジスター

フルレートとハーフレート DDIO 入力レジスターの入力側は同じです。仮想クロックを使用して FPGA へのオフチップ・トランスミッタをモデル化することにより、システムを適切に制約することができます。

図 -34: フルレートまたはハーフレート DDIO 入力レジスター

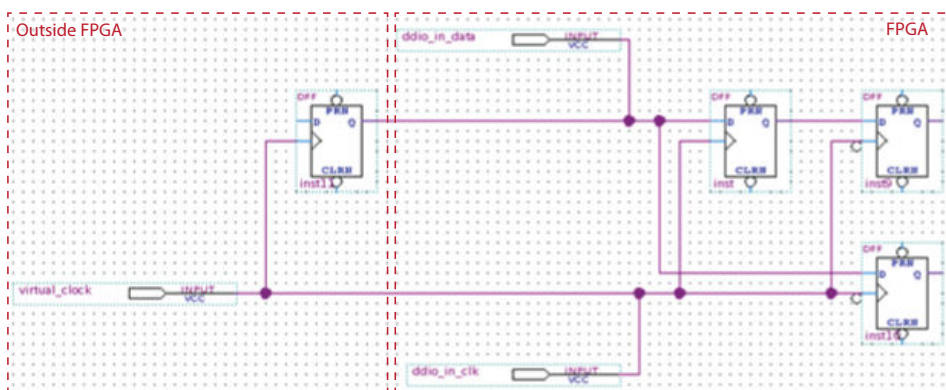


表 22. フルレートまたはハーフレート DDIO 入力レジスター .sdc コマンドの例

コマンド	コマンドの例	説明
create_clock	create_clock -name virtual_clock -period "200 MHz" create_clock -name ddio_in_clk -period "200 MHz" ddio_in_clk	仮想クロックと DDIO クロックのクロック設定を作成します。
set_input_delay	set_input_delay -clock virtual_clock 0.25 ddio_in_data set_input_delay -add_delay -clock_fall -clock virtual_clock 0.25 ddio_in_data	これらの set_input_delay コマンドは、転送の正のクロック・エッジと負のクロック・エッジを分析するために Timing Analyzer に指示します。第 2 の set_input_delay コマンドで -add_delay を観察します。
set_false_path	set_false_path -fall_from virtual_clock -rise_to ddio_in_clk set_false_path -rise_from virtual_clock -fall_to ddio_in_clk	Timing Analyzer に、負のエッジでリガされるレジスターへの正のクロック・エッジまたは正のエッジでトリガーされるレジスターへの負のクロック・エッジを無視するのを指示します。 注 ck_hr 周波数は ck_fr 周波数の半分でなければなりません。I/O PLL がクロックを駆動する場合、derive_pll_clocks .sdc コマンドの使用を検討できます。

4.3.3.3. シングル・データ・レートの出カレジスター

図 -35: シングル・データ・レートの出カレジスター

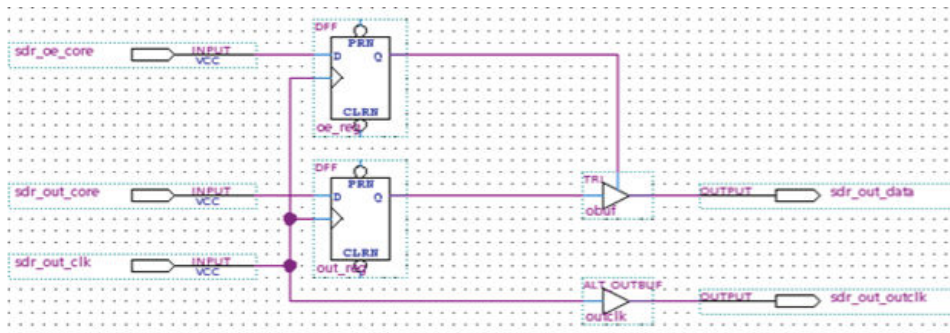


表 23. シングル・データ・レート入力レジスター .sdc コマンドの例

コマンド	コマンドの例	内容
create_clock and create_generated_clock	<pre>create_clock -name sdr_out_clk -period "100 MHz" sdr_out_clk create_generated_clock -source sdr_out_clk -name sdr_out_outclk sdr_out_outclk</pre>	これらの SDC コマンドは、ソース・クロックと出力クロックが送信される生成します。
set_output_delay	<pre>set_output_delay -clock sdr_out_clk 0.45 sdr_out_data</pre>	送信する出力クロックに対して送信する出力データを分析するように Timing Analyzer に指示します。

4.3.3.4. フルレートまたはハーフレート DDIO 出カレジスター

フルレートとハーフレート DDIO 出カレジスターの出力側は同じです。

表 24. DDIO 出カレジスター .sdc コマンドの例

コマンド	コマンドの例	内容
create_clock and create_generated_clock	<pre>create_clock -name ddio_out_fr_clk -period "200 MHz" ddio_out_fr_clk create_generated_clock -source ddio_out_fr_clk -name ddio_out_fr_outclk ddio_out_fr_outclk</pre>	これらの SDC コマンドは、ソース・クロックと出力クロックが送信される生成します。
set_output_delay	<pre>set_output_delay -clock ddio_out_fr_outclk 0.55 ddio_out_fr_data set_output_delay -add_delay -clock_fall -clock ddio_out_fr_outclk 0.55 ddio_out_fr_data</pre>	送信する出力クロックに対して送信する出力データを分析するように Timing Analyzer に指示します。
set_false_path	<pre>set_false_path -rise_from ddio_out_fr_clk -fall_to ddio_out_fr_outclk set_false_path -fall_from ddio_out_fr_clk -rise_to ddio_out_fr_outclk</pre>	出力クロックの立ち下がりエッジに対してソースクロックの立ち上がりエッジを無視し、出力クロックの立ち上がりエッジに対してソースクロックの立ち下がりエッジを無視するように Timing Analyzer に指示します。

4.3.4. タイミング・クロージャのガイドライン

GPIO 入力レジスターの場合、入力遅延チェーンを設定しないと、入力 I/O 転送がホールドタイムに失敗する可能性があります。この障害は、クロック遅延がデータ遅延よりも大きいため発生します。

ホールド時間を満たすには、入力遅延チェーンを使用して入力データパスに遅延を追加します。一般に、入力遅延チェーンは、-1 のスピードグレードでステップごとに約 30 ps です。タイミングを満たすためにおおよその入力遅延チェーン設定を取得するには、負のホールドスラックを 60 ps で割ります。

ただし、I/O PLL が GPIO 入力レジスター (Simple Register または DDIO モード) のクロックを駆動する場合は、補償モードをソース同期モードに設定できます。フィッターは、入力 I/O タイミング解析のより良いセットアップとホールドスラックのために I/O PLL を構成しようとしています。

GPIO 出力および出力イネーブルレジスターの場合、出力および出力イネーブル遅延チェーンを使用して、出力データおよびクロックに遅延を追加できます。

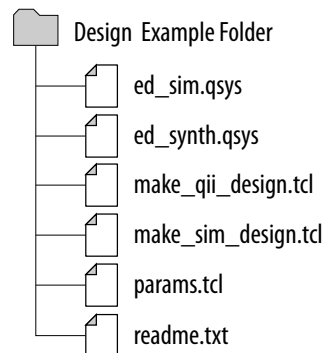
- セットアップ時間違反が発生した場合は、出力クロック遅延チェーンの設定を増加することができます。
- ホールド時間違反が発生した場合は、出力データ遅延チェーンの設定を増加することができます。

4.4. インテル FPGA IP デザイン例

GPIO IP コアは、パラメーター・エディターで IP 構成に一致するデザイン例を生成できます。これらのデザイン例は、シミュレーションで IP コアおよび予想される動作をインスタンス化するためのリファレンスとして使用できます。

GPIO IP コアのパラメーター・エディターからデザイン例を生成できます。必要なパラメーターを設定したら、**Generate Example Design** をクリックします。IP コアは、指定したディレクトリにデザイン例のソースファイルを生成します。

図 -36: 生成されたデザイン例のディレクトリーにおけるソースファイル



注意: .qsys ファイルは、デザイン例の生成中にのみ内部的に使用されます。これらの .qsys ファイルは編集できません。

4.4.1. GPIO IP コア合成可能 インテル Quartus Prime デザイン例

合成可能なデザイン例は、インテル Quartus Prime プロジェクトで Platform Designer に含めることができるシステムのコンパイル可能です。



デザイン例の生成と使用

合成可能な インテル Quartus Prime デザイン例をソースファイルから生成するには、デザイン例のディレクトリーで以下のコマンドを実行します。

```
quartus_sh -t make_qii_design.tcl
```

使用するデバイスを正確に指定するには、次のコマンドを実行します。

```
quartus_sh -t make_qii_design.tcl [device_name]
```

TCL スクリプトは、ed_synth.qpf プロジェクト・ファイルを含む qii ディレクトリーを作成します。インテル Quartus Prime ソフトウェアでこのプロジェクトを開いてコンパイルすることができます。

4.4.2. シミュレーション・デザイン例の生成

シミュレーションデザイン例では、GPIO シミュレーション・ドライバーに接続された IP インスタンスを構築するための IP コアパラメーター設定。ドライバーはランダムなトラフィックを生成し、送信データの合法性を内部的にチェックします。

デザイン例を使用すると、使用するシミュレーターに応じて、単一のコマンドを使用してシミュレーションを実行できます。シミュレーションは、GPIO IP コアの使用方法を示しています。

デザイン例の生成と使用

Verilog シミュレーター向けにソースファイルからシミュレーションのデザイン例を生成するには、デザイン例のディレクトリーで以下のコマンドを実行します。

```
quartus_sh -t make_sim_design.tcl
```

VHDL シミュレーター向けにソースファイルからシミュレーションのデザイン例を生成するには、デザイン例のディレクトリーで以下のコマンドを実行します。

```
quartus_sh -t make_sim_design.tcl VHDL
```

TCL スクリプトは、サポートされているシミュレーション・ツールごとにサブディレクトリーを含む sim ディレクトリーを作成します。各シミュレーション・ツールのスクリプトは、対応するディレクトリーにあります。

4.5. ピン・マイグレーションの互換性の検証

インテル Quartus Prime ソフトウェア Pin Planner の **Pin Migration View** ウィンドウを使用して、異なるデバイスにピン・アサインメントが正常に移行するかどうかを検証することができます。ピン・アサインメントは、同じデバイスパッケージを使用しながら異なる集積度を有するデバイスに垂直に移行するか、異なる集積度とボールカウントを有するパッケージ間を移行することができます。

1. **Assignments > Pin Planner** を開き、ピン・アサインメントを作成します。
2. 必要な場合、次のオプションのいずれかを実行して、デザインにノード名のある Pin Planner を取り込みます。
 - Analysis & Elaboration
 - Analysis & Synthesis
 - Fully compile the design
3. 次に、メニューの **View > Pin Migration View** をクリックします。

4. マイグレーション・デバイスを選択または変更するには、
 - a. **Device** をクリックして **Device** ダイアログボックスを開きます。
 - b. **Migration compatibility** の **Migration Devices** をクリックします。
5. ピンに関する詳細情報を表示するには、
 - a. **Pin Migration View** ウィンドウ上で右クリックし、**Show Columns** を選択します。
 - b. 次に、表示したいピン機能をクリックします。
6. 少なくとも 1 つのマイグレーション・デバイスで、移行結果に対応するピンと異なる機能を有するピンのみを表示したい場合は、**Show migration differences** をオンにします。
7. **Pin Finder** をクリックして **Pin Finder** ダイアログボックスを開き、特定の機能を有するピンを検索してハイライトします。
Pin Finder ダイアログボックスにおける最近の照会で検索し、ハイライトしたピンのみを表示したい場合、**Show only highlighted pins** をオンにします。
8. ピン・マイグレーション情報をカンマ区切り値ファイル (.csv) にエクスポートするには、**Export** をクリックします。

関連情報

[インテル Quartus Prime 開発ソフトウェア](#)

インテル Quartus Prime ソフトウェアについての詳しい情報を提供します。

4.6. GPIO IP コアへの移行

GPIO IP コアは、インテル Stratix 10 デザインで動作するように、以前のデバイスから GPIO IP を移行することができます。

以前の IP で使用したモードに応じて、IP 移行ツールは、以前の IP の設定に基づいて新しい GPIO IP コアを自動的に構成できます。サポートされていないモードの場合、GPIO IP コアのパラメーター・エディターを使用して、移行された IP コアを手動で構成できます。

4.6.1. ALTDDIO_IN、ALTDDIO_OUT、ALTDDIO_BIDIR、および ALTIobuf IP コアの移行

ALTDDIO_IN、ALTDDIO_OUT、ALTDDIO_BIDIR、および ALTIobuf への IP コア GPIO インテル FPGA IP IP コア P コアを移行するには、次の手順に従います。

1. IP パラメーター・エディターの ALTDDIO_IN、ALTDDIO_OUT、ALTDDIO_BIDIR、または ALTIobuf IP コアを開きます。
2. **Currently selected device family** リストから **Stratix 10** を選択します。
3. **Finish** をクリックして、GPIO IP Parameter Editor を開きます。
IP Parameter Editor は、ALTDDIO_IN、ALTDDIO_OUT、ALTDDIO_BIDIR、または ALTIobuf コア設定と同様の IP コア設定を構成します。
4. 2 つの IP コア間で互換性のない設定がある場合は、**new supported settings** を選択します。
5. **Finish** をクリックして IP コアを再生成します。
6. 新しく生成された IP と RTL で古い IP コアのインスタンスを置き換えます。



注意: GPIO IP コアポート名は、ALTDDIO_IN、ALTDDIO_OUT、ALTDDIO_BIDIR、または ALTIobuf IP コアポート名と一致しない場合があります。したがって、インスタンス化で IP コア名を変更するだけでは不十分な場合があります。

4.6.2. ガイドライン: 移行された IP における datain_h と datain_l ポートのスワップ

GPIO IP を以前のデバイスから GPIO IP コアでは、GPIO IP コアパラメーター・エディターでの **Use legacy top-level port names** オプションをオンにできます。ただし、GPIO IP コアでのこれらのポートの動作は、Stratix V、Arria® V、および Cyclone® V デバイスで使用される IP コアとは異なります。

GPIO IP コアはこれらのポートをこれらのクロックエッジの出力レジスターに駆動します。

- datain_h:outclock の立ち下がりエッジで
- datain_l:outclock の立ち上がりエッジで

Stratix V、Arria V、および Cyclone V デバイスから GPIO IP を移行した場合、IP コアによって生成された GPIO IP をインスタンス化するときに datain_h および datain_l ポートをスワップします。

5. 参照先

GPIO IP コアのみさまざまなパラメーター設定をセットし、動作、ポート、および信号をカスタマイズすることができます。

インテル Quartus Prime ソフトウェアは、パラメーター・エディターで設定したパラメーター・オプションに基づいてカスタマイズした GPIO IP コアを生成します。

5.1. インテル FPGA IP のパラメーター設定

GPIO IP コアのパラメーター設定は、インテル Quartus Prime ソフトウェアで設定することができます。**General**、**Buffer**、および **Registers** のオプションの 3 つのグループがあります。

表 25. GPIO IP Core Parameters - General

パラメーター	条件	許容値	説明
Data direction	—	<ul style="list-style-type: none"> Input Output Bidir 	GPIO のデータ方向を指定します。
Data width	—	1 ~ 128	データ幅を指定します。
Use legacy top-level port names	—	<ul style="list-style-type: none"> On Off 	Stratix V、Arria V、および Cyclone V デバイスと同じポート名を使用します。 たとえば、dout は dataout_h と dataout_1 になり、din は datain_h と datain_1 になります。 注 これらのポートの動作は、Stratix V、Arria V、Cyclone V デバイスとは異なります。移行ガイドラインについては、関連情報を参照してください。

表 26. GPIO IP Core Parameters - Buffer

パラメーター	条件	許容値	説明
Use differential buffer	—	<ul style="list-style-type: none"> On Off 	オンにした場合、差動 I/O バッファを有効にします。
Use pseudo differential Buffer	<ul style="list-style-type: none"> Data Direction = Output Use differential buffer = On 	<ul style="list-style-type: none"> On Off 	出力モードでオンにすると、擬似差動出力バッファが有効にされます。 Use differential buffer をオンにすると、このオプションは双方向モードで自動的にオンになります。
Use bus-hold circuitry	<ul style="list-style-type: none"> Data Direction = Input または Bidir Use differential buffer = Off 	<ul style="list-style-type: none"> On Off 	オンにすると、バスホールド回路が微弱な電流で I/O ピンの信号を最後に駆動された状態に保持し、これにより、出力バッファーステートはハイ・インピーダンスではなく 1 または 0 になります。

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2015
登録済



パラメーター	条件	許容値	説明
Use open drain output	<ul style="list-style-type: none"> Data Direction = Output または Bidir Use differential buffer = Off 	<ul style="list-style-type: none"> On Off 	オンにすると、オープンドレイン出力によってデバイスが割り込み信号や書き込みイネーブル信号といったシステムレベルのコントロール信号を提供できるようになり、これらの信号は、システム内の複数のデバイスがアサートすることができます。
Enable output enable port	Data Direction = Output	<ul style="list-style-type: none"> On Off 	オンにすると、OE ポートへのユーザー入力を有効にします。このオプションは、双方向モードでは自動的にオンになっています。 インテル Stratix 10 デバイスに、各 3 V I/O バンクは、8 つのシングルエンド I/O に対して 2 つの出カインエーブル(OE)のみをサポートします。
Enable seriestermination / paralleltermination ports	—	<ul style="list-style-type: none"> On Off 	オンにすると、出力バッファの seriesterminationcontrol と parallelterminationcontrol ポートを有効にします。

表 27. GPIO IP Core Parameters - Registers

パラメーター	条件	許容値	説明
Register mode	—	<ul style="list-style-type: none"> None Simple register DDIO 	GPIO IP コアのレジスター・モードを指定します。 <ul style="list-style-type: none"> None—バッファ間の単純な配線接続を指定します。 Simple register—DDIO がシングル・データ・レート・モード(SDR)で単純なレジスターとして使用されることを指定します。フィッターはこのレジスターを I/O にバッキングすることがあります。 DDIO—IP が DDIO を使用することを指定します。 3 V I/O バンクのみでサポートされる I/O 規格を使用する場合、 None を選択します。
Enable synchronous clear / preset port	<ul style="list-style-type: none"> Register mode = DDIO 	<ul style="list-style-type: none"> None Clear Preset 	同期リセットポートの実装方法を指定します。 <ul style="list-style-type: none"> None:同期リセットポートを無効にします。 Clear:同期クリア用に SCLR ポートを有効にします。 Preset:同期プリセット用に SSET ポートを有効にします。
Enable asynchronous clear / preset port	<ul style="list-style-type: none"> Register mode = DDIO 	<ul style="list-style-type: none"> None Clear Preset 	非同期リセットポートの実装方法を指定します。 <ul style="list-style-type: none"> None:非同期リセットポートを無効にします。 Clear:非同期クリア用に ACLR ポートを有効にします。 Preset:非同期プリセット用に ASET ポートを有効にします。 ACLR and ASET signals are active high.
Enable clock enable ports	Register mode = DDIO	<ul style="list-style-type: none"> On Off 	<ul style="list-style-type: none"> On:クロック・イネーブル・ポート (CKE) を公開し、データがクロックインまたはクロックアウトする際の制御を可能にします。この信号は、データがユーザーの制御なしで通過することを防ぎます。 Off:クロック・イネーブル・ポートが公開されず、データは常にレジスターを自動的に通過します。
Half Rate logic	Register mode = DDIO	<ul style="list-style-type: none"> On Off 	オンにすると、ハーフレートの DDIO が有効になります。
Separate input / output Clocks	<ul style="list-style-type: none"> Data Direction = Bidir Register mode = Simple register または DDIO 	<ul style="list-style-type: none"> On Off 	オンにすると、双方向モードの入力バスと出力バスに対して別々のクロック (CK_IN と CK_OUT) を有効にします。

関連情報

ガイドライン: 移行された IP における datain_h と datain_l ポートのスワップ (59 ページ)

5.2. インテル FPGA IP のインターフェイス信号

指定したパラメーター設定に応じて、GPIO IP コアにさまざまなインターフェイス信号を使用することができます。

図 -37: GPIO IP コアのインターフェイス



図 -38: GPIO のインターフェイス信号

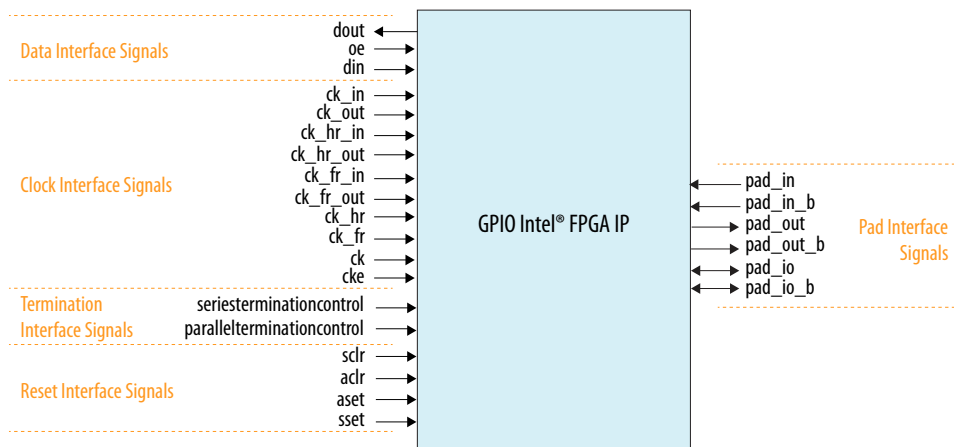


表 28. パッド・インターフェイス信号

パッド・インターフェイスは、GPIO IP コアからパッドへの物理的な接続です。このインターフェイスは、IP コアの構成に応じて、入力、出力、または双方向のインターフェイスになります。この表で、*SIZE* は IP コアのパラメーター・エディターで指定されたデータ幅です。

信号名	入力/出力	説明
pad_in[SIZE-1:0]	入力	パッドからの入力信号です。
pad_in_b[SIZE-1:0]	入力	パッドからの差動入力信号の負ノードです。このポートは、 Use differential buffer オプションをオンにした場合に使用できます。
pad_out[SIZE-1:0]	出力	パッドへの出力信号です。
pad_out_b[SIZE-1:0]	出力	パッドへの差動出力信号の負ノードです。このポートは、 Use differential buffer オプションをオンにした場合に使用できます。
pad_io[SIZE-1:0]	双方向	パッドとの双方向信号接続です。
pad_io_b[SIZE-1:0]	双方向	パッドとの差動双方向信号接続の負ノードです。このポートは、 Use differential buffer オプションをオンにした場合に使用できます。



表 29. データ・インターフェイス信号

データ・インターフェイスインターフェイスは、GPIO IP コアから FPGA コアへの入力または出力インターフェイスです。この表で、SIZE は IP コアのパラメーター・エディターで指定されたデータ幅です。

信号名	入力/出力	説明
din[DATA_SIZE-1:0]	入力	出力または双方向モードで FPGA コアからのデータ入力です。DATA_SIZE は以下の Register Mode によって異なります。 <ul style="list-style-type: none"> • Bypass または Simple Register: DATA_SIZE = SIZE • Half Rate logic なし DDIO: DATA_SIZE = 2 × SIZE • Half Rate logic を使用した DDIO: DATA_SIZE = 4 × SIZE
dout[DATA_SIZE-1:0]	出力	入力または双方向モードで FPGA コアに出力されるデータです。DATA_SIZE は以下の Register Mode によって異なります。 <ul style="list-style-type: none"> • Bypass または Simple Register: DATA_SIZE = SIZE • Half-rate logic なし DDIO: DATA_SIZE = 2 × SIZE • Half Rate logic を使用した DDIO: DATA_SIZE = 4 × SIZE
oe[OE_SIZE-1:0]	入力	Enable output enable port をオンにした出力モードまたは双方向モードで FPGA コアからの OE 入力です。OE はアクティブ High です。データを送信するときは、この信号を 1 に設定します。データを受信するときは、この信号を 0 に設定します。OE_SIZE は以下の Register Mode によって異なります。 <ul style="list-style-type: none"> • Bypass または Simple Register: DATA_SIZE = SIZE • Half Rate logic なし DDIO: DATA_SIZE = SIZE • Half Rate logic を使用した DDIO: DATA_SIZE = 2 × SIZE

表 30. クロック・インターフェイス信号

クロック・インターフェイスは入力クロック・インターフェイスです。クロック・インターフェイスはコンフィギュレーションに応じて異なる信号で構成されます。GPIO IP コアは 0、1、2、または 4 つのクロック入力を有することができます。クロック・ポートはそれぞれのコンフィギュレーションで異なって表示され、クロック信号によって実行される実際の機能を反映します。

信号名	入力/出力	説明
ck	入力	入力バスと出力バスでは、 Half Rate logic パラメーターをオフにすると、このクロックがバックドレジスターまたは DDIO に供給されます。 双方向モードでは、 Separate input/output Clocks パラメーターをオフにすると、このクロックは入力バスと出力バスの一意のクロックです。
ck_fr	入力	入力バスと出力バスでは、 Half Rate logic パラメーターをオンにすると、これらのクロックがフルレートとハーフレートの DDIO に供給されます。 双方向モードでは、 Separate input/output Clocks パラメーターをオフにすると、入力バスと出力バスでこれらのクロックが使用されます。
ck_hr		
ck_in	入力	双方向モードでは、以下の両方の設定を指定すると、これらのクロックは入力バスと出力バスでバックドレジスターまたは DDIO に供給されます。 <ul style="list-style-type: none"> • Half Rate logic パラメーターをオフにする • Separate input/output Clocks パラメーターをオンにする
ck_out		
ck_fr_in	入力	双方向モードでは、以下の両方の設定を指定すると、これらのクロックは入力バスと出力バスでフルレートおよびハーフレートの DDIO に供給されます。 <ul style="list-style-type: none"> • Half Rate logic パラメーターをオンにする • Separate input/output Clocks パラメーターをオンにする たとえば、ck_fr_out は出力バスでフルレート DDIO に供給されます。
ck_fr_out		
ck_hr_in		
ck_hr_out		
cke	入力	クロックイネーブルです。

表 31. 終端インターフェイス信号

リセット・インターフェイスは、GPIO IP コアを DDIO に接続します。

信号名	入力/出力	説明
seriesterminationcontrol	入力	終端制御ブロック (OCT) からバッファへの入力です。これはバッファ直列インピーダンス値を設定します。
parallelerterminationcontrol	入力	終端制御ブロック (OCT) からバッファへの入力です。これはバッファ並列インピーダンス値を設定します。

表 32. リセット・インターフェイス信号

リセット・インターフェイスは、GPIO IP コアを DDIO に接続します。

信号名	入力/出力	説明
sclr	入力	同期クリア入力。sset を有効にしている場合は使用できません。
aclr	入力	非同期クリア入力。アクティブ High。aset を有効にしている場合は使用できません。
aset	入力	非同期セット入力。アクティブ High。aclr を有効にした場合は使用できません。
sset	入力	同期セット入力。sclr を有効にしている場合は使用できません。

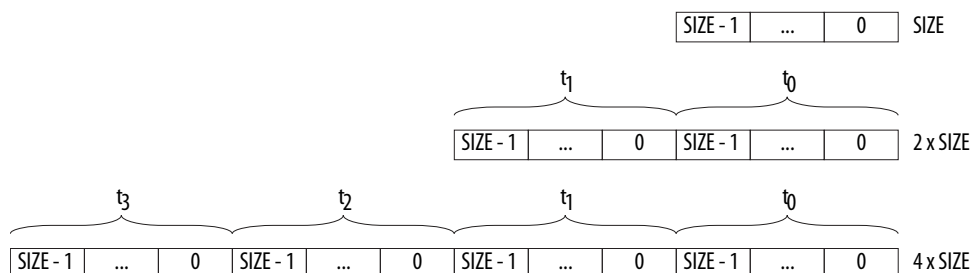
5.2.1. 共有信号

- 入力、出力、および OE パスは同じクリアとプリセット信号を共有しています。
- 出力および OE パスは同じクロック信号を共有しています。

5.2.2. データ・インターフェイスのためのデータのビット順

図 -39: データのビット順序の規則

以下の図は、din、dout、および oe データ信号のビット順序の規則を示しています。



- データ・バス・サイズの値が SIZE の場合、LSB は一番右の位置にあります。
- データ・バス・サイズの値が $2 \times \text{SIZE}$ の場合、バスは SIZE の 2 ワードで構成されます。
- データ・バス・サイズの値が $4 \times \text{SIZE}$ の場合、バスは SIZE の 4 ワードで構成されます。
- LSB は各ワードの右端の位置にあります。
- 右端のワードは、出力バス用の最初の送信ワードと入力バス用の最初の受信ワードを指定します。

関連情報

[入力バス \(46 ページ\)](#)



5.2.3. データ・インターフェイス信号と対応するクロック

表 33. データ・インターフェイス信号と対応するクロック

信号名	パラメーター・コンフィグレーション			クロック
	Register Mode	Half Rate	Separate Clocks	
din	<ul style="list-style-type: none"> Simple Register DDIO 	Off	Off	ck
	DDIO	On	Off	ck_hr
	<ul style="list-style-type: none"> Simple Register DDIO 	Off	On	ck_in
	DDIO	On	On	ck_hr_in
<ul style="list-style-type: none"> dout oe 	<ul style="list-style-type: none"> Simple Register DDIO 	Off	Off	ck
	DDIO	On	Off	ck_hr
	<ul style="list-style-type: none"> Simple Register DDIO 	Off	On	ck_out
	DDIO	On	On	ck_hr_out
<ul style="list-style-type: none"> sclr sset すべてのパッド信号 	<ul style="list-style-type: none"> Simple Register DDIO 	Off	Off	ck
	DDIO	On	Off	ck_fr
	<ul style="list-style-type: none"> Simple Register DDIO 	Off	On	<ul style="list-style-type: none"> 入力バス:ck_in 出力バス:ck_out
	DDIO	On	On	<ul style="list-style-type: none"> 入力バス:ck_fr_in 出力バス:ck_fr_out

6. インテル Stratix 10 汎用 I/O ユーザーガイド

表にソフトウェアバージョンがリストされていない場合、以前のソフトウェアバージョンのユーザーガイドが適用されます。

インテル Quartus Prime バージョン	ユーザーガイド
19.3	インテル Stratix 汎用 I/O ユーザーガイド
19.2	インテル Stratix 汎用 I/O ユーザーガイド
18.1	インテル Stratix 汎用 I/O ユーザーガイド
18.0	インテル Stratix 汎用 I/O ユーザーガイド
17.1	インテル Stratix 汎用 I/O ユーザーガイド

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2015
登録済

7. インテル Stratix 10 汎用 I/O ユーザーガイドの改訂履歴

ドキュメントバージョン	インテル Quartus Prime バージョン	変更内容
2020.01.08	19.4	<ul style="list-style-type: none"> バリエーション、製品ライン、パッケージ、および移行バスを追加および削除するために I/O 移行トピックを更新。 HF35 のインテル Stratix 10 GX 400 そして SX 400 デバイスのパッケージに 3.3V I/O を追加。 3 V I/O のキャリブレーションなし R_S OCT のサポートを追加。 の I/O 標準制限の設計ガイドラインを更新しました インテル Stratix 10 TX 400 バンク 3A および 3D の LVDS、ミニ LVDS、または RSDS を専用クロックピンとしてのみ使用できることを指定するデバイスの I/O 標準制限の設計ガイドラインを更新。 インテル Stratix 10 GX 400 そして SX 400 デバイスに I/O 規格の制限に関するデザインガイドラインを追加。 「ピーク-ピーク」という単語を削除するにはプログラマブル・プリエンファシス図を更新。 プログラム可能なブルアップ抵抗機能に関するトピックからの関連情報リンクを <i>インテル Stratix 10 構成ユーザーガイドの構成フロー図</i> のトピックに追加。リンクされたトピックは、コンフィギュレーションモードでのウィークブルアップに関する詳細情報を提供。 未使用 VREF ピンの接続についてのガイドラインから VCCIO を除去するために VREF 源と VREF ピンの設計指針を更新。
2019.10.01	19.3	遅延要素に関するトピックの .qsf 割り当てコードの誤植を修正。
2019.09.30	19.3	<ul style="list-style-type: none"> インテル Stratix 10 TX 400 デバイスを垂直移行移動テーブルに追加。 3 V I/O バンクすべてに 1 つの電圧のみを使用することに関するガイドラントピックを追加。 バンク 3A または 3D で LVDS、Mini-LVDS、または RSDS I/O 標準を使用しないことに関するガイドラントピックを追加。インテル Stratix 10 TX 400 端末。
2019.07.09	19.2	入力バス、および出力と出力の有効化バスに関するトピックの注記を更新して、GPIO インテル FPGA IP そして OCT インテル FPGA IP 単方向の入力ピンまたは出力ピンでのみ OCT をサポート。
2019.03.04	18.1	<p>入力バス、および出力と出力のイネーブルバスに関するトピックには:</p> <ul style="list-style-type: none"> トピックに GPIO インテル FPGA IP 双方向ピンの動的キャリブレーションはサポートしていない注記を修正。 双方向ピンの動的キャリブレーションを必要とするアプリケーションの詳細のため、<i>PHY Lite for Parallel Interfaces インテル FPGA IP コア・ユーザーガイド</i> <i>インテル Stratix 10</i>、<i>インテル Arria 10</i>、および <i>インテル Cyclone 10 GX デバイス</i> にリンクを追加。
2019.01.23	18.1	インテル Quartus Prime ドキュメントのバージョンを更新。

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2015
登録済



日付	バージョン	変更内容
		<ul style="list-style-type: none"> • プログラム可能電流強度設定をリストした表を更新。 – これらの I/O 規格に現在の強度設定を追加。 <ul style="list-style-type: none"> • 2.5 V LVCMOS • SSTL-135 および差動 SSTL-135 • SSTL-125 および差動 SSTL-125 • SSTL-12 および差動 SSTL-12 Class I • POD12 および差動 POD12 • 差動 1.8 V HSTL Class I and Class II • 差動 1.5 V HSTL Class I and Class II • 差動 1.2 V HSTL Class I – 1.8 V LVCMOS I/O 規格の 6mA、4 mA、および 2 mA HPS 電流強度設定を削除。 – 1.8 V LVCMOS I/O 規格を除くすべての HPS 電流強度設定を削除。 – 次の I/O 規格から 12mA および 10mA の電流強度設定を削除。 <ul style="list-style-type: none"> • 1.2 V LVCMOS • SSTL-18 Class I • SSTL-15 Class I • 1.2 V HSTL Class I – SSTL-18 クラス II および SSTL-15 クラス II I/O 規格から 16mA の電流強度設定を削除。 – 1.2 VHSTL クラス II I/O 規格のプログラム可能な電流強度を削除 • 3 V I/O の OCT サポートを削除。 • 2.5 V LVCMOS を追加するために、外部終端方式をリストした表を更新。 • 図の信号名をインテル FPGA GPIOIP コアの信号名と一致するように更新。 • 出力バス波形を追加。
2017 年 9 月	2017.09.04	<ul style="list-style-type: none"> • SSTL-18 クラス II および SSTL-15 クラス II に 8mA の電流強度設定を追加。 • これらの I/O 標準を、キャリブレーションなしの RSOCT の選択可能な I/O 標準をリストする表に追加。 <ul style="list-style-type: none"> – 差動 SSTL-15 – 差動 SSTL-135 – 差動 SSTL-125 – 差動 SSTL-12 – 差動 HSUL-12 • 1.8 V LVCMOS I/O 規格に 16mA の電流強度設定を追加しました。 • 1.2 V LVCMOS I/O 規格に 12mA および 10mA の電流強度設定を追加。
2017 年 2 月	2017.02.13	<ul style="list-style-type: none"> • TX 2100 デバイスの SF48 パッケージを削除。 •
2016 年 12 月	2016.12.05	GX 4500 および SX 5500 デバイスの HF55 パッケージの I/O バンク 3L の I/O の数を修正。
2016 年 10 月	2016.10.31	初版。