



# Intel® Stratix® 10 のクロッキングおよび PLL ユーザーガイド

インテル® Quartus® Prime 開発デザインスイートの更新情報: **17.1**



更新情報

フィードバック

**UG-S10CLKPLL | 2017.12.07**

最新版をウェブからダウンロード: [PDF](#) | [HTML](#)

## 目次

---

<b>1. インテル® Stratix 10® のクロッキングおよび PLL の概要</b> .....	<b>4</b>
1.1. クロック・ネットワークの概要.....	4
1.2. PLL の概要.....	4
<b>2. インテル Stratix 10 のクロッキングおよび PLL のアーキテクチャーと機能</b> .....	<b>5</b>
2.1. クロック・ネットワークのアーキテクチャーと機能.....	5
2.1.1. クロック・ネットワーク・リソースの利点.....	5
2.1.2. クロック・リソース.....	7
2.1.3. プログラマブル・クロック配線のソース.....	9
2.1.4. クロック管理機能.....	9
2.2. PLL のアーキテクチャーと機能.....	12
2.2.1. PLL の機能.....	12
2.2.2. PLL の使用率.....	13
2.2.3. PLL のアーキテクチャー.....	14
2.2.4. PLL コントロール信号.....	14
2.2.5. クロック・フィードバック・モード.....	15
2.2.6. クロックの逡倍と分周.....	21
2.2.7. プログラマブル位相シフト.....	22
2.2.8. プログラマブル・デューティ・サイクル.....	22
2.2.9. PLL のカスケード接続.....	23
2.2.10. クロック・スイッチオーバー.....	23
2.2.11. PLL リコンフィグレーションおよびダイナミック位相シフト.....	27
2.2.12. PLL キャリブレーション.....	27
<b>3. インテル Stratix 10 のクロッキングおよび PLL デザイン検討事項</b> .....	<b>29</b>
3.1. ガイドライン: クロック・スイッチオーバー.....	29
3.2. fPLL IP コアの制約.....	30
3.3. ガイドライン: PLL のリセット.....	30
3.4. ガイドライン: コンフィグレーションの制約.....	30
3.5. ガイドライン: タイミング・クロージャーク.....	30
3.6. ガイドライン: I/O PLL のリコンフィグレーション.....	31
<b>4. インテル Stratix 10 のクロッキングおよび PLL 実装ガイド</b> .....	<b>32</b>
4.1. Stratix® 10 クロック制御 IP コア.....	32
4.2. Intel FPGA IOPLL IP コア.....	32
4.2.1. .mif ファイルの生成.....	32
4.2.2. Intel FPGA IOPLL IP コアによる PLL ダイナミック位相シフトの実装.....	33
4.2.3. デザイン例.....	34
4.3. Intel FPGA IOPLL Reconfig IP コア.....	34
4.3.1. Intel FPGA IOPLL Reconfig IP コアの I/O PLL リコンフィグレーションの実装.....	35
4.3.2. デザイン例.....	39
<b>5. Stratix® 10 クロック制御 IP コアのリファレンス</b> .....	<b>42</b>
5.1. Stratix® 10 クロック制御パラメーター.....	42
5.2. Stratix® 10 クロック制御ポートおよび信号.....	43



<b>6. Intel FPGA IOPLL IP コアの参考資料</b> .....	<b>44</b>
6.1. Intel FPGA IOPLL パラメーター.....	44
6.1.1. Intel FPGA IOPLL パラメーター : PLL のタブ.....	44
6.1.2. Intel FPGA IOPLL パラメーター : 設定のタブ.....	46
6.1.3. Intel FPGA IOPLL パラメーター : カスケードのタブ.....	47
6.1.4. Intel FPGA IOPLL パラメーター : ダイナミック・リコンフィグレーションタブのタブ.....	48
6.1.5. Intel FPGA IOPLL パラメーター : 高度なパラメーターのタブ.....	48
6.2. Intel FPGA IOPLL ポートおよび信号.....	48
6.3. Intel FPGA IOPLL IP コアのダイナミック位相シフトポート.....	49
<b>7. Intel FPGA IOPLL Reconfig IP コアのリファレンス</b> .....	<b>51</b>
7.1. Intel FPGA IOPLL Reconfig IP コアの Avalon -M のインターフェイス・ポート.....	51
7.2. アドレスバスとデータバスの設定.....	51
7.2.1. クロック・ゲーティングのリコンフィグレーションのための出カクロックと対応するデータ ビットの設定.....	51
7.2.2. Intel FPGA IOPLL Reconfig IP コアのダイナミック位相シフトのためのデータバス設定...	52
<b>A. インテル Stratix 10 のクロッキングおよび PLL ユーザーガイド改訂履歴</b> .....	<b>53</b>



## 1. インテル® Stratix 10® のクロッキングおよび PLL の概要

---

### 1.1. クロック・ネットワークの概要

インテル® Stratix 10® デバイスには、平衡遅延でファブリック全体に信号を配信するための専用リソースが含まれています。これらのリソースは、通常、クロック信号に使用されます。これらのリソースは、スキューの少ない他の信号にも使用できます。インテル Stratix 10 では、これらのリソースは、さまざまなサイズの低スキュークロックツリーの実装を可能にするプログラマブル・クロック・ルーティング・ネットワークとして実装されています。

### 1.2. PLL の概要

PLL (Phase-Locked Loop) は、デバイス・クロック管理、外部システムクロック管理、および高速 I/O インターフェイスのための堅牢なクロック管理と合成機能を提供しています。

インテル Stratix 10 デバイスファミリーは次コア・アプリケーションの PLL を有します。

- fPLL—フラクショナル PLL または整数 PLL として動作可能です。
- I/O PLL—整数 PLL としてのみ動作可能です。

fPLL は、HSSI バンクでトランシーバー・ブロックに隣接して配置されます。各トランシーバーは 2 つの fPLL を有します。それぞれの fPLL は、従来の整数モードで独立してコンフィグレーションすることができます。フラクショナル・モードでは、fPLL は三次デルタ・シグマ変調で動作可能です。トランシーバー用のトランスミッター (TX) クロックを生成するように、またはコアに単一のクロックを供給するように各トランスミッターを設定できます。

I/O PLL は、I/O バンクでハード・メモリー・コントローラーおよび LVDS シリアライザ / デシリアライザ (SERDES) ・ブロックに隣接して配置されます。各 I/O バンクは 1 つの I/O PLL を有します。この I/O PLL は従来の整数モードで動作可能です。なお、各 I/O PLL は 9 つの C カウンター出力を有します。

インテル Stratix 10 デバイスは最大密度デバイスで最大 48 つの fPLL と 42 つの I/O PLL を備えています。

## 2. インテル Stratix 10 のクロッキングおよび PLL のアーキテクチャーと機能

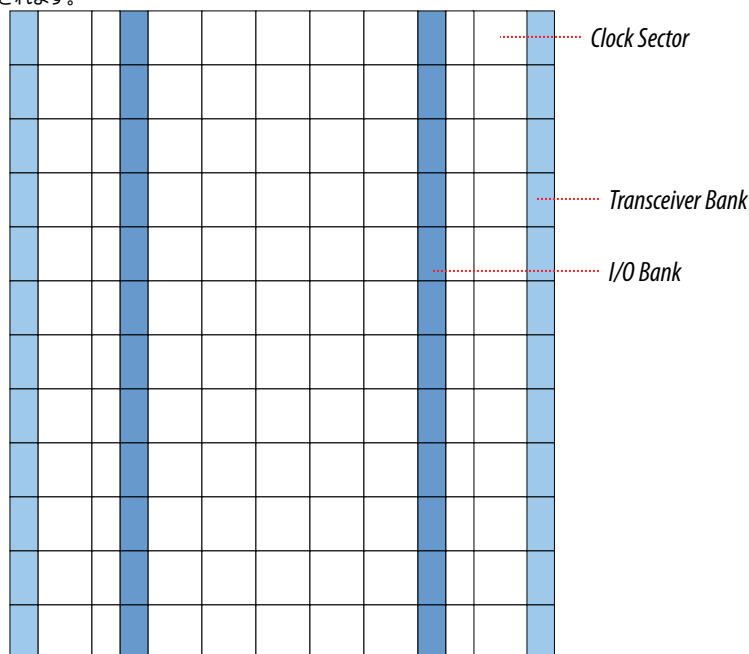
### 2.1. クロック・ネットワークのアーキテクチャーと機能

#### 2.1.1. クロック・ネットワーク・リソースの利点

各 インテル Stratix 10 デバイスは、いくつかの均等なサイズのクロックセクターに分割されます。

図 -1: インテル Stratix 10 デバイスのクロック・セクター・フロアプラン

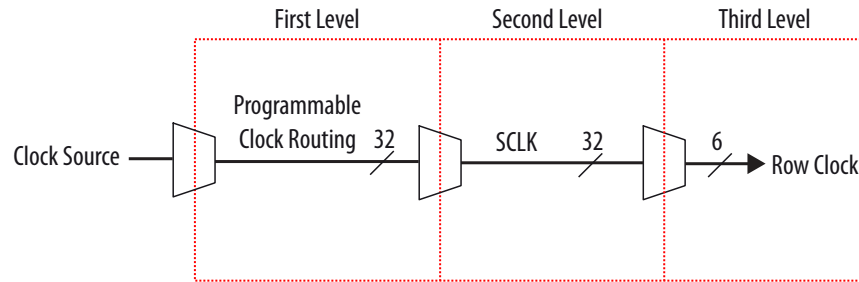
この図は、インテル Stratix 10 デバイスでのクロック・セクターの例を示しています。この例では 12 行および 9 カラムのセクターのレイアウトとして実装されています。クロックセクターは、トランシーバーと I/O バンクの深度に合わせて垂直に配置されています。I/O バンクはクロックセクター内に含まれます。トランシーバー・バンク・インターフェイスは、デバイスの左側または右側のクロック・セクターの横に常に配置されます。



##### 2.1.1.1. クロック・ネットワーク階層

インテル Stratix 10 クロック・ネットワークは、3 つのレベルの階層に編成することができます。

図 -2: クロック・ネットワーク階層

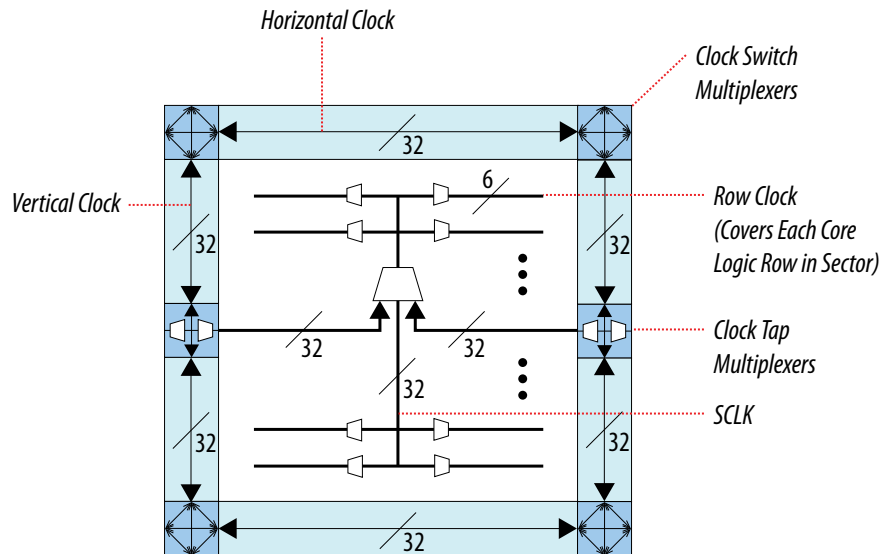


### 2.1.1.2. クロックセクター

各クロックセクターには、プログラマブル・クロック・ネットワークがアクセスできる専用セクタークロック (SCLK) およびロウ・クロック・ネットワーク・リソースがあります。各クロックセクターは、プログラマブル・クロック・ネットワーク・リソースによって囲まれています。各側には、32 の独立した双方向クロックワイヤを含むチャネルがあります。各コーナーには、これらのクロックワイヤ間をルーティングできるプログラマブル・クロック・スイッチ・マルチプレクサーのセットがあります。

垂直クロック・ワイヤ上の信号は、クロック・タップ・マルチプレクサーを介してそのセクターにその左または右に入ることができます。クロック・タップ・マルチプレクサーはセクタークロックを駆動し、セクタークロックはクロックセクター内の各行に信号を分配します。各行には、セクター内のすべてのコア機能ブロック、PLL、および I/O インターフェイス、また隣接トランシーバーに接続する 6 つのロウ・クロック・リソースがあります。

図 -3: クロック・セクター内の専用クロック・リソース



### 2.1.1.3. プログラマブル・クロック配線

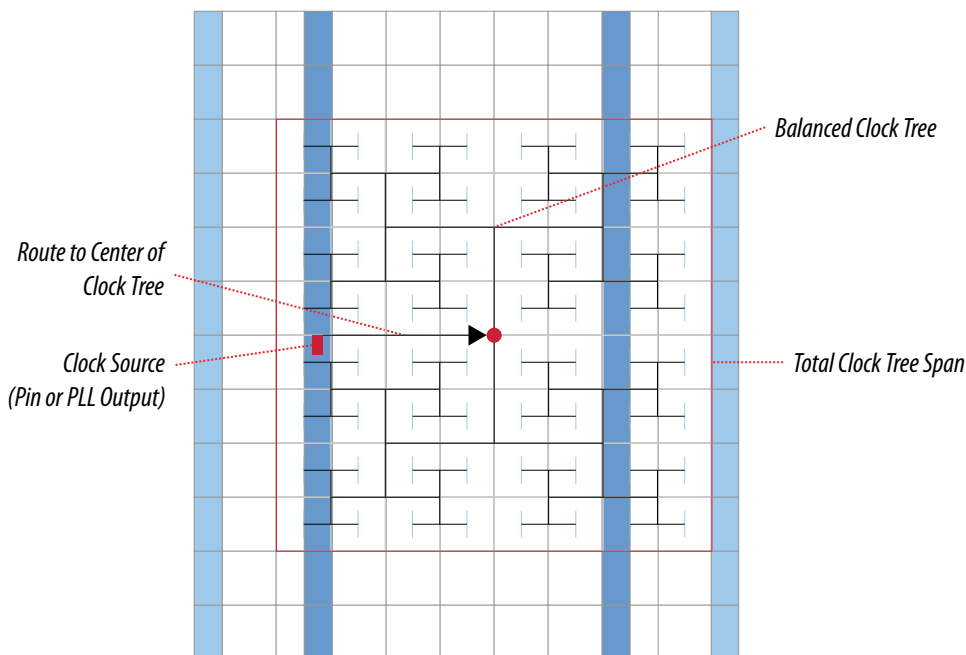
インテル Quartus® Prime ソフトウェアは自動的にクロックスイッチ、クロックタップ、SCLK、およびロウ・クロック・マルチプレクサーをコンフィグレーションして、スキューバランスのクロックツリーを生成します。結果のルーティングパスは、クロックソースからの信号を 1 つ以上のクロックセクターのすべてのターゲット送り先に分配します。



インテル Quartus Prime ソフトウェアは、次の図の例に示すように、単一のクロックセクターからデバイス全体にわたるさまざまなサイズの効率的なバランスのとれたクロックツリーを作成します。デフォルトでは、インテル Quartus Prime ソフトウェアは自動的にクロックツリーのサイズと位置を決定します。または、クロック領域の割り当てまたはロジックロック領域でクロックツリーのサイズと位置を直接制約することもできます。

クロック・ネットワークの総挿入遅延は、クロックツリーを実装するのに必要なクロックリソースの数に依存し、到達するクロックセクターの数および信号源からの最も遠いクロック宛先の距離と共に増加します。遅延が増加するにつれて、異なるクロック・ツリー・ブランチを使用するクロックセクターを横切る最悪の場合のスキューが増大し、最大性能に影響を与える可能性があります。超高速クロック信号の場合、駆動されるクロックセクターの数を減らしてクロックスキューを低減し、クロックソースと最も遠い destinations との間の距離を減少させることが有利であり、これによりクロックスキューおよびトータルクロック挿入遅延を減少します。

図 -4: インテル Stratix 10 プログラマブル・クロック・ルーティングを使用するクロック・ネットワーク・サイズの例



### 2.1.2. クロック・リソース

表 1. クロック入力ピン

デバイス	使用可能なリソース数	クロック・リソースのソース
<ul style="list-style-type: none"> <li>GX 400</li> <li>SX 400</li> </ul>	トランシーバー : 24 の差動 I/O: 32 のシングルエンドまたは 16 の差動	トランシーバー・ピン : REFCLK_GXB[L,R][1,4] [C,D,E,F,G,H,I,J,K,L,M,N]_CH[B,T][p,n] I/O PLL - CLK_[2,3][A..L]_[0,1][p,n]
<ul style="list-style-type: none"> <li>GX 650</li> <li>SX 650</li> </ul>	トランシーバー : 48 の差動 I/O: 32 のシングルエンドまたは 16 の差動	
<ul style="list-style-type: none"> <li>GX 850</li> <li>GX 1100</li> <li>SX 850</li> <li>SX 1100</li> </ul>	トランシーバー : 32 の差動 I/O: 60 のシングルエンドまたは 30 の差動	

continued...



デバイス	使用可能なリソース数	クロック・リソースのソース
MX 1100	トランシーバー : 16 の差動 I/O:36 のシングルエンドまたは 18 の差動	
<ul style="list-style-type: none"> <li>GX 1650</li> <li>GX 2100</li> <li>SX 1650</li> <li>SX 2100</li> </ul>	トランシーバー : 32 の差動 I/O:56 のシングルエンドまたは 32 の差動	
<ul style="list-style-type: none"> <li>MX 1650</li> <li>MX 2100</li> </ul>	トランシーバー : 32 の差動 I/O:52 のシングルエンドまたは 26 の差動	
<ul style="list-style-type: none"> <li>TX 1650</li> <li>TX 2100</li> </ul>	トランシーバー : 32 の差動 I/O:64 のシングルエンドまたは 32 の差動	
<ul style="list-style-type: none"> <li>GX 2500</li> <li>GX 2800</li> <li>SX 2500</li> <li>SX 2800</li> </ul>	トランシーバー : 32 の差動 I/O:96 のシングルエンドまたは 48 の差動	
<ul style="list-style-type: none"> <li>TX 2500</li> <li>TX 2800</li> </ul>	トランシーバー : 53 の差動 I/O:36 のシングルエンドまたは 18 の差動	
<ul style="list-style-type: none"> <li>GX 4500</li> <li>GX 5500</li> <li>SX 4500</li> <li>SX 5500</li> </ul>	トランシーバー : 24 の差動 I/O:96 のシングルエンドまたは 48 の差動	

表 2. インテル Stratix 10 プログラマブル・クロック配線のリソース

デバイス	使用可能なリソース数	クロック・リソースのソース
すべての インテル Stratix 10 デバイス	各クロックセクターの境界で 32 つの双方向プログラマブル・クロック・ルーティング	トランシーバー・バンク : <ul style="list-style-type: none"> <li>チャンネルごとのフィジカル・メディア・アタッチメント(PMA)とフィジカル・コーディング・サブレイヤ(PCS)TX / RX クロック</li> <li>チャンネルごとの PMA および PCS TX / RX 分周クロック</li> <li>ハード IP コアのクロック出力信号</li> <li>フラクショナル PLL (fPLL) C カウンター出力</li> <li>REFCLK ピン</li> <li>コア信号 <sup>(1)</sup></li> </ul> I/O バンク : <ul style="list-style-type: none"> <li>I/O PLL の C カウンター出力</li> <li>I/O PLL のフィードバック向け M カウンター出力</li> <li>クロック入力ピン</li> <li>コア信号</li> <li>ダイナミック・フェーズ・アライメント(DPA)クロック出力</li> <li>フェーズ・アライナのカウンター出力</li> </ul>

クロック入力ピンの接続についての詳細は、ピン接続ガイドラインを参照してください。

**関連情報**

[インテル Stratix® 10 GX、MX および SX デバイス・ファミリー・ピンの接続ガイドライン](#)

(1) コア信号は、ペリフェラル DCM ブロックの代わりにクロックセクター内のクロック・スイッチ・マルチプレクサーを介してプログラマブル・クロック配線に直接駆動します。





### 2.1.3. プログラマブル・クロック配線のソース

このセクションでは、プログラマブル・クロック・ルーティングを駆動できるソースについて説明します。

#### 2.1.3.1. 専用クロック入力ピン

専用クロック入力ピンのソースは以下のとおりです。

- fPLL—REFCLK\_GXB[L,R][1,4][C,D,E,F,G,H,I,J,K,L,M,N]\_CH[B,T][p,n] (トランシーバー・カラムから)
- I/O PLL—CLK\_[2,3][A..N]\_[0,1][p,n] (I/O カラムから)

専用クロック入力ピンは、非同期クリア、プリセット、クロック・イネーブルのような高ファンアウト・コントロール信号や、GCLK または RCLK ネットワークを介するプロトコル信号に使用することができます。

I/O PLL の専用クロック入力ピンは、差動クロックまたはシングル・エンド・クロックのいずれかになります。fPLL の専用クロック入力ピンは差動クロックのみをサポートし、シングル・エンド・クロックはサポートしません。

グローバル・クロックまたはリージョナル・クロックに PLL をドライブすると PLL 入力でより高いジッタが生じることがあり、この場合 PLL はグローバル・クロックまたはリージョナル・クロックを完全に補正することができません。Intel は、PLL をドライブするにあたって最適なパフォーマンスを得るためには、専用クロック入力ピンを使用することを推奨します。

#### 2.1.3.2. 内部ロジック

デバイスの左右のエッジにあるクロック・スイッチ・マルチプレクサーと I/O バンクの隣にあるクロック・スイッチ・マルチプレクサーを除いて、最大 8 つのコア信号を各クロック・スイッチ・マルチプレクサーに送ることができます。

#### 2.1.3.3. DPA クロック出力

各 DPA クロック出力はプログラマブル・クロック・ルーティングを駆動できます。

#### 2.1.3.4. トランシーバー・クロック出力

PMA および PCS TX および RX クロック出力はプログラマブル・クロック・ルーティングを駆動できます。

#### 2.1.3.5. PLL クロック出力

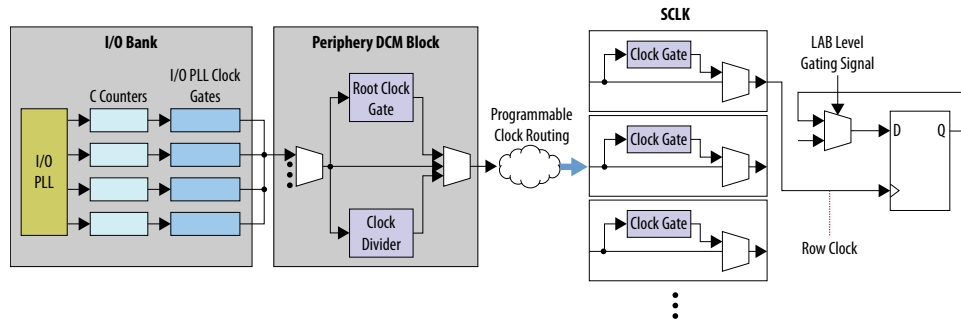
fPLL および I/O PLL クロック出力はプログラマブル・クロック配線をドライブすることができます。

### 2.1.4. クロック管理機能

次の図は、インテル Stratix 10 クロック制御機能(クロック・ゲーティングとクロック・ディバイダー)の概要を示しています。I/O PLL 出力からのクロックは動的にゲート制御することができます。これらのクロック信号は、他のクロックソースとともに、ペリフェラル分散型クロックマルチプレクサー(DCM)に送られます。DCM ペリフェラルでは、クロック信号は、ルート・クロック・ゲートによって直接ゲートされるか、ゲートによってゲートされるか、クロック・ディバイダーで分周されます。

インテル Quartus Prime ソフトウェアは、クロック信号をプログラマブル・クロック・ルーティングにルーティングして、各クロックセクターに到達します。クロック信号は、SCLK ゲートによって各セクターでゲートすることができます。クロックは、SCLK ネットワークに続いてロウ・クロック・ネットワークに入り、最終的にコアのレジスターに到達します。LAB レジスターには、次の図に示すように、機能クロックイネーブル機能が組み込まれています。

図 -5: インテル Stratix 10 クロック・ネットワーク内のクロック・ゲーティングとクロック・ディバイダー



## 2.1.4.1. クロック・ゲーティング

### 2.1.4.1.1. ルート・クロックのゲート

I/O バンクとトランシーバー・バンクごとに 1 つのルート・クロック・ゲートがあります。このゲートはペリフェラル DCM の一部であり、クロックバッファの近くに配置されています。

インテル Stratix 10 ルート・クロック・ゲートは、高い挿入遅延が許容される制限付きクロック・ゲーティングシナリオに対して意図されています。ルート・クロック・ゲートを使用する場合、クロックゲートのアサートと出力クロック信号の対応する変更の間に数クロックの遅延が予想されます。高周波数クロックの場合、セクター・クロック・ゲートを使用します。

#### 関連情報

Stratix® 10 クロック制御パラメーター (42 ページ)

Stratix® 10 クロック制御 IP コアの **Clock Enable Type** > **Root Level** を選択します。

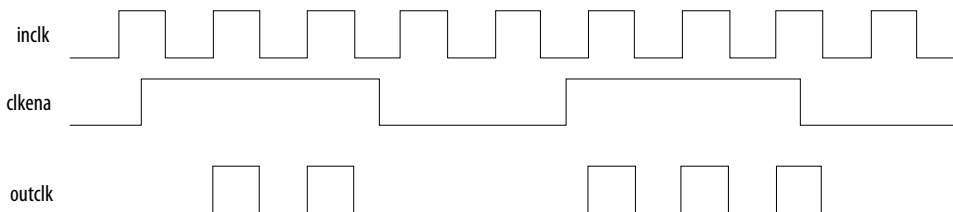
### 2.1.4.1.2. セクター・クロックのゲート

デバイスの各セクターには 32 個の SCLK があります。各 SCLK には、クロックゲートとバイパス可能なクロック・ゲート・パスがあります。SCLK ゲートは、コアロジックからのクロックイネーブル入力によって制御されます。インテル Quartus Prime ソフトウェアはセクター内の 32 個の SCLK に最大 8 個の固有クロックイネーブル信号をルーティングできます。

出力クロック信号 (outclk) にグリッチのないゲーティングを提供するために、Intel はネガティブラッチ付きのクロックゲートを使用することを推奨します。クロックゲートは、入力クロック信号 (inclk) の次の立ち上がりエッジでイネーブル信号 (clkena) をキャプチャします。次のタイミング図は、inclk と clkena に対する outclk の関係を示しています。



図 -6: クロック・ゲーティングのタイミング図



セクター内の SCLK ネットワークに入るクロック信号は、そのセクター内のコアロジックにしか到達できません。デザインで SCLK ゲートをインスタンス化すると、インテル Quartus Prime ソフトウェアは SCLK ゲートを自動的に複製し、クロック信号がルーティングされるすべてのセクターにクロックゲートを作成します。

SCLK ゲートは、高周波クロック用のサイクル固有のクロック・ゲーティングに適しています。SCLK ゲートへのイネーブル・パスのタイミングは、インテル Quartus Prime ソフトウェアにより分析されます。

#### 関連情報

- [クロックセクター \(6 ページ\)](#)  
クロックセクター内の専用クロックリソースを示す図を提供します。
- [クロック管理機能 \(9 ページ\)](#)  
SCLK 内のリソースを示す図を提供します。
- [Stratix® 10 クロック制御パラメーター \(42 ページ\)](#)  
Stratix® 10 クロック制御 IP コアの **Clock Enable Type > Distributed Sector Level** を選択します。

#### 2.1.4.1.3. I/O PLL クロック・ゲート

インテル Stratix 10 I/O PLL のそれぞれの出力カウンタは動的にゲート制御できます。これは、ルート・クロック・ゲートが 9 個の出力カウンタのうちの 1 つだけをゲートすることができるため、ルート・クロック・ゲートの有用な代替手段を提供します。

ただし、I/O PLL クロック・ゲートはサイクル固有ではありません。I/O PLL クロック・ゲートを使用する場合、クロック・ゲートのアサーションまたはデアサートとクロック信号の対応する変更との間に数クロック・サイクルの遅延が予想されます。イネーブル信号が出力クロックのクロックドメインに同期されなければならないため、遅延サイクルの数は非確定的です。これによりグリッチのないゲートが保証されません。

#### 2.1.4.1.4. LAB クロックのゲート

インテル Stratix 10 LAB レジスターにはクロック・ゲーティング機能が内蔵されています。インテル Stratix 10 クロック・ネットワーク図のクロック・ゲーティングおよびクロック・ディバイダーに示されているように、レジスター・クロック・イネーブル・メカニズムは強化されたデータフィードバックです。LAB クロック・ゲートは、純粋に機能的なクロック・イネーブルであるため、関連する電力節減はありません。

その分析および合成段階は、インテル Quartus Prime ソフトウェアは、レジスター転送レベル(RTL)におけるクロック・ゲーティングの動作記述から LAB クロックゲートを推論します。物理クロックゲートが必要な場合、明示的にインスタンス化する必要があります。

### 関連情報

クロック管理機能 (9 ページ)

インテル Stratix® 10 Clock Network の図での Clock Gating と Clock Divider を提供します。

#### 2.1.4.2. クロック・ディバイダー

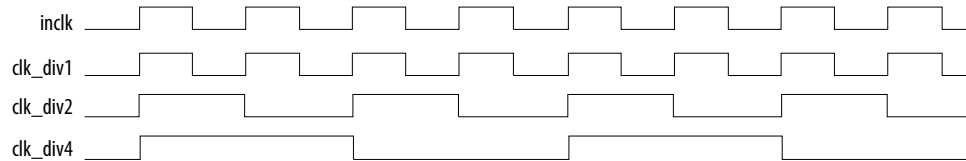
I/O バンクとトランシーバー・バンクごとに 1 つのクロック・ディバイダーがあります。クロック・ディバイダーは、ペリフェラル DCM ブロックの一部であり、ルート・クロック・ゲートの近くに配置されています。クロック分割器の出力は、同じペリフェラル DCM ブロック内のルート・クロック・ゲートによってゲート制御することはできません。ただし、この制限は SCLK ゲートには適用されません。ペリフェラル DCM ブロックのクロック・ディバイダー出力は、プログラマブル・クロック配線を経て SCLK ゲートをドライブすることができます。

クロック・ディバイダーには次の 3 つの出力があります。

- 最初の出力 - 入力クロックを通過します。
- 2 番目の出力 - 入力クロックを 2 分周します。
- 3 番目の出力 - 入力クロックを 4 分周します。

これらの 3 つのクロックは、クロック・ディバイダーの出力でエッジ・アラインされています。

図 -7: クロック・オフセットのタイミング図



### 関連情報

クロック管理機能 (9 ページ)

ペリフェラル DCM ブロックのルート・クロック・ゲートとクロック・ディバイダーを示す図を示します。

#### 2.1.4.3. マニュアル・クロック・スイッチオーバー

インテル Stratix 10 デバイスには、ダイナミック・クロック・スイッチオーバー用のハード・クロック・マルチプレクサー・ブロックがありません。したがって、ダイナミック・クロック・スイッチオーバー・ロジックは、コアのソフトロジックを使用して実装されます。ダイナミック・クロック・スイッチオーバーは、追加のソフトロジックを使用して、オプションでグリッチ・フリーにすることができます。

## 2.2. PLL のアーキテクチャーと機能

### 2.2.1. PLL の機能

表 3. インテル Stratix 10 デバイスの PLL 機能—暫定仕様

機能	フラクショナル PLL	I/O PLL
整数 PLL	あり	あり
フラクショナル PLL	あり	—
<i>continued...</i>		



機能	フラクショナル PLL	I/O PLL
C 出力カウンター数	1	9
M カウンター分周係数	整数モード : 8 ~ 127 フラクショナル・モード : 11 ~ 123	4 ~ 160
N カウンター分周係数	1 ~ 32	1 ~ 110
C カウンター分周係数	1 ~ 512	1 ~ 510
L カウンター分周係数	1、2、4、および 8	—
専用外部クロック出力	—	あり
専用クロック入力ピン	あり	あり
外部フィードバック入力ピン	—	あり
スペクトラム拡散入力クロック・トラッキング <sup>(2)</sup>	あり	あり
ソース・シンクロナス補償	—	あり
直接補償	あり	あり
通常補償	—	あり
ゼロ遅延バッファ補償	—	あり
外部フィードバック補償	—	あり
LVDS 補償	—	あり
電圧制御オシレーター (VCO) 出力による DPA クロックの駆動	—	あり
位相シフト分解能 <sup>(3)</sup>	71.428 ps	78.125 ps
プログラマブル・デューティ・サイクル	50%に固定されたデューティ・サイクル	使用可
パワー・ダウン・タイマ	使用可	使用可

### 2.2.2. PLL の使用率

fPLL は、トランシーバーのトランスミッター PLL として使用したり、基準クロック周波数を合成するにあたって最適化されます。fPLL は以下のように使用することができます。

- トランシーバーの送信クロック
- ボード上の必要なオシレーター数の削減

(2) 供給される入力クロックのジッタは入力ジッタ許容仕様以内です。

(3) 最小の位相シフトは、VCO 期間 (fPLL の場合) または VCO 期間を 8 で割った値 (I / O PLL の場合) によって決定されます。また、インテル Stratix 10 デバイスは、すべての出力周波数を最小 45° (I/O PLL) または 90° (fPLL) の増分でシフトすることができます。周波数および分周パラメーターによっては、より細かな微調整も可能です。

I/O PLL は、メモリー・インターフェイスと LVDS SERDES で使用するにあたって最適化されます。I/O PLL は以下のように使用することができます。

- ボード上の必要なオシレータ数の削減
- 1つの基準クロック・ソースから複数のクロック周波数を合成することによる FPGA で使用されるクロック・ピンの削減
- 外部メモリー・インターフェイスおよび高速 LVDS インターフェイスのデザインの簡素化
- I/O PLL は I/O と密接に結合されているため、タイミング収束を容易にする
- クロック・ネットワーク遅延の補償
- ゼロ遅延バッファ

### 2.2.3. PLL のアーキテクチャ

図 -8: インテル Stratix 10 デバイスにおけるフラクショナル PLL の上位レベルのブロック図

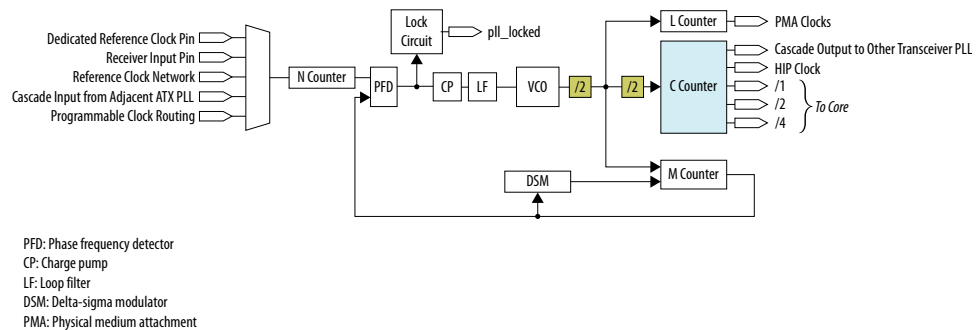
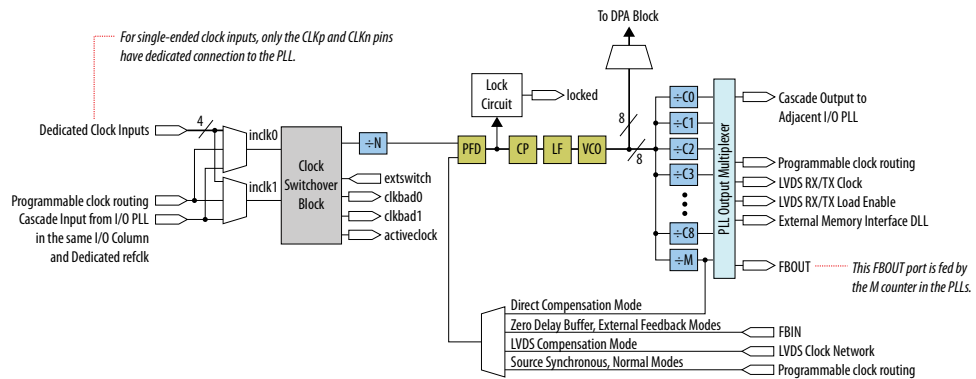


図 -9: インテル Stratix 10 デバイスにおける I/O PLL の上位レベルのブロック図



### 2.2.4. PLL コントロール信号

リセット信号を使用して、PLL の演算と再同期を制御することができます。また、ロック信号を使用して、PLL のステータスを観察することができます。

#### 2.2.4.1. リセット

I/O PLL 用 IP コアのリセット信号ポートは reset です。



リセット信号は各 PLL へのリセットまたは再同期化入力です。これらの入力信号は、デバイスの入力ピンまたは内部ロジックによってドライブすることができます。

リセット信号が High に駆動されると、PLL カウンターがリセットし、PLL 出力をクリアして PLL のロックを解除します。また、VCO は通常設定に設定されます。リセット信号が再度 Low で駆動されると、PLL は再びロックし、入力クロックソースに再同期します。

このリセット信号は PLL がロックを喪失する度にアサートし、PLL の入力と出力クロック間の適切な位相関係を保証する必要があります。ロック喪失状態後、インテル Quartus Prime の Parameter Editor を使用して PLL を自動リセット(セルフ・リセット)に設定することができます。

次のいずれかの条件に該当する場合は、リセット信号を含める必要があります。

- デザインで PLL リコンフィグレーションまたはクロック・スイッチオーバーがイネーブルされている場合
- ロック状態喪失後に、PLL 入力クロックと出力クロック間の位相関係を維持する必要がある場合

注意:

次のいずれかの条件が発生した場合、入力クロックが安定し、仕様内で、I/O PLL をリセットしても、セルフ・リセット機能がイネーブルされていてもリセットしてください。

- FPGA がユーザー・モードに移行すると、I/O PLL への入力クロックはトグルしないか不安定になる場合
- I/O PLL は、I/O PLL のリコンフィグレーション後に基準クロックにロックすることができない場合

#### 関連情報

[PLL キャリブレーション \(27 ページ\)](#)

### 2.2.4.2. ロック

以下に各 PLL の IP コアのロック信号ポートを示します。

- fPLL-pll\_locked
- I/O PLL-locked

ロック検出回路は、コアロジックへ信号を供給します。この信号はフィードバック・クロックが位相および周波数の両方で基準クロックにロックされたことを示します。

PLL がロックを失うと、PLL の出力が目的の周波数からドリフトし始めます。PLL がロックを失ったら、ダウンストリーム・ロジックは非アクティブにしておく必要があります。

### 2.2.5. クロック・フィードバック・モード

クロック・フィードバック・モードは、クロック出力の立ち上がりエッジと PLL クロック入力の立ち上がりエッジを揃えるために、クロック・ネットワークの遅延を補償します。デザインのタイミング・クリティカル・クロック・パスを補償するにあたって、適切なタイプを選択します。

PLL 補正は必ずしも必要ではありません。補償の必要性が特定されない限り、PLL は(補償のない)ダイレクトモードで設定する必要があります。ダイレクト・モードは最高の PLL ジッタ性能を提供し、補償クロック・リソースの不要な消費を回避します。

デフォルトのクロック・フィードバック・モードは、直接補償モードになっています。

fPLL は直接補償モードのみをサポートします。

I/O PLL は次のクロック・フィードバック・モードをサポートします。

- 直接補償
- LVDS 補償
- ソース・シンクロナス補償
- 通常補償
- ゼロ遅延バッファ (ZDB) 補償
- 外部フィードバック (EFB) 補償

通常およびソース同期補償モードは、ルーティングされたコアクロックの挿入遅延を補償します。インテル Stratix® 10 デバイスでは、次の方法でコアクロック補償を実現できます。

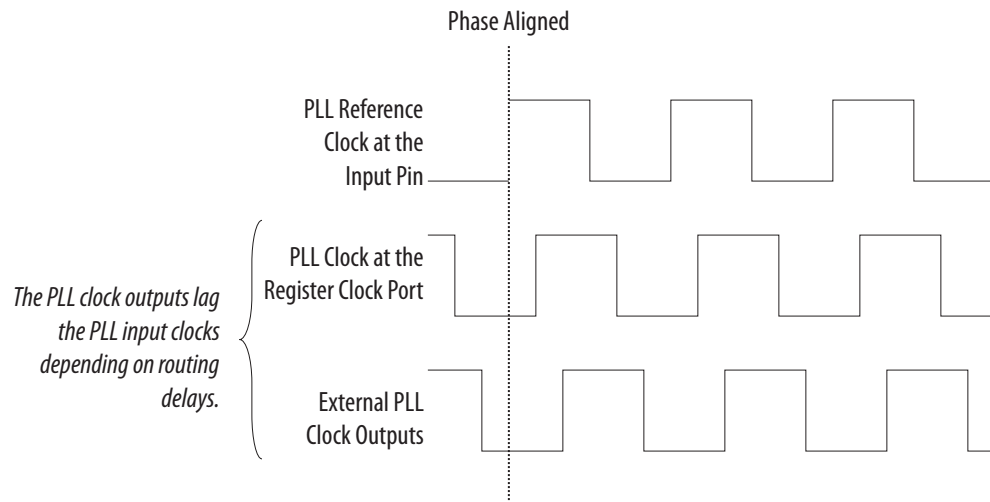
- I/O PLL の M カウンターから専用のフィードバッククロックをルーティングして、補償された C カウンターの出力クロック・ネットワークの挿入遅延をエミュレートすることができます。
- 補正された C カウンターの出力クロックを I/O PLL に戻すことによって、専用のフィードバック・クロックを使用することができます。

Intel は、クロックリソースが最も効率的に使用されるため、非専用フィードバック・メカニズムを推奨します。デフォルトは、Intel® FPGA IOPLL IP コアで通常モードまたはソース同期補正モードを選択したときの専用フィードバックです。

### 2.2.5.1. 直接補償モード

直接補償モードでは、PLL はいかなるクロック・ネットワークに対しても補償を行いません。このモードでは、PFD へのクロック・フィードバックが通過する回路が減るため、ジッタ性能が向上します。PLL の内部クロック出力と外部クロック出力はいずれも、PLL クロック入力を基準にして位相シフトされます。

図 -10: ZDB モードの PLL クロック間における位相関係の例







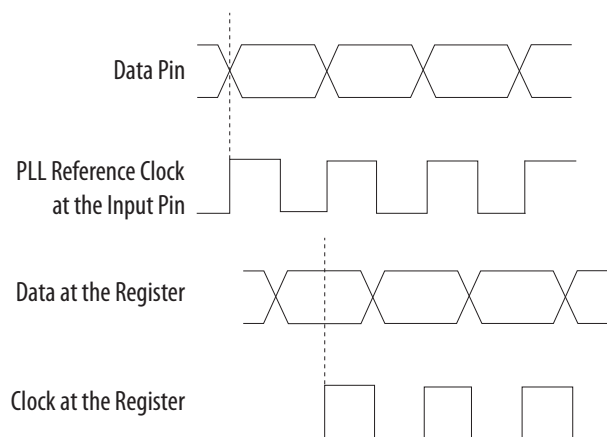
### 2.2.5.2. クロック補償モード

ソース同期モードの目的は、クロック(180°位相シフト)が反転されることを除いて、内部シリアライザ/デシリアライザ(SERDES)キャプチャ・レジスターのピンで見られる同じデータとクロックのタイミング関係を維持することです。このように、ソース同期モードは、次の 2 つのパス間の遅延の違いを含めて、LVDS クロック・ネットワークの遅延を理想的に補正します。

- データ・ピンから SERDES キャプチャ・レジスター
- クロック入力ピンから SERDES キャプチャ・レジスター

さらに、出力カウンタは 180°の位相シフトを提供する必要があります。

図 -11: LVDS モードにおけるクロックおよびデータ間の位相関係

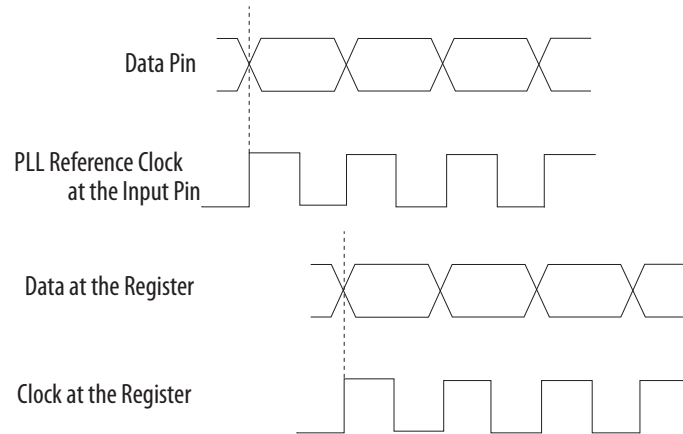


### 2.2.5.3. ソース・シンクロナス・モード

データとクロックが入力ピンに同時に到着する場合、どの IOE 入力レジスターのクロック・ポートとデータ・ポートでも同じ位相関係が維持されます。同じ I/O 規格を使用している限り、IOE のデータ信号とクロック信号には同様のバッファ遅延が発生します。ソース同期補正モードでは、1 つの出力クロックしか補償できません。

Intel では、ソース・シンクロナス・データ転送に対してソース・シンクロナス・モードを使用することが推奨されています。

図 -12: ソース・シンクロナス・モードのクロックおよびデータ間の位相関係の例



ソース・シンクロナス・モードは、使用されるクロック・ネットワークの遅延と、以下の 2 つのパスにおける遅延の差を補正します。

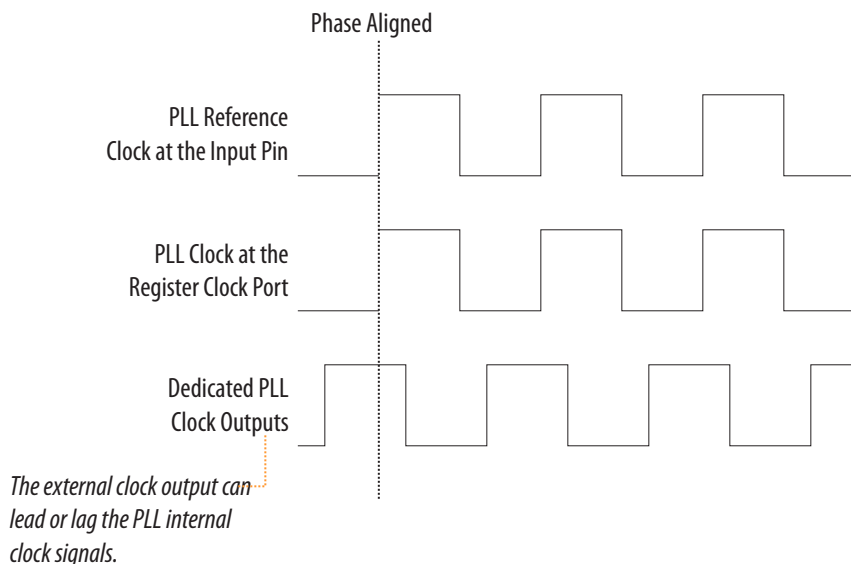
- データ・ピンから IOE レジスター入力
- クロック入力ピンから PLL PFD 入力

インテル Stratix 10 の PLL はソース・シンクロナス補償モードを使用するように設定されたときには、データバスなど複数のパッド-入力レジスター・パスを補償することができます。

#### 2.2.5.4. クロック補償モード

ノーマル補償モードの内部クロックは、入力クロック・ピンに位相アラインメントされます。外部クロック出力ピンは、このモードで接続された場合、クロック入力ピンに相対した位相遅延を生じます。インテル Quartus Prime タイミング解析は、この 2 本のピンに生じる位相差をレポートします。ノーマル・モードでは、GCLK または RCLK ネットワークによって生じる遅延が完全に補正されます。通常の補償モードでは、1 つの出力クロックのみを補償することができます。

図 -13: ノーマル補償モードの PLL クロック間における位相関係の例



#### 2.2.5.5. ゼロ遅延バッファモード

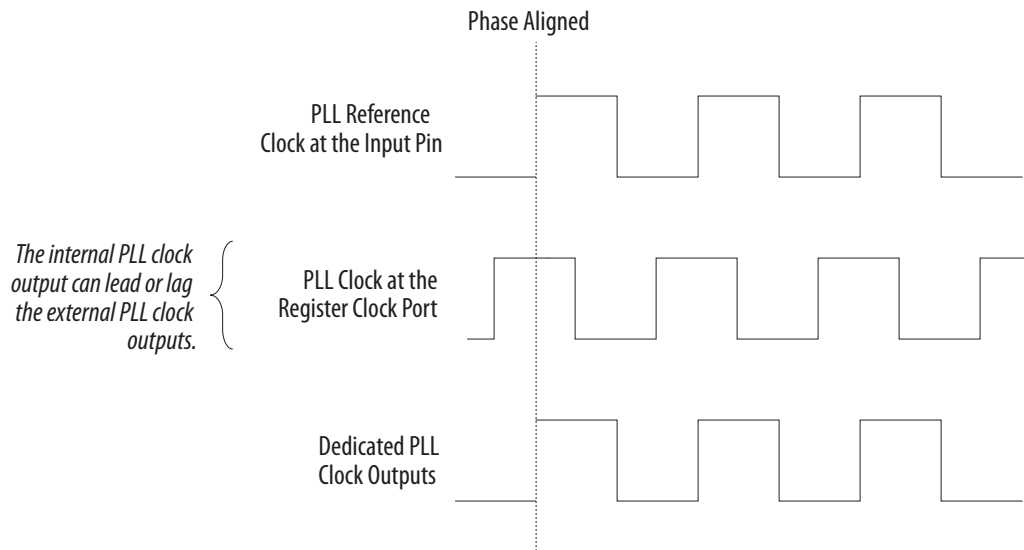
ゼロ遅延バッファ (ZDB) モードでは、外部クロック出力ピンは、クロック入力ピンと位相調整されてデバイス全体のゼロ遅延が実現します。

このモードを使用する場合、入力ピンと出力ピンでのクロック・アライメントを保証するには、入力クロックと出力クロックに同じ I/O 規格を使用しなければなりません。PLL クロック入力ピンまたは出力ピンに差動 I/O 規格を使用することはできません。

ZDB モードで `clk` ピンと外部クロック出力 (CLKOUT) ピンを確実に位相調整するには、デザインの双方向 I/O ピンをインスタンス化します。PLL の `fbout` ポートと `fbin` ポートを接続するフィードバック・パスとして使用する必要があります。双方向 I/O ピンには、PLL の FBOUT と FBIN ポートを接続するフィードバック経路として機能します。双方向 I/O ピンには、常にシングルエンド I/O 規格を割り当てる必要があります。PLL はこの双方向 I/O ピンを使用して、PLL のクロック出力ポートから外部クロック出力ピンまでの出力遅延を模倣し、これを補正します。

**注意:** ZDB モードを使用する場合、信号反射を防止するために、双方向 I/O ピンにボード・トレースを置かないでください。

図 -14: ZDB モードの PLL クロック間における位相関係の例



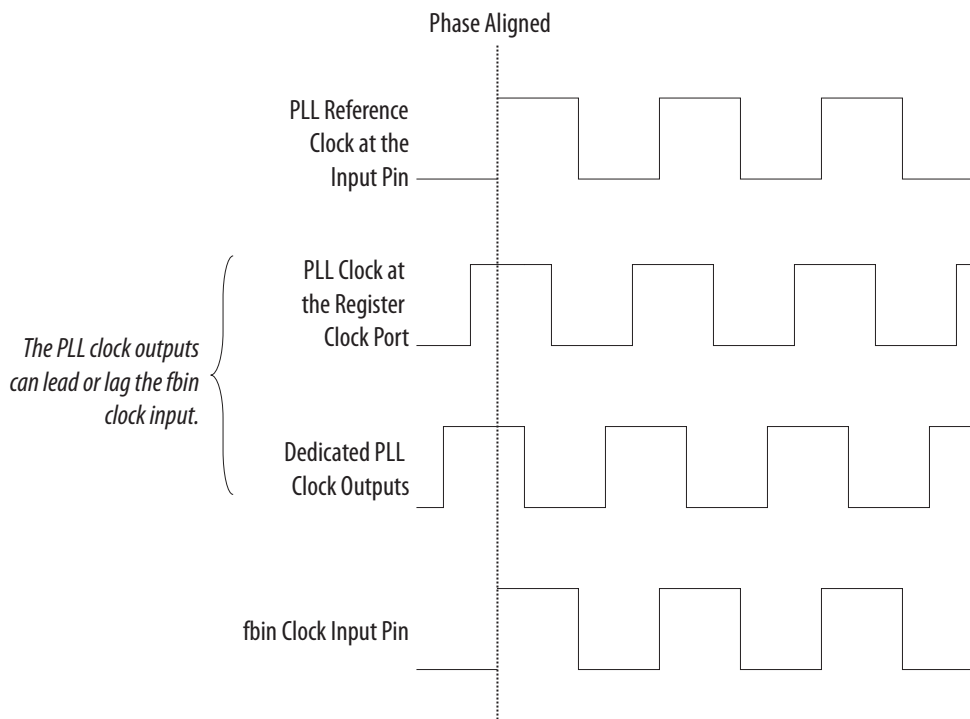
### 2.2.5.6. 外部フィードバック・モード

EFB では、M カウンターの出力 (fbout) が、PLL の fbin 入力にフィードバックされ (ボード上でトレースを実行)、フィードバック・ループの一部になります。

兼用の外部クロック出力の 1 つを fbin 入力ピンとして EFB モードで使用します。外部フィードバック・モードでは、外部フィードバック入力ピン (fbin) は、クロック入力ピンと位相調整されます。これらのクロックと整合させることで、デバイス間のクロック遅延とスキューを強制的に減らすことができます。

このモードを使用する場合、入力クロック、フィードバック入力、および出力クロックに同じ I/O 規格を使用する必要があります。

図 -15: EFB モードにおける PLL クロック間の位相関係の例



## 2.2.6. クロックの逡倍と分周

インテル Stratix 10 PLL 出力周波数は、次のスケールファクターによって入力基準クロックソースに関連します。

- $M/(N \times C)$  (I/O PLL の場合)
- $M/(N \times C \times 2)$  (fPLL コア・アプリケーションの場合)

入力クロックは、プリスケール・ファクター  $N$  で除算され、 $M$  フィードバック係数が乗算されます。制御ループは、 $f_{in} \times (M / N)$  に一致するように VCO を駆動します。インテル Quartus Prime ソフトウェアは、I/O PLL および fPLL のために インテル FPGA IP コアに入力される入力周波数、乗算および除算値に応じて、適切なスケール係数を自動的に選択します。

### プリスケール・カウンターの $N$ と逡倍カウンターの $M$

各 PLL は、プリスケール・カウンター  $N$  と逡倍カウンター  $M$  をそれぞれ 1 つずつ有します。これら 2 つのカウンターの目的は周波数分周を計算することであるため、 $M$  カウンターと  $N$  カウンターはデューティ・サイクル・コントロールを使用しません。

### ポスト・スケール・カウンター ( $C$ )

各出力ポートは、独自のポスト・スケール・カウンター、 $C$  を有します。周波数の異なる複数の  $C$  カウンター出力では、VCO は周波数規格に適合する出力周波数の最小公倍数に設定されます。たとえば、1 つの I/O PLL から要求される出力周波数が 55 MHz と 100 MHz である場合、Quartus II ソフトウェアは VCO 周波数を 1.1 GHz に設定します (VCO の周波数範囲内の 55 MHz と 100 MHz の最小公倍数)。その後、ポストスケール・カウンターの  $C$  は各出力ポートの VCO 周波数を分周します。

### ポスト・スケール・カウンタ(L)

fPLL は、追加のポスト・スケール・カウンタである L を有します。L カウンタは、 $M/(N \times L)$  スケール係数を使用して、クロックソースからの周波数を合成します。L カウンタは差動クロック・ペア (0口と 180口) を生成し、HSSI クロック・ネットワークをドライブします。

### デルタ・シグマ変調器

デルタ・シグマ・モジュレータ(DSM)は、fPLL がフラクショナル・モードで動作することができるよう、M 通倍カウンタと併せて使用されます。DSM は、サイクル間ベースで M カウンタ係数をダイナミックに変更します。異なる M カウンタ係数によって「平均的な」M 係数を非整数にすることができます。

### フラクショナル・モード

フラクショナル・モードでは、M カウンタの値は M フィードバック係数とフラクショナル値の合計に等しくなります。フラクショナル値は  $K/2^X$  に等しく、K は 0 と  $(2^X - 1)$  の間の整数です。また、 $X = 32$  です。

### 整数モード

整数モードの fPLL 動作では、M は整数値であり、DSM はディセーブルされます。

I/O PLL は整数モードでのみ動作可能です。

## 2.2.7. プログラマブル位相シフト

プログラマブル位相シフト機能は、fPLL と I/O PLL が固定位相オフセットで出力クロックを生成することを可能にします。

PLL の VCO 周波数は、位相シフトの精度を決定します。位相シフトの最小の増分は VCO 周期の 1/8 (I/O PLL) または 1/4 (フラクショナル PLL) です。たとえば、I/O PLL が 1000 MHz の VCO 周波数で動作する場合、125 ps の位相シフト・ステップが可能です。

インテル Quartus Prime ソフトウェアは、IP コアに入力されるユーザー指定の位相シフト値に合わせて VCO 周波数を自動的に調整します。

## 2.2.8. プログラマブル・デューティー・サイクル

プログラマブル・デューティー・サイクル機能は、I/O PLL が可変デューティー・サイクルでクロック出力を生成することを可能にします。この機能は、I/O PLL ポスト・スケール・カウンタの C でのみサポートされます。fPLL はプログラマブル・デューティー・サイクル機能をサポートせず、50% に固定されたデューティー・サイクルのみ有します。

I/O PLL の C カウンタ値は、デューティー・サイクルの精度を決定します。精度はポスト・スケール・カウンタ値で除算した 50% です。例えば、C0 カウンタが 10 の場合、5%~90% のデューティー・サイクル・オプションには 5% のステップが可能です。また、I/O PLL が外部フィードバック・モードの場合、fbin ピンをドライブするカウンタのデューティー・サイクルを 50% に設定します。

インテル Quartus Prime ソフトウェアは、IP コアに入力されるユーザーが必要とするデューティー・サイクルに合わせて VCO 周波数を自動的に調整します。

プログラマブル・デューティー・サイクルをプログラマブル位相シフトと組み合わせることで、オーバーラップのない正確なクロックを生成できます。



### 2.2.9. PLL のカスケード接続

インテル Stratix 10 デバイスは、PLL-to-PLL のカスケードをサポートしています。最大 2 つまでのカスケード接続が可能です。PLL のカスケードは、単一の PLL よりも多くの出力クロック周波数を合成します。

デザインで PLL をカスケード接続する場合、ソース(アップストリーム)PLL の設定は狭帯域幅、そしてデスティネーション(ダウンストリーム)PLL の設定は広帯域幅でなければいけません。カスケード実行中は、ソース PLL の出力はデスティネーション PLL のリファレンス・クロック(入力)として機能します。カスケード接続された PLL の帯域幅の設定は、カスケード接続前とは別の設定にする必要があります。カスケード接続された PLL の帯域幅の設定に変更がないと、カスケード接続された PLL が特定の周波数で位相ノイズを増幅すること場合があります。

インテル Stratix 10 デバイスは、次の PLL 間のカスケード・モードをサポートしています。

- I/O-PLL 間のカスケード接続—アップストリームの I/O PLL およびダウンストリームの I/O PLL は同じ I/O カラム内に配置されている必要があります。
- コア・クロック・ファブリックによる I/O-PLL-to-I/O-PLL カスケードにはアップストリームおよびダウンストリーム I/O PLL の位置に制限はありません。

### 2.2.10. クロック・スイッチオーバー

クロック・スイッチオーバー機能により、PLL は 2 つの基準入力クロックを切り換えることができます。この機能はクロック冗長性のために、あるいは前のクロックが停止した場合に冗長クロックがオンになるシステムであるデュアル・クロックドメイン・アプリケーションに使用します。クロックがそれ以上トグルしないとき、またはユーザーのコントロール信号 `extswitch` に応じて、デザインは自動的にクロック・スイッチオーバーを実行することができます。

I/O PLL は次のクロック・フィードバック・モードをサポートします。

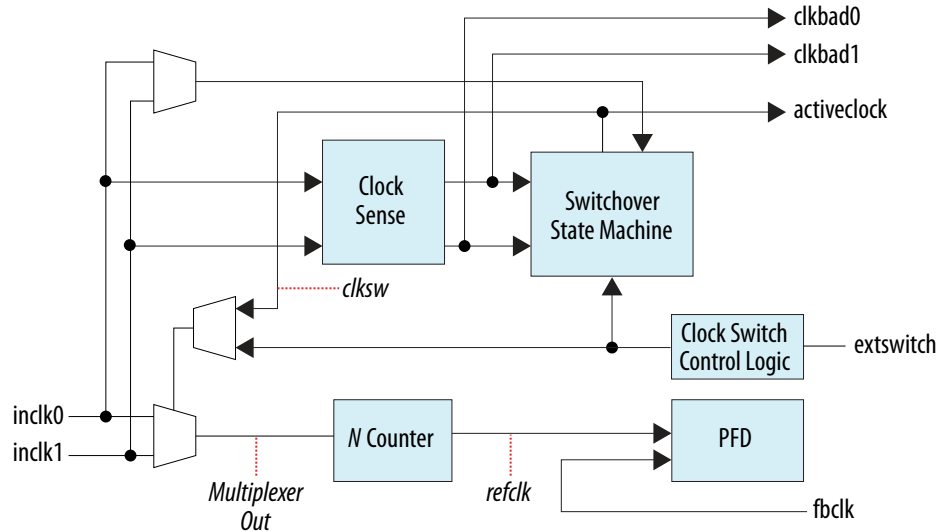
- 自動スイッチオーバー—クロック・センス回路が現在の基準クロックをモニタします。現在の基準クロックがトグルを停止した場合、基準クロックは自動的に `inclk0` または `inclk1` クロックに切り替わります。
- マニュアル・クロック・スイッチオーバー—クロック・スイッチオーバーは `extswitch` 信号を使用して制御します。`extswitch` 信号がロジック High からロジック Low に変化し、切り替えられている `inclk` の 3 クロック・サイクル以上 High の状態が続く場合、PLL への基準クロックは `inclk0` から `inclk1` へ、またその逆へ切り替わります。
- マニュアル・オーバーライドの自動スイッチオーバー—このモードは自動スイッチオーバーとマニュアル・クロック・スイッチオーバーを組み合わせたものです。`clkswitch` 信号が Low になると、自動クロック・スイッチオーバー機能をオーバーライドします。`extswitch` 信号が Low である限り、それ以上のスイッチオーバー動作はブロックされます。

#### 2.2.10.1. 自動スイッチオーバー

インテル Stratix 10 の PLL は、完全にコンフィグレーション可能なクロック・スイッチオーバー機能をサポートします。

図 -16: 自動クロック・スイッチオーバー回路のブロック図

次の図は、PLL に組み込まれた自動スイッチオーバー回路のブロック図を示しています。



現在の基準クロックが存在しない場合、クロック・センス・ブロックは自動的に PLL リファレンスのバックアップ・クロックに切り換わります。デザイン内の PLL の inclk1 ポートに接続することで、クロック・ソースをバックアップ・クロックとして選択することができます。

クロック・スイッチオーバー回路は、PLL から 3 つのステータス信号 (clkbad0、clkbad1、および activeclock) を送信し、カスタム・スイッチオーバー回路をロジックアレイに実装します。

自動スイッチオーバー・モードでは、clkbad0 信号と clkbad1 信号は 2 つのクロック入力のステータスを示します。これらの信号がアサートされると、クロック・センス・ブロックは対応するクロック入力によるトグルの停止を検出します。inclk0 と inclk1 の間の周波数の差が 20% を超える場合、これら 2 つの信号は無効です。

activeclock 信号は、2 つのクロック入力 (inclk0 または inclk1) のどちらが PLL の基準クロックとして選択されているかを示します。2 つのクロック入力の周波数の差が 20% を超える場合、activeclock 信号が唯一有効なステータス信号です。

PLL への現在の基準クロックがトグルを停止した際、inclk0 と inclk1 を自動的に切り換える場合にスイッチオーバー回路を使用します。inclk0 クロックと inclk1 クロックのいずれかに障害が生じ、他方が使用可能な場合、これらのクロックを何回でも切り換えることができます。

たとえば、リファレンス・クロックと同じ周波数の冗長クロックが必要なアプリケーションでは、スイッチオーバー・ステート・マシンはマルチプレクサー・選択入力を制御する信号 (clksw) を生成します。この場合、inclk1 が PLL のリファレンス・クロックになります。

自動クロック・スイッチオーバー・モードを使用する場合、次の要件を満たしている必要があります。

- FPGA がコンフィグレーションされる際、両方のクロック入力を実行していなければなりません。
- 2 つのクロック入力の周期の差が 20% 未満でなければなりません。
- 入力クロックは、入力ジッター仕様および I/O 標準仕様を満たしていなければなりません。

入力クロックのグリッチは、入力クロック間の周波数の 20% 以上の差として見られます。



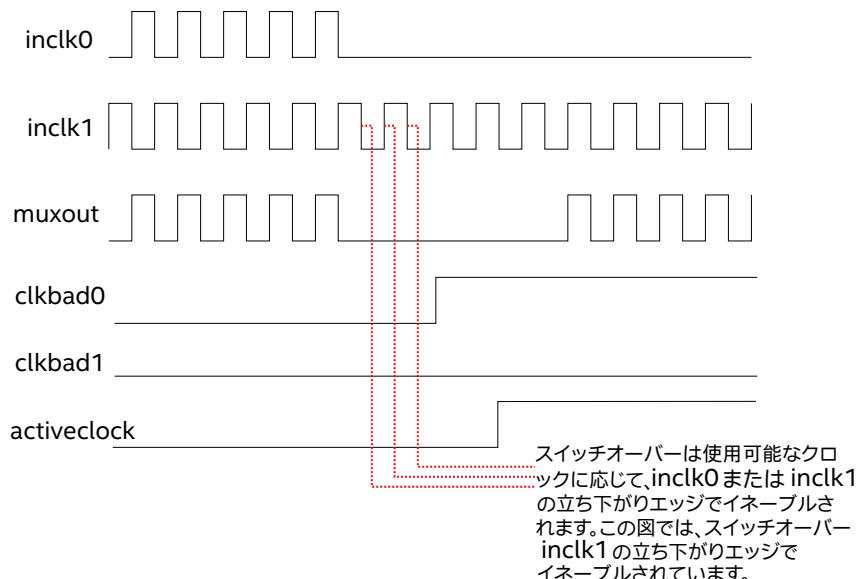


現在のクロック入力が入力トグルを停止し、他のクロックもトグルしていない場合、スイッチオーバーは開始されず、clkbad[0..1]信号は無効です。両方のクロック入力の周波数が異なり、周期の差が20%以内である場合、クロック・センス・ブロックがクロックのトグル停止を検出します。ただし、PLL はスイッチオーバーが完了した後にロックを喪失し、再ロックの時間を必要とすることがあります。

**注意:** クロック・スイッチオーバーを使用する場合、リセット信号を使用して PLL をリセットし、PLL の入力クロックと出力クロックの位相関係を維持する必要があります。

#### 図 -17: クロック検出喪失後の自動スイッチオーバー

次の図は、自動スイッチオーバー・モードのスイッチオーバー機能の波形例を示しています。この例では、inclk0 信号は Low に保持されています。inclk0 信号が約 2 クロック・サイクルの間 Low に保持された後、クロック・センス回路は clkbad0 信号を High にドライブします。基準クロック信号 (inclk0) はトグルしていないため、スイッチオーバー・スタート・マシンが extswitch 信号を介してマルチプレクサーを制御し、バックアップ・クロック inclk1 に切り換えます。



#### 2.2.10.2. マニュアル・オーバーライドの自動スイッチオーバー

マニュアル・オーバーライドの自動スイッチオーバー・モードでは、ユーザー制御またはシステム制御の切り換え条件に extswitch 信号を使用することができます。このモードは、同じ周波数での切り換え、または異なる周波数の入力間での切り換えに使用可能です。

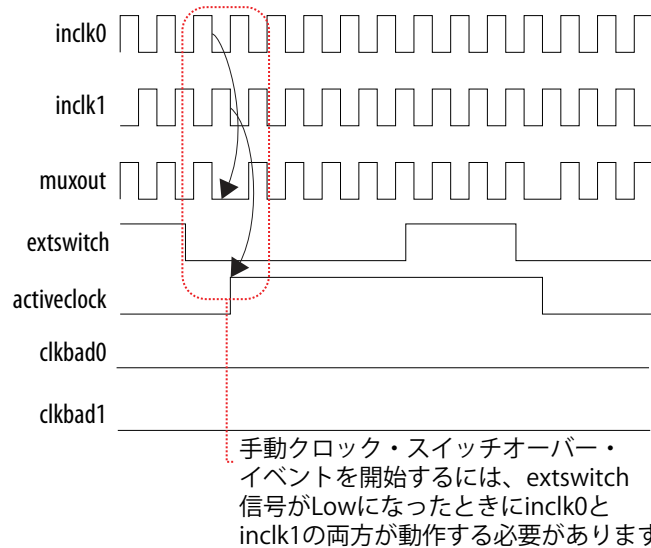
たとえば、inclk0 が 66 MHz で inclk1 が 200 MHz である場合、extswitch 信号を使用してスイッチオーバーを制御する必要があります。自動クロック・センス回路は周波数の差が 100% を超える (2x) クロック入力 (inclk0 および inclk1) 周波数をモニタすることはできません。

この機能は、クロックソースがバックプレーン上の複数のカードからきていて、システムが動作周波数の切り換えをコントロールする必要がある場合に便利です。

バックアップ・クロック周波数を選択し、VCO が推奨動作周波数範囲で動作するように、M、N、C、L、および K の各カウンタを設定します。インテル Quartus Prime ソフトウェアは、inclk0 周波数と inclk1 周波数の組み合わせがこの要件に適合しない場合、ユーザーに通知します。

図 -18: extswitch(マニュアル)コントロールを使用したクロック・スイッチオーバー

以下の図は、extswitch 信号で制御したときの切り換え機能を示す波形例です。この場合、両方のクロック・ソースが動作し、inclck0 が基準クロックとして選択されます。extswitch 信号が Low になり、切り換えシーケンスを開始します。inclck0 の立ち下がりエッジで、カウンターの基準クロック muxout がゲート・オフされ、クロックのグリッジ発生を防止します。基準クロックのマルチプレクサーは、inclck1 の立ち下がりエッジで PLL 基準を inclck0 から inclck1 に切り換え、activeclock 信号が変化して、現在 PLL に信号を供給しているクロックを示します。



マニュアル・スイッチオーバーの自動オーバーライド・モードでは、activeclock 信号は extswitch 信号のトランザクション後に反転します。マニュアル切り換えの間、両方のクロックが機能しているため、clkbad 信号が High になることはありません。また、スイッチオーバー回路はネガティブ・エッジ・センシティブであるので、extswitch 信号の立ち上りエッジは回路を inclck1 から inclck0 に再度切り替えることはありません。extswitch 信号が再び Low になると、このプロセスを繰り返します。

extswitch 信号と自動スイッチは、切り換えられているクロックが使用可能な場合にのみ機能します。クロックが使用できない場合、ステート・マシンはクロックが使用可能になるまで待機します。

### 2.2.10.3. マニュアル・クロック・スイッチオーバー

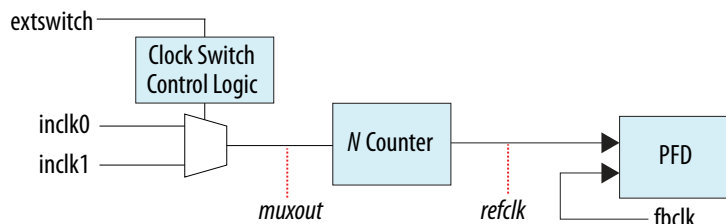
マニュアル・クロック・スイッチオーバー・モードでは、extswitch 信号は、inclck0 または inclck1 のどちらかが PLL の入力クロックとして選択されるかを制御します。デフォルトでは inclck0 が選択されています。

クロック・スイッチオーバー・イベントは、extswitch 信号がロジック High からロジック Low に遷移し、inclck が切り替えられている間に 3inclck サイクル以上 High の状態が保持されるときに開始されます。

別のスイッチオーバー・イベントを実行するには、extswitch 信号を再び High に戻す必要があります。別のスイッチオーバー・イベントが必要ない場合、最初の切り換えの後 extswitch 信号をロジック Low の状態のままにしておくことができます。

inclck0 と inclck1 の周波数が異なり、常時動作している場合、extswitch の最小 High 時間は、inclck0 と inclck1 の周波数が近い方のクロック・サイクルで 3 サイクル以上なければなりません。

図 -19: インテル Stratix 10 I/O PLL のマニュアル・クロック・スイッチオーバー回路



I/O PLL の インテル FPGA IP コアでスイッチオーバー遅延を指定することでクロック・スイッチオーバー・アクションに遅延を加えることができます。スイッチオーバー遅延を指定する際 extswitch 信号は inclk がクロック・スイッチオーバーを初期化するために指定された遅延の数を加えるようスイッチされている間最低 3inclk サイクル間 High で保持する必要があります。

### 2.2.11. PLL リコンフィグレーションおよびダイナミック位相シフト

fPLL と I/O PLL は、以下の機能で PLL リコンフィグレーションとダイナミック位相シフトをサポートします。

- PLL リコンフィグレーション—M、N、および C カウンターをリコンフィグレーションします。フラクショナル設定をリコンフィグレーションすることができます (fPLL 向け)。
- ダイナミック位相シフト—正または負の位相シフトを実行します。その都度、複数の位相ステップをシフトすることができます。なお、1 位相ステップは VCO 期間の 1/8 (I/O PLL) またはフル VCO 期間 (フラクショナル PLL) に等しくなります。

#### 関連情報

- [Intel FPGA IOPLL Reconfig IP コアのリファレンス \(51 ページ\)](#)
- [リコンフィグレーション・インターフェイスとダイナミック・リコンフィグレーションの章、インテル Stratix 10 L-タイルおよび H-タイルのトランシーバー PHY ユーザーガイド](#)  
fPLL リコンフィグレーションについて詳しい情報を提供します。

### 2.2.12. PLL キャリブレーション

I/O PLL には、プロセス、電圧、温度 (PVT) のばらつきを補正するための較正が必要なアナログブロックとデジタルブロックの両方が含まれます。インテル Stratix 10 は I/O マネージャーを使用してキャリブレーション・ルーチンを実行します。

以下の 2 点について考慮する必要があります。

- パワーアップ・キャリブレーションはデバイス起動時に自動的に開始し、デバイスのコンフィグレーション中に実行します。
- ユーザー・キャリブレーション—ユーザー・キャリブレーションは I/O PLL のダイナミック・リコンフィグレーションまたは基準クロック周波数の変更を実行する場合、ユーザーのリキャリブレーションを実行する必要があります。必要な較正シーケンスをイネーブルする必要があります。

キャリブレーション・プロセスを正常に完了するには、OSC\_CLK\_1 クロックと I/O PLL をドライブするすべての基準クロックが安定していて、FPGA コンフィグレーションの開始時にフリーランニングでなければなりません。クロック・スイッチオーバーがイネーブルの場合、キャリブレーションのために両方の基準クロックが存在する必要があります。ユーザーモードでは、コンフィグレーション中に I/O PLL が基準クロックを検出しないと、キャリブレーションの試行が定期的に継続されます。キャリブレーションが完了すると、I/O PLL は自動的にロックされます。



#### 関連情報

キャリブレーションの章、インテル Stratix 10 L-タイルおよび H-タイルのトランシーバー PHY ユーザーガイド

fPLL リコンフィグレーションについて詳しい情報を提供します。

#### 2.2.12.1. パワーアップ・キャリブレーション

デバイスの電源投入後、I/O マネージャーは自動的にキャリブレーション・プロセッサーロセスを開始します。このプロセスは、デバイス・プログラミング中も継続されます。

#### 2.2.12.2. ユーザー・キャリブレーション

I/O PLL は、デバイスの電源投入後、以下のいずれかの条件でリキャリブレーションする必要があります。

- M または N のカウンター設定を変更するダイナミック I/O PLL リコンフィグレーションが実行されます。
- I/O PLL への基準クロック周波数の変更。

プライマリ基準クロックとは異なる周波数のセカンダリ基準クロックへのクロック・スイッチオーバーを使用する場合、リキャリブレーションは必要ありません。I/O PLL は、パワーアップ・キャリブレーション後の両方の基準クロックのキャリブレーション設定を格納します。

I/O PLL のリキャリブレーションを実行するには、Intel FPGA IOPLL Reconfig IP コアを使用してリキャリブレーション・モードをイネーブルします。

#### 関連情報

- [.mif を使用したリキャリブレーション \(38 ページ\)](#)
- [キャリブレーションの章、インテル Stratix 10 L-タイルおよび H-タイルのトランシーバー PHY ユーザーガイド](#)

fPLL リコンフィグレーションについて詳しい情報を提供します。

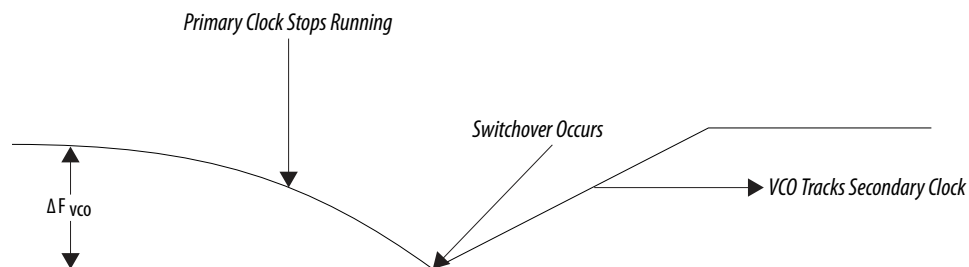
## 3. インテル Stratix 10 のクロッキングおよび PLL デザイン検討事項

### 3.1. ガイドライン:クロック・スイッチオーバー

インテル Stratix 10 の I/O PLL でクロック・スイッチオーバーを実装する場合、以下の手順を実行します。

- 自動クロック・スイッチオーバーを使用するには、inclk0 および inclk1 の周波数が他方の 20%以内でなければなりません。この要件に適合しない場合、clkbad0 信号と clkbad1 信号は正しく機能しません。
- マニュアル・クロック・スイッチオーバーを使用する場合、inclk0 と inclk1 の差が 100%(2x)を超えていても問題はありません。ただし、2つのクロック・ソースの周波数差、位相差、あるいはその両方によって、PLL がロックを失うことがあります。PLL をリセットして、入力クロックと出力クロックが適切な位相関係を保持していることを確認します。
- マニュアル・クロック・スイッチオーバーイベントを開始するために extwitch 信号が High になるとき、inclk0 と inclk1 の両方を実行している必要があります。この要件を満たせない場合、クロック・スイッチオーバーが正しく機能しません。
- クロック・スイッチオーバー機能と小さい周波数ドリフトを必要とするアプリケーションでは、狭帯域幅 PLL を使用する必要があります。狭帯域幅 PLL は、基準入力クロックの変動に対する反応が広帯域幅 PLL よりも遅くなります。また、スイッチオーバーが起こる際、狭帯域幅 PLL が出力にクロック停止を伝える速度は広帯域幅 PLL よりも遅くなります。なお、狭帯域幅 PLL ではロック時間も長くなることに注意してください。
- スwitchオーバーが起こると、PLL が新しいクロックにロックするための有限の再同期期間が生じることがあります。PLL が再ロックするにあたって必要な時間は、PLL のコンフィグレーションによって異なります。
- PLL への入力クロックと PLL からの出力クロックの位相関係は、デザインにおいて重要です。クロック・スイッチオーバーを実行した後、少なくとも 10 ns の間リセット信号をアサートします。ロックされた信号が High になり、安定するのを待ってから PLL からの出力クロックを再度イネーブルします。
- 現在のクロックが失われると VCO 周波数は徐々に低下し、バックアップ・クロックにロックすると VCO は上昇します。次の図はこの状況を図示しています。

図 -20: VCO のスイッチオーバー動作周波数



Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

\*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

### 3.2. fPLL IP コアの制約

fPLL IP コアを実装するには、次の制約に従わなければなりません。

- プロジェクトのトップレベル SDC ファイルで、fPLL 基準クロックに `create_clock` 制約を使用する必要があります。
- トランシーバー・クロックを参照する SDC デザイン制約は、トランシーバー Native PHY SDC ファイルの制約の後にリストされる必要があります。
- コア使用のために fPLL 出力クロックを使用する場合、fPLL 出力クロックは基準クロックと位相関係がありません。ただし、クロック・ディバイダーの fPLL 出力クロックはまだ同相です。

### 3.3. ガイドライン:PLLのリセット

- M カウンター、N カウンター、またはループフィルターの設定を変更すると、I/O PLL が失われてロックが回復することがあります。基準クロックと出力クロック間の適切な位相関係を維持するために、リコンフィグレーションが完了した後、I/O PLL をリセットする `areset` 信号をアサートします。Intel は、M カウンター、N カウンター、またはループ・フィルターの設定をリコンフィグレーションした後は、必ず I/O PLL をリセットすることを推奨します。
- C カウンターの設定を変更するときは、C カウンター間の期待の位相関係を失う可能性があります。予想される位相関係を復元するために、リコンフィグレーションが完了後に `areset` 信号をアサートします。アプリケーションに位相関係が重要でない場合、リセットは不要です。
- I/O PLL をリセットしても、カウンターまたはループフィルターの設定は変更されません。ただし、I/O PLL をリセットすると、実行されたダイナミック位相シフト動作が元に戻されます。I/O PLL がリセットされた後、C カウンターの位相シフトはもともとプログラムされた設定に戻ります。

### 3.4. ガイドライン:コンフィグレーションの制約

I/O PLL コンフィグレーションは、次の制約に従わなければなりません。

- 位相周波数検出器 (PFD) と VCO のそれぞれは、動作の有効周波数範囲を持っています。
- ループフィルターの設定は、M カウンター値とユーザーが選択した帯域幅モードに適している必要があります。

これらのコンフィグレーション制約のいずれかに違反すると、I/O PLL がロックに失敗したり、ジッタ性能が低下することがあります。

### 3.5. ガイドライン:タイミング・クロージャ

- PLL のカウンターとループフィルター設定をリコンフィグレーションすると、その I/O PLL の出力周波数とクロックの不確実性が変化します。ダイナミック位相シフトは出力クロック位相にのみ影響します。
- インテル Quartus Prime ソフトウェアのタイミング解析には、初期 PLL 設定のみのタイミング解析を実行します。ダイナミック・リコンフィグレーションまたはダイナミック・フェーズ・シフトの後にデザインがタイミングを閉じることを確認する必要があります。
- Intel I/O PLL 設定を使用してクロックの変動を判断するために、それぞれのコンフィグレーション設定で I/O PLL デザインをコンパイルすることを推奨します。



### 3.6. ガイドライン:I/O PLL のリコンフィグレーション

- 基準クロック周波数に変更された場合、Intel FPGA IOPLL IP コアを使用して I/O PLL をリキャリブレーションする必要があります。
- I/O PLL リコンフィグレーション・インターフェイスは、フリーランニングの `mgmt_clk` 信号をサポートします。I/O PLL ダイナミック位相シフト・インターフェイスは、フリーランニング `scanclk` 信号をサポートします。これらのインターフェイスにより、`mgmt_clk` および `scanclk` 信号の開始と停止を正確に制御する必要がなくなります。
- I/O PLL は Intel FPGA IOPLL Reconfig IP コアを使用して `.mif` ストリーミング・モードでのみリコンフィグレーションできます。
- ゼロ以外の位相シフト設定で I/O PLL をリコンフィグレーションする場合は注意が必要です。M カウンターまたは N カウンターの設定を変更しても相対的な位相シフト(パーセント単位)は変更されませんが、絶対位相シフト(ピコ秒単位)が変更されます。C カウンターの設定を変更しても、絶対位相シフトは変更されませんが、相対位相シフトは変更されます。



## 4. インテル Stratix 10 のクロッキングおよび PLL 実装ガイド

---

### 関連情報

fPLL IP コアのインスタンス化、インテル Stratix 10 L-および H-タイルトランシーバー PHY ユーザーガイド

fPLL IP コアについて詳しい情報を提供します。

### 4.1. Stratix® 10 クロック制御 IP コア

Stratix® 10 クロック制御 IP コアは、インテル Stratix 10 デバイスでのクロック・ネットワークへの入力、クロックの多重化、クロック・ゲーティング、クロック分周などのクロック制御機能を提供します。

### 4.2. Intel FPGA IOPLL IP コア

Intel FPGA IOPLL IP コアを使用すると、インテル Stratix 10 I/O PLL の設定を構成できます。

Intel FPGA IOPLL IP コアは以下の機能をサポートしています。

- ダイレクト、外部フィードバック、ノーマル、ソース同期、ゼロ遅延バッファ、LVDS モードの 6 種類のクロック・フィードバック・モードをサポートしています。
- インテル Stratix 10 デバイスのために最大 9 つのクロック出力信号を生成します。
- 2 つのリファレンス入力クロックを切り替えます。
- 隣接する PLL ( `adjpll1in` ) 入力をサポートし、PLL カスケード・モードでアップストリーム PLL と接続します。
- メモリー初期化ファイル ( `.mif` ) を生成し、PLL のダイナミック・リコンフィギュレーションを可能にします。
- PLL ダイナミック位相シフトをサポートしています。

#### 4.2.1. .mif ファイルの生成

Intel FPGA IOPLL IP コアのパラメーター・エディターを使用して、`.mif` ファイルを生成することができます。

##### 4.2.1.1. 新しい .mif ファイルの生成

単一の I/O PLL コンフィギュレーションを含む新しい `.mif` ファイルを生成するには、次の手順を実行します。





1. **Dynamic Reconfiguration** タブで、**PLL の Dynamic Reconfiguration** をイネーブルするを選択します。
2. **MIF Generation Options** では、**Generate New MIF File** を選択します。
3. **Path of New MIF file** には、ファイル名を指定します。
4. **Name of Current Configuration** には、I/O PLL の現在のコンフィグレーションの名前を指定します。
5. **Create MIF File** をクリックします。

#### 関連情報

[.mif ストリーミング・リコンフィグレーション \(37 ページ\)](#)

### 4.2.1.2. 既存の.mif ファイルへのコンフィグレーションの追加

既存の .mif ファイルに新しいコンフィグレーションを追加することができます。 .mif ファイルにさらにコンフィグレーションを格納するには、次の手順を実行します。

1. **Dynamic Reconfiguration** タブで、**Enable dynamic reconfiguration of PLL** を選択します。
2. **MIF Generation Options** には、**Add Configuration to Existing MIF File** を選択します。
3. **Path of New MIF file** には、ファイル名を指定します。
4. **Name of Current Configuration** 名には、I/O PLL の新しいコンフィグレーションの名前を指定します。
5. **Append to MIF File** をクリックします。

#### 関連情報

[.mif ストリーミング・リコンフィグレーション \(37 ページ\)](#)

### 4.2.2. Intel FPGA IOPLL IP コアによる PLL ダイナミック位相シフトの実装

Intel FPGA IOPLL IP コアを使用して、ダイナミック位相シフトポートを介して直接位相シフトを実行します。

#### 4.2.2.1. I/O PLL ダイナミック位相シフト

I/O PLL のダイナミック位相シフト動作を Intel FPGA IOPLL IP コアを使用するには、次の手順を実行します。

1. `updn`、`cntsel [4..0]`、および `num_phase_shift [2..0]` ポートの値を設定します。
2. 少なくとも 2 つの `scanclk` サイクルの間で `phase_en` ポートをアサートします。

各 `phase_en` パルスは、1 つのダイナミック位相シフト動作を示します。 `phase_done` 出力は、ダイナミック位相シフトが進行中であることを示すために Low になります。 `phase_done` 信号が Low から High に変化した後にのみ、 `phase_en` 信号をアサートできます。

`updn`、`cntsel [4..0]`、および `num_phase_shift [2..0]` ポートは `scanclk` に同期していません。

phase\_done 信号が High から Low にき遷移すると、phase\_done 信号は scanclk 信号の立ち上がりエッジに同期しています。Low から High への遷移は scanclk 信号と非同期です。

VCO および scanclk の周波数に応じて、phasedone の Low 時間は 1scanclk サイクルよりも長くなるか、または短くなる場合があります。

#### 関連情報

[Intel FPGA IOPLL IP コアのダイナミック位相シフトポート \(49 ページ\)](#)

### 4.2.3. デザイン例

アルテラの Quartus II ソフトウェア・バージョン 17.1 以降—Quartus II の最小要件を満たす Windows または Linux コンピュータにソフトウェアがインストールされている必要があります。

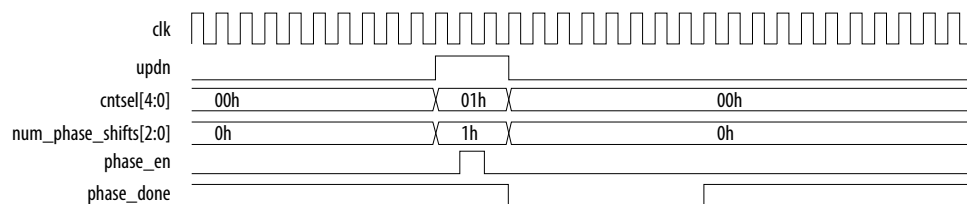
#### 4.2.3.1. デザイン例 2: ALTPLL メガファンクションによるダイナミック位相シフト

このデザイン例では、Intel FPGA IOPLL Reconfig IP コアを使用せずに「デザイン例 3: Intel FPGA IOPLL Reconfig Ip コアを使用した動的位相シフト」と同じデザインを使用しています。このデザイン例では、Intel FPGA IOPLL IP コアを介した直接 I/O PLL の動的位相シフトの実装を示しています。

このデザイン例でテストを実行するには、次の手順を実行します。

1. iopll-dynamic-phase-shift.qar ファイルをダウンロードして復元します。
2. デザイン例のデバイスとピンの割り当てをハードウェアに合わせて変更します。
3. デザイン例をリコンパイルします。リコンパイル後にデザイン例にタイミング違反がないことを確認してください。
4. AN.stp ファイルを開き、top.sof でデバイスをプログラムします。
5. reset\_SM 信号にハイパルスのアサートして、I/O PLL のダイナミック位相シフト・リコンフィグレーション動作を開始します。

図 -21: **Waveform Example for Dynamic Phase Shift Using Intel FPGA IOPLL IP Core Design Example**



#### 関連情報

[Design Example: Dynamic Phase Shift Using Intel FPGA IOPLL IP Core](#)  
このデザイン例のデザインファイルを提供します。

### 4.3. Intel FPGA IOPLL Reconfig IP コア

I/O PLL のフェーズロック・ループ(PLL)リコンフィグレーションおよびダイナミック・フェーズ・シフトを実装するために インテル Stratix 10 デバイスを使用することができます。



インテル Stratix 10 I/O PLL は、デバイスがユーザー・モードのときにダイナミック・リコンフィグレーションをサポートします。ダイナミック・リコンフィグレーション機能を使用すると、I/O PLL 設定をリアルタイムでリコンフィグレーションできます。PLL カウンターの分割設定と PLL 帯域幅設定(ループ・フィルタ設定とチャージ・ポンプ設定)は、Avalon<sup>®</sup> メモリーマップされた(Avalon -MM)インターフェイス Intel FPGA IOPLL Reconfig FPGA 全体をリコンフィグレーションする必要はありません。インテル Stratix 10 I/O PLL は、分周カウンター( N、M、C カウンター)と電圧制御発振器(VCO)を使用して、所望の位相および周波数出力を合成します。

以下の PLL を使用することができます。

- メモリー初期化ファイル( .mif )ストリーミング・リコンフィグレーション
  - オンチップ ROM に保存された事前定義済みの設定を使用して、I/O PLL のリコンフィグレーションを可能にします。多くのユニークな PLL コンフィグレーションを 1 つの ROM に格納できます。
  - .mif ファイルは自動的に生成されます。Intel FPGA IOPLL IP コア。 .mif ストリーミングリコンフィグレーション中に生成された .mif ファイルを使用すると、新しいコンフィグレーションの合法性が保証されます。
  - Intel このリコンフィグレーション方法を使用することを推奨します。
- .mif を使用した I/O PLL
  - リキャリブレーションリコンフィグレーションを行わずに I/O PLL のリキャリブレーションを実行します。
  - 基準クロック周波数が変更された場合、リキャリブレーションをトリガします。
- I/O PLL クロック・ゲーティング
  - I/O PLL の出力クロック 0 から出力クロック 7 に I/O PLL のゲートとアンゲート。

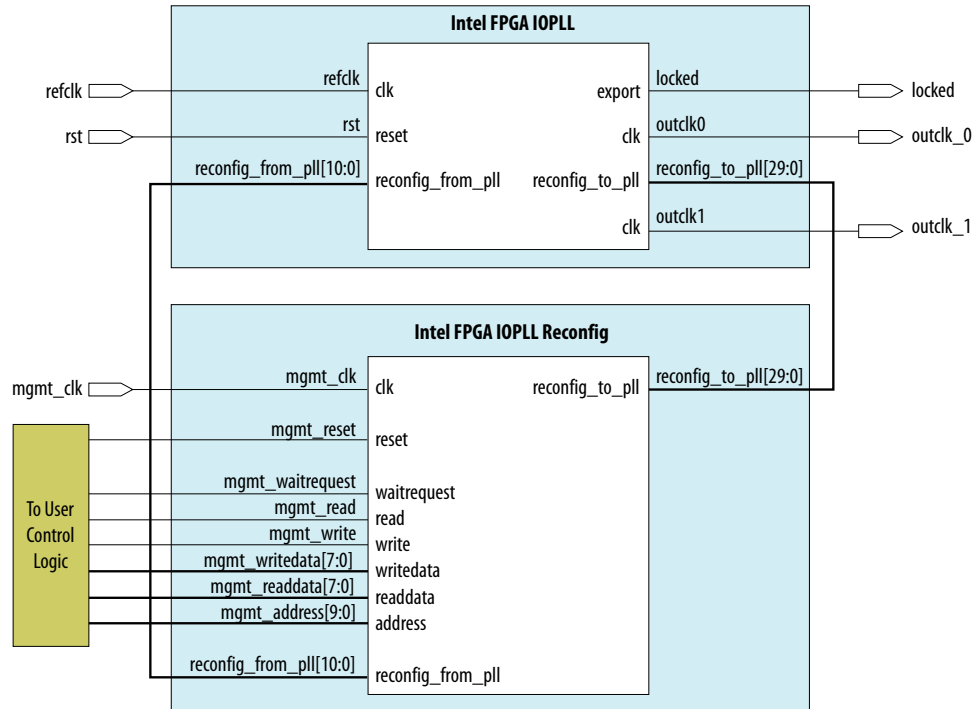
Intel FPGA IOPLL Reconfig IP コアを使用してダイナミック位相シフトを実行できます。

#### 4.3.1. Intel FPGA IOPLL Reconfig IP コアの I/O PLL リコンフィグレーションの実装

Intel FPGA IOPLL Reconfig IP コアの Avalon -MM インターフェイスを使用して、I/O PLL 用の PLL リコンフィギュレーション回路をイネーブルにすることができます。

### 4.3.1.1. Intel FPGA IOPLL および Intel FPGA IOPLL Reconfig IP コア間の接続

図 -22: インテル Quartus Prime ソフトウェアでの Intel FPGA IOPLL および Intel FPGA IOPLL Reconfig IP コア間の接続



#### 関連情報

[Intel FPGA IOPLL Reconfig IP コアの Avalon -M のインターフェイス・ポート \(51 ページ\)](#)

### 4.3.1.2. Intel FPGA IOPLL および Intel FPGA IOPLL Reconfig IP コアの接続

デザインで Intel FPGA IOPLL および Intel FPGA IOPLL Reconfig IP コアを接続するには、次の手順を実行します。

1. Intel FPGA IOPLL Reconfig IP コアの `reconfig_to_pll[29..0]` バスを Intel FPGA IOPLL IP コアの `reconfig_to_pll[29..0]` バスに接続します。
2. Intel FPGA IOPLL Reconfig IP コアの `reconfig_from_pll[10..0]` バスを Intel FPGA IOPLL IP コアの `reconfig_from_pll[10..0]` バスに接続します。
3. `mgmt_clk` ポートを有効なクロックソースに接続します。
4. `mgmt_reset` ポート、`mgmt_waitrequest` ポート、`mgmt_read` ポート、`mgmt_write` ポート、`mgmt_readdata [7..0]` バス、`mgmt_writedata [7..0]` バス、`mgmt_address [9..0]` バスをユーザー制御ロジックに接続して、リードとライト動作を実行します。

#### 関連情報

[Intel FPGA IOPLL Reconfig IP コアの Avalon -M のインターフェイス・ポート \(51 ページ\)](#)



### 4.3.1.3. Intel FPGA IOPLL Reconfig IP コアのリコンフィグレーション・モード

Intel FPGA IOPLL Reconfig IP コアには 4 つの機能リコンフィグレーション・モードがあります。リコンフィグレーション動作モードは、`mgmt_address [9:8]` ビットの設定に基づいています。

表 4. Intel FPGA IOPLL Reconfig IP コアのリコンフィグレーション・モード

リコンフィグレーション・モード	<code>mgmt_address[9:8]</code> <sup>(4)</sup>
.mif ストリーミング・リコンフィグレーション	2 00
クロック・ゲーティング・リコンフィグレーション	2 10
ダイナミック位相シフト	2 11

M カウンター、N カウンター、帯域幅設定、またはチャージポンプ電流を変更する I/O PLL でダイナミック・リコンフィグレーションを実行した後、I/O PLL をリキャリブレーションする必要があります。 .mif ストリーミング・リコンフィグレーションの場合、リキャリブレーションは自動的に行われます。クロック・ゲーティングとダイナミック位相シフトのリコンフィグレーションでは、リキャリブレーションは不要です。

#### 4.3.1.3.1. .mif ストリーミング・リコンフィグレーション

.mif ストリーミングを使用すると、I/O PLL を動的にリコンフィグレーションできます。Intel FPGA IOPLL Reconfig IP コアは、内蔵 RAM に保存された定義済みの設定を使用しています。最大 32 個の I/O PLL コンフィグレーションで、Intel FPGA IOPLL IP コアパラメーター・エディターからこれらの事前定義されたコンフィグレーションを含む .mif ファイルを生成する必要があります。

シミュレーションを実行するには、以下のステップに従います。

1. `mgmt_address [9:8] = 2'b00` を設定して .mif ストリーミング・モードを選択します。そして、.mif ファイルの目的の設定のインデックスに `mgmt_writedata [4:0]` を設定します。
2. I/O PLL で .mif ストリーミング・リコンフィグレーションを開始するには、`mgmt_write` 信号を 1 つの `mgmt_clk` サイクルでアサートします。`mgmt_waitrequest` は、Intel FPGA IOPLL Reconfig .mif ストリーミングが進行中に Intel FPGA IOPLL Reconfig IP コによってアサートされます。
3. リコンフィグレーションが完了すると、`mgmt_waitrequest` 信号がデアサートされます。
4. Intel FPGA IOPLL Reconfig パラメーター・エディターで、I/O PLL の `Assert waitrequest until IOPLL has locked` オプションを選択してロックします。それ以外の場合、I/O PLL がロックされるのを待って、I/O PLL のリコンフィグレーションが完了したことを確認できます。

#### 関連情報

- [新しい.mif ファイルの生成 \(32 ページ\)](#)
- [既存の.mif ファイルへのコンフィグレーションの追加 \(33 ページ\)](#)

(4) 2'b 01 is reserved.

#### 4.3.1.3.2. .mif を使用したリキャリブレーション

.mif を使用したリキャリブレーションでは、I/O PLL をリキャリブレーションできますが、I/O PLL をリコンフィグレーションすることはできません。Intel FPGA IOPLL Reconfig IP コアの **Recalibration Mode** をイネーブルします。リキャリブレーションを選択すると、リキャリブレーション動作のために自動的に recalibration.mif ファイルが生成されます。

.mif を使用して I/O PLL リキャリブレーションを実行するには、次の手順を実行します。

1. .mif モードを選択するために、`mgmt_address [9:8] = 2'b00` を設定します。そして、`mgmt_writedata [4:0] = 2'b00` に設定します。
2. I/O PLL で .mif を使用してリキャリブレーションを開始するには、`mgmt_write` 信号を 1 つの `mgmt_clk` サイクルでアサートします。リキャリブレーション中に `mgmt_waitrequest` は Intel FPGA IOPLL Reconfig IP コアによってアサートされます。
3. リキャリブレーションが完了すると、`mgmt_waitrequest` 信号がデアサートされます。

#### 4.3.1.3.3. クロック・ゲーティングのリコンフィグレーション

これは、I/O PLL 出力クロックのそれぞれに対応する 1 バイトを Intel FPGA IOPLL Reconfig IP コアに書き込むことで簡単に実行できます。

シミュレーションを実行するには、以下のステップに従います。

1. クロック・ゲーティング・モードを選択するには `mgmt_address [9:8]` を `2'b10` に設定します。そして、ゲーティングする出力クロックを示すように `mgmt_writedata [7:0]` を設定します。
2. I/O PLL でクロック・ゲーティングのリコンフィグレーションを開始するには、`mgmt_write` 信号を 1 つの `mgmt_clk` サイクルでアサートします。
3. ゲーティングの変更は、`mgmt_waitrequest` のアサートがデアサートされた後、複数のクロックサイクルで有効にならないことがあります。

#### 関連情報

[クロック・ゲーティングのリコンフィグレーションのための出力クロックと対応するデータビットの設定 \(51 ページ\)](#)

#### 4.3.1.3.4. ダイナミック位相シフト波形

ダイナミック位相シフトのリコンフィグレーションは、シフトの数、位相シフトの方向およびシフトされるべき出力クロックを決定することができます。

Intel FPGA IOPLL Reconfig IP コアを使用するダイナミック位相シフトのリコンフィグレーションを実行するには、次の手順を実行します。

1. ダイナミック位相シフト・リコンフィグレーション・モードを選択するには、`mgmt_address [9:8]` を `2'b11` に設定します。
2. 所望の位相シフト数、位相シフトの方向、およびシフトさせるべき所望のカウンターを示すために `mgmt_writedata [7:0]` を設定します。
3. I/O PLL でクロック・ゲーティングのリコンフィグレーションを開始するには、`mgmt_write` 信号を 1 つの `mgmt_clk` サイクルでアサートします。この信号は、I/O PLL の `phase_en` 信号と等価です。
4. ダイナミック位相シフトが完了した後、`mgmt_waitrequest` 信号はデアサートされます。



#### 関連情報

Intel FPGA IOPLL Reconfig IP コアのダイナミック位相シフトのためのデータバス設定 (52 ページ)

### 4.3.2. デザイン例

Quartus II ソフトウェア・バージョン 17.1 以降—Quartus II の最小要件を満たす Windows または Linux コンピュータにソフトウェアがインストールされている必要があります。

#### 4.3.2.1. デザイン例 1: .mif を使用したストリーミングのリコンフィグレーション Intel FPGA IOPLL Reconfig IP コア

このデザイン例では、1SG280LU3F50E2VGS1 デバイスを使用して、Intel FPGA IOPLL Reconfig IP コアを使用した .mif ストリーミングによる I/O PLL リコンフィギュレーションの実装を示しています。このデザイン例は、Intel FPGA IOPLL IP コア、Intel FPGA IOPLL Reconfig IP コア、および In-System Sources and Probes IP コアで構成されています。

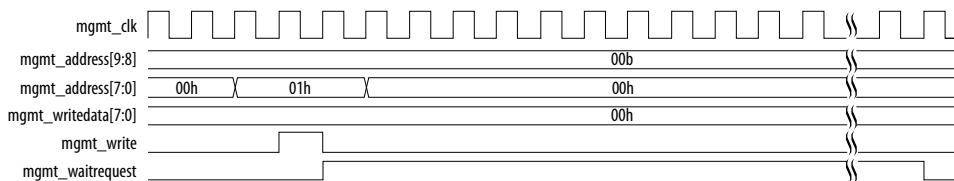
Intel FPGA IOPLL Reconfig IP コアは、ステートマシンに接続して、I/O PLL .mif ストリーミング リコンフィギュレーション動作を実行します。reset\_SM 入力のハイ・パルスは、In-System Sources and Probes IP コアが I/O PLL のリコンフィギュレーション動作をトリガします。I/O PLL のリコンフィギュレーション処理が完了すると、I/O PLL は中帯域幅で次のコンフィギュレーションで動作します。

- 100MHz(カウンター C0 出力での位相シフトは 0ps である)
- 100MHz(カウンター C1 出力での位相シフトは 0ps である)

このデザイン例でテストを実行するには、次の手順を実行します。

1. iopll-reconfig-mif-streaming.qar ファイルをダウンロードして復元します。
2. デザイン例のデバイスとピンの割り当てをハードウェアに合わせて変更してください。
3. デザイン例をリコンパイルします。リコンパイル後にデザイン例にタイミング違反がないことを確認します。
4. AN.stp ファイルを開き、top.sof でデバイスをプログラムします。
5. reset\_SM 信号にハイ・パルスのアサートして、I/O PLL リコンフィギュレーション動作を開始します。

図 -23: .mif ストリーミングリコンフィギュレーションの波形例



#### 関連情報

Design Example 1: .mif Streaming Reconfiguration Using Intel FPGA IOPLL Reconfig IP Core

このデザイン例のデザインファイルを提供します。

### 4.3.2.2. デザイン例 2: クロック・ゲーティングのリコンフィグレーション Intel FPGA IOPLL Reconfig IP コア

このデザイン例では、1SG280LU3F50E2VGS1 デバイスを使用して、Intel FPGA IOPLL Reconfig IP コアを使用した I / O PLL クロック・ゲーティング・リコンフィギュレーションのインプリメンテーションを示しています。この設計例は、Intel FPGA IOPLL IP コア、Intel FPGA IOPLL Reconfig IP コア、および In-System Sources and Probes IP コアで構成されています。

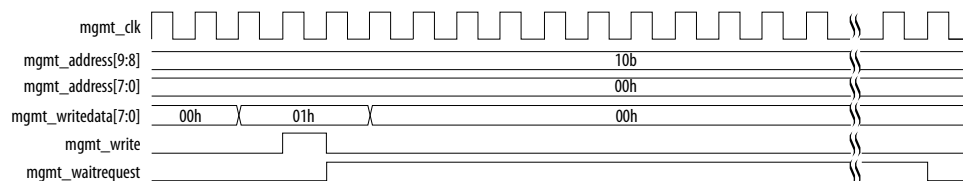
I/O PLL は、それぞれ 200MHz の 8 つの出力クロックを合成します。入力基準クロックは 50MHz です。

Intel FPGA IOPLL Reconfig IP コアは、スタートマシンに接続して I/O PLL クロック出力ゲーティングを実行します。reset\_SM 入力のハイ・パルスは、In-System Sources and Probes IP コアが I/O PLL のリコンフィグレーション動作をトリガします。I/O PLL リコンフィグレーション動作が完了した後、outclk0 は非ゲートで、outclk1 がゲートされます。

このデザイン例でテストを実行するには、次の手順を実行します。

1. iopll-reconfig-clock-gating.qar ファイルをダウンロードして復元します。
2. デザイン例のデバイスとピンの割り当てをハードウェアに合わせて変更してください。
3. デザイン例をリコンパイルします。リコンパイル後にデザイン例にタイミング違反がないことを確認してください。
4. AN.stp ファイルを開き、top.sof でデバイスをプログラムします。
5. reset\_SM 信号にハイ・パルスのアサートして、I/O PLL クロック・ゲーティング・リコンフィグレーション動作を開始します。

図 -24: クロック・ゲーティングリコンフィグレーションの波形例



#### 関連情報

#### Design Example 2: Clock Gating Reconfiguration Using Intel FPGA IOPLL Reconfig IP Core

このデザイン例のデザインファイルを提供します。

### 4.3.2.3. デザイン例 3: ALTPLL メガファンクションによるダイナミック位相シフト

このデザイン例では、1SG280LU3F50E2VGS1 デバイスを使用して、Intel FPGA IOPLL Reconfig を使用する I/O PLL のダイナミック位相シフト・リコンフィギュレーションの実装を実証しています。このデザイン例は、Intel FPGA IOPLL IP コア、Intel FPGA IOPLL Reconfig IP コア、および In-System Sources and Probes IP コアで構成されています。

I/O PLL は、200MHz の 2 つの出力クロックを合成し、カウンター C0 出力で 0ps 位相シフト、中帯域幅でカウンター C1 出力を合成します。入力基準クロックは 50MHz です。



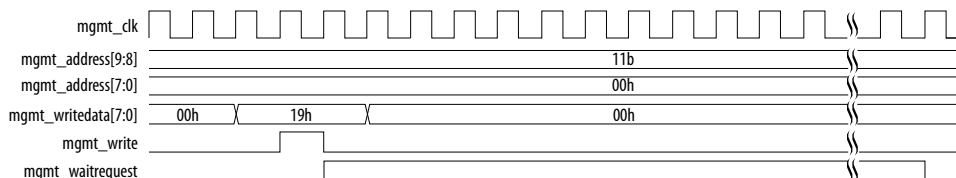


Intel FPGA IOPLL Reconfig IP コアは、ステートマシンに接続して、I/O PLL のダイナミック位相シフト動作を実行します。reset\_SM 入力のハイ・パルスは、In-System Sources and Probes IP コアは、I/O PLL のダイナミック位相シフト動作をトリガします。I/O PLL のダイナミック位相シフト動作が完了した後、カウンター c1 は、1 つの正位相シフトステップの間に 89ps 位相シフトされます。

このデザイン例でテストを実行するには、次の手順を実行します。

1. iopll-reconfig-dynamic-phase-shift.qar ファイルをダウンロードして復元します。
2. デザイン例のデバイスとピンの割り当てをハードウェアに合わせて変更してください。
3. デザイン例をリコンパイルします。リコンパイル後にデザイン例にタイミング違反がないことを確認してください。
4. AN.stp ファイルを開き、top.sof でデバイスをプログラムします。
5. reset\_SM 信号にハイ・パルスをアサートして、I/O PLL のダイナミック位相シフト・リコンフィグレーション動作を開始します。

図 -25: Intel FPGA IOPLL Reconfig IP コアのデザイン例を使用したダイナミック位相シフトの波形例



#### 関連情報

#### Design Example 3: Dynamic Phase Shift Using Intel FPGA IOPLL Reconfig IP Core

このデザイン例のデザインファイルを提供します。



## 5. Stratix® 10 クロック制御 IP コアのリファレンス

### 5.1. Stratix® 10 クロック制御パラメーター

表 5. インテル Stratix 10 デバイスの Stratix® 10 クロック制御 IP コアのパラメーター

パラメーター	値	説明
<b>Number of Clock Inputs</b>	1、2、または 4	クロック・コントロール・ブロックの入力クロックソース数を指定します。最大 4 つのクロック入力を指定することができます。 インテル Stratix 10 デバイスのクロック多重化は、コア内のソフトロジックを使用して実装されています。
<b>Ensure glitch free clock switchover</b>	On または Off	複数のクロック入力を使用する際、グリッチのないスイッチオーバーを実装するには、このオプションをオンにします。他のソースに切り替える前に、現在選択されているクロックが実行していることを確認する必要があります。 選択されているクロックが実行していない場合、グリッチのないスイッチオーバーの実装は新しいクロックソースに切り替えることができません。 デフォルトでは、clkselect ポートは 00 で設定されています。読み込まれるには、クロックは clkselect ポートの値に inclk0x を適用する必要があります。 この機能は、将来のリリースで使用可能になります。
<b>Clock Enable</b>	On または Off	イネーブル信号でクロック出力をゲートする場合、このオプションをオンにします。このオプションは、クロック分割を使用するオプションをディセーブルします。
<b>Clock Enable Type</b>	Root Level または Distributed Sector Level	ペリフェラル部にあるクロックゲートまたはセクター内にあるゲートを選択します。クロックゲートの詳細については、クロック・ゲーティングのセクションを参照してください。
<b>Enable Register Mode</b>	Negative Latch または None	イネーブル信号をラッチするかどうかを指定します。
<b>Clock Divider</b>	On または Off	クロック分割ブロックをペリフェラルで使用する場合、このオプションをオンにします。
<b>Clock Divider Output Ports</b>	Divide 1x、Divide 1x and 2x、または Divide 1x、2x and 4x	クロックを通過させるか、クロックを 2 で割るか、クロックを 4 で割るかの組み合わせを指定します。

#### 関連情報

[クロック・ゲーティング \(10 ページ\)](#)

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

\*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO  
9001:2015  
登録済



## 5.2. Stratix® 10 クロック制御ポートおよび信号

表 6. インテル Stratix 10 デバイスの Stratix® 10 クロック制御出力ポート

ポート名	変更内容
inclk	クロック・ネットワークへの入力信号。
inclk0x, inclk1x, inclk2x, inclk3x	<b>Number of Clock Inputs</b> パラメーターで選択した値に基づいてクロック・ネットワークに信号を入力します。
clkselect[]	クロック・バッファーによって駆動されるクロック・ネットワークをドライブするために、クロックソースを動的に選択する入力です。 入力ポート[1 DOWNTO 0]幅です。 以下のリストは、clkselect[]値の信号選択を示しています。 <ul style="list-style-type: none"> <li>• 2'b00 selects inclk0x</li> <li>• 2'b01 selects inclk1x</li> <li>• 2'b10 selects inclk2x</li> <li>• 2'b11 selects inclk3x</li> </ul>
outclk	<b>Clock Divider</b> オプションが選択されていない場合の Stratix® 10 クロック制御 IP コアの出力。
ena	クロック・ゲート・ブロックのクロックイネーブル。この信号はアクティブ High です。
clock_div1x, clock_div2x, clock_div4x	<b>Clock Divider</b> オプションが選択されていない場合の Stratix® 10 クロック制御 IP コアの出力。公開されるポートの正確な組み合わせは、 <b>Clock Divider Output Ports</b> パラメーターに指定された値に依存します。 <ul style="list-style-type: none"> <li>• clock_div1x は inclk と同じである</li> <li>• clock_div2x は inclk を 2 で割る</li> <li>• clock_div4x は inclk を 4 で割る</li> </ul>



## 6. Intel FPGA IOPLL IP コアの参考資料

### 6.1. Intel FPGA IOPLL パラメーター

Intel FPGA IOPLL IP コアのパラメーター・エディターは、IP カタログの PLL カテゴリに表示されま  
す。

#### 6.1.1. Intel FPGA IOPLL パラメーター : PLL のタブ

表 7. インテル Stratix 10 デバイスの Intel FPGA IOPLL IP コアのパラメーター

パラメーター	選択可能な値	変更内容
Device Family	インテル Stratix 10	選択するデバイスファミリーを指定します。
Component	—	ターゲット・デバイスファミリーを指定します。
Speed Grade	—	ターゲットデバイスのスピードグレードを指定します。
PLL Mode	整数-N PLL	Intel FPGA IOPLL IP コアに使用されるモードを指定します。唯一の正当な選択肢は <b>Integer-N PLL</b> です。
Reference Clock Frequency	—	入力クロックの入力周波数 <code>refclk</code> を MHz で指定します。デフォルト値は <b>100.0 MHz</b> です。最小値と最大値は、選択したデバイスによって異なります。
My reference clock frequency might change	「オンにする」/「オフにする」	実行時に基準クロックの周波数が変わることが予想される場合、このオプションを選択します。
Enable Locked Output Port	「オンにする」/「オフにする」	オンにすると、locked ポートがイネーブルされます。
Enable physical output clock parameters	「オンにする」/「オフにする」	所望の出力クロック周波数を指定する代わりに、物理 PLL カウンターのパラメーターを入力するようにします。
Operation Mode	<b>direct,</b> <b>external</b> <b>feedback,</b> <b>normal,</b> <b>source</b> <b>synchronous,</b> <b>zero delay</b> <b>buffer,</b> または <b>lvds</b>	PLL の動作を指定します。デフォルトの動作は <b>Direct</b> モードです。 <ul style="list-style-type: none"> <li>• <b>Direct</b> モードを選択すると、PLL は帰還パスの長さを最小限に抑えて、PLL 出力でジッタを最小限に抑えます。PLL の内部クロックおよび外部クロック出力は、PLL クロック入力に対して位相シフトされています。このモードでは、PLL はクロック・ネットワークを補償しません。</li> <li>• <b>External Feedback</b> モードを選択した場合、<code>fbcclk</code> 入力ポートを入力ピンに接続する必要があります。ボードレベルの接続では、入力ピンと外部クロック出力ポート <code>fboutclk</code> の両方を接続する必要があります。<code>fbcclk</code> ポートは入力クロックにアライメントされます。</li> <li>• <b>Normal</b> モードを選択すると、PLL はクロック出力で使用される内部クロック・ネットワークの遅延を補償します。PLL を外部クロック出力ピンの駆動にも使用すると、出力ピンの信号の対応する位相シフトが発生します。</li> </ul>

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

\*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO  
9001:2015  
登録済

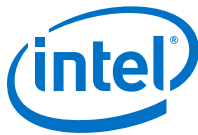


パラメーター	選択可能な値	変更内容
		<ul style="list-style-type: none"> <li>• <b>Source Synchronous</b> モードを選択すると、ピンから I/O 入力レジスターへのクロック遅延は、ピンから I/O 入力レジスターへのデータ遅延と一致します。</li> <li>• <b>Zero Delay Buffer</b> モードを選択すると、PLL は外部クロック出力ピンに給電し、そのピンによって発生する遅延を補償する必要があります。ピンで観測される信号は入力クロックに同期します。PLL クロック出力は altbidir ポートに接続し、出力ポートとして zdbfbclk を駆動します。PLL が内部クロック・ネットワークもドライブする場合、そのネットワークの対応する位相シフトが発生します。</li> <li>• <b>Lvds</b> モードを選択すると、内部 SERDES キャプチャ・レジスターのピンと同じデータとクロックのタイミング関係が維持されます。このモードは、LVDS クロック・ネットワークの遅延、およびデータピンとクロック入力ピンの間の SERDES キャプチャ・レジスターの経路の遅延を補償します。</li> </ul>
<b>Number of clocks</b>	1-9	PLL デザインで各デバイスに必要な出力クロックの数を指定します。要求された出力周波数、位相シフト、およびデューティサイクルの設定は、選択されたクロック数に基づいて表示されます。
<b>Multiply factor (M-Counter)</b> (5)	4-160	通倍係数を指定します(M-カウンター)。
<b>Divide factor (N-Counter)</b> (5)	1-110	分周係数を指定します(M-カウンター)。
<b>Specify VCO Frequency</b>	「オンにする」/「オフにする」	VCO 周波数を指定された値に制限することができます。これは、LVDS 外部モードの PLL を作成する場合、または特定のダイナミック位相シフトステップサイズが必要な場合に便利です。
<b>VCO Frequency</b> (6)	—	<ul style="list-style-type: none"> <li>• <b>Enable physical output clock parameters</b> をオンにすると、<b>Reference Clock Frequency</b>、<b>Multiply Factor (M-Counter)</b>、および <b>Divide Factor (N-Counter)</b> の値に基づいて VCO 周波数が表示されます。</li> <li>• <b>Enable physical output clock parameters</b> がオフの場合、VCO 周波数に要求された値を指定できます。デフォルト値は <b>600.0 MHz</b> です。</li> </ul>
<b>Give clock global name</b>	「オンにする」/「オフにする」	出力クロック名の変更できます。
<b>Clock Name</b>	—	Synopsis Design Constraints(SDC)のユーザークロック名。
<b>Divide factor (C-Counter)</b> (5)	1-510	出力クロック(C-カウンター)の分周係数を指定します。
<b>Desired Frequency</b>	—	対応する出力クロックポートの出力クロック周波数 outclk [ ] を MHz で指定します。デフォルト値は <b>100.0 MHz</b> です。最小値と最大値は、使用するデバイスによって異なります。PLL は最初的小数点第 6 位の数字のみを読み込みます。
<b>Actual Frequency</b>	—	達成可能な周波数のリストから実際の出力クロック周波数を選択できます。デフォルト値は、達成可能な最も近い周波数から目的の周波数までです。
<b>Phase Shift units</b>	<b>ps</b> または <b>degrees</b>	対応する出力クロックポートの位相シフトユニット outclk [ ] をピコ秒(ps)または度で指定します。
<b>Desired Phase Shift</b>	—	位相シフトに要求される値を指定します。デフォルト値は <b>0 ps</b> です。

continued...

(5) このパラメーターは、**Enable physical output clock parameters** がオンの場合にのみ使用できます。

(6) このパラメーターは、**Enable physical output clock parameters** がオフの場合にのみ使用できます。



パラメーター	選択可能な値	変更内容
Actual Phase Shift	—	達成可能な位相シフト値のリストから実際の位相シフトを選択できます。デフォルト値は、目的とする位相シフトに最も近い達成可能な位相シフトです。
Desired Duty Cycle	0.0-100.0	デューティサイクルに要求される値を指定します。デフォルト値は <b>50.0%</b> です。
Actual Duty Cycle	—	達成可能なデューティ・サイクル値のリストから実際のデューティ・サイクルを選択できます。デフォルト値は、達成可能なデューティ・サイクルを目標デューティ・サイクルに最も近づけるものです。

## 6.1.2. Intel FPGA IOPLL パラメーター : 設定のタブ

表 8. インテル Stratix 10 デバイスの Intel FPGA IOPLL IP コアのパラメーター ; 設定のタブ

パラメーター	選択可能な値	変更内容
PLL Bandwidth Preset	<b>Low, Medium, または High</b>	PLL 帯域幅のプリセット設定を指定します。デフォルトの選択は <b>Low</b> です。
Lock Threshold Setting	<b>Low Lock Time, Medium Lock Time, または High Lock Time</b>	この設定は、ロック検出時の I/O PLL の感度を決定します。これは、ロックに要する時間と、locked が最初にアサートされたときの outclk 周波数の精度との間のトレードオフです。I/O PLL を素早くロックする必要のあるアプリケーションでは、 <b>Low Lock Time</b> が最適のオプションです。 推定されたロック時間は $30 \mu s + a \times \text{refclk\_period}$ です。ここで、 <i>a</i> はそれぞれ <b>Low Lock Time, Medium Lock Time, および High Lock Time</b> について 100, 2048, および 4095 です。
PLL Auto Reset	「オンにする」/「オフにする」	自動的にロックが失われると PLL が自動的にリセットされます。
Create a second input clk 'refclk1'	「オンにする」/「オフにする」	オンにすると、元のリファレンスクロックで切り替えることができるバックアップクロックが PLL に付属します。
Second Reference Clock Frequency <sup>(7)</sup>	—	2 番目の入力クロック信号の周波数を選択します。デフォルト値は <b>100.0 MHz</b> です。最小値と最大値は、使用するデバイスによって異なります。
Create an 'activeclk' output to indicate the input clock being used <sup>(7)</sup>	「オンにする」/「オフにする」	これをオンにすると、activeclk 出力が作成されます。activeclk 出力は、PLL が使用している入力クロックを示します。出力信号 Low は refclk を示し、出力信号 High は refclk1 を示します。
Create a 'clkbad' output for each input clock <sup>(7)</sup>	「オンにする」/「オフにする」	オンにすると、入力クロックごとに 2 つの clkbad 出力が作成されます。出力信号が Low の場合はクロックが動作していることを示し、出力信号が High の場合はクロックが動作していないことを示します。

*continued...*

(7) このパラメーターは、**Create a second input clk 'refclk1'** がオンの場合にのみ使用可能です。



パラメーター	選択可能な値	変更内容
Switchover Mode <sup>(7)</sup>	Automatic Switchover、Manual Switchover、または Automatic Switchover with Manual Override	<p>デザイン・アプリケーションのスイッチオーバー・モードを指定します。IP では、3 つのスイッチオーバー・モードがサポートされています。</p> <ul style="list-style-type: none"> <li><b>Automatic Switchover</b> モードを選択すると、PLL 回路が選択した基準クロックを監視します。1 クロックが停止すると、回路は自動的に数クロックサイクルでバックアップ・クロックに切り替わり、ステータス信号 clkbad および activeclk を更新します。</li> <li><b>Manual Switchover</b> モードを選択した場合、制御信号 extswitch がロジックローからロジック High に変化し、少なくとも 3 クロックサイクル間で High に保持されると、入力クロックは他のクロックに切り替わります。extswitch は FPGA コアロジックまたは入力ピンから生成できます。</li> <li><b>Automatic Switchover with Manual Override</b> モードを選択した場合、extswitch 信号が High のときは、自動スイッチ機能が無効になります。extswitch が High のままである限り、さらにスイッチオーバー・アクションはブロックされます。このモードを選択するには、2 つのクロックソースが動作している必要があり、2 つのクロックの周波数が 20% 以上異なることはできません。両方のクロックが同じ周波数ではなく、その周期差が 20% 以内の場合、クロックロス検出ブロックはロストクロックを検出します。PLL は、PLL クロック入力切り替え後にロックから脱落する可能性が高く、再度ロックする時間が必要です。</li> </ul>
Switchover Delay <sup>(7)</sup>	0-7	特定の量のサイクル遅延をスイッチオーバー・プロセスに追加します。
Access to PLL LVDS_CLK/LOADEN output port	Disabled、Enable LVDS_CLK/LOADEN 0、または Enable LVDS_CLK/LOADEN 0 & 1	<p>PLL lvds_clk または loaden 出力ポートをイネーブルするために、<b>Enable LVDS_CLK/LOADEN 0</b> または <b>Enable LVDS_CLK/LOADEN 0 &amp; 1</b> を選択します。</p> <p>PLL が LVDS SERDES ブロックに外部 PLL を供給する場合にこのパラメーターをイネーブルします。</p> <p>lvds_clk [0,1] および loaden [0,1] ポートには、LVDS ポートで IOPLL outclk ポートを使用すると outclk [0..3] が使用され、outclk4 は coreclk ポートで使用できます。</p>
Enable access to the PLL DPA output port	「オンにする」/「オフにする」	オンにすると、PLL DPA 出力ポートがイネーブルされます。
Enable access to PLL external clock output port	「オンにする」/「オフにする」	PLL 外部クロック出力ポートをイネーブルします。
Specifies which outclk to be used as extclk_out[0] source	C0 - C8	extclk_out [0] ソースとして使用される outclk ポートを指定します。
Specifies which outclk to be used as extclk_out[1] source	C0 - C8	extclk_out [1] source として使用される outclk ポートを指定します。

### 6.1.3. Intel FPGA IOPLL パラメーター : カスケードのタブ

表 9. Intel FPGA IOPLL IP コア・パラメーター : カスケードのタブ

パラメーター	選択可能な値	変更内容
Create a 'cascade out' signal to connect with a downstream PLL	「オンにする」/「オフにする」	これをオンにすると、この PLL がソースであり、宛先(ダウンストリーム)PLL に接続されていることを示す cascade_out ポートが作成されます。
Specifies which outclk to be used as cascading source	0-8	カスケード・ソースを指定します。
Create an adjpll or cclk signal to connect with an upstream PLL	「オンにする」/「オフにする」	これをオンにすると、この PLL が宛先であり、ソース(アップストリーム)PLL に接続されていることを示す入力ポートが作成されます。

### 6.1.4. Intel FPGA IOPLL パラメーター : ダイナミック・リコンフィグレーションタブのタブ

表 10. インテル Stratix 10 デバイスの Intel FPGA IOPLL IP コアパラメーター ; ダイナミック・リコンフィグレーションのタブ

パラメーター	選択可能な値	変更内容
<b>Enable dynamic reconfiguration of PLL</b>	「オンにする」/「オフにする」	Intel FPGA IOPLL Reconfig IP コアと連携してこの PLL のダイナミック・リコンフィグレーションをイネーブルするにはオンにします。
<b>Enable access to dynamic phase shift ports</b>	「オンにする」/「オフにする」	PLL を使用してダイナミック位相シフト・インターフェイスをイネーブルするにはオンにします。
<b>MIF Generation Option <sup>(8)</sup></b>	<b>Generate New MIF File、 Add Configuration to Existing MIF File、 または Create MIF File during IP Generation</b>	<b>Create MIF File</b> をクリックして I/O PLL の現在の構成を含む新しい .mif ファイルを作成するか、 <b>Append to MIF File</b> をクリックして既存の .mif ファイルにこの構成を追加します。 .mif ファイルは、IP 生成中に生成されるように選択することもできます。 生成された .mif ファイルには、現在の PLL プロファイルと、その PLL を定義するフィジカル・パラメーター (M、N、C、K、帯域幅、およびチャージポンプなど) の集合が含まれています。ダイナミック・リコンフィグレーション中にこの .mif ファイルを使用して、I/O PLL を現在の設定にリコンフィグレーションできます。
<b>Path to New/Existing MIF file <sup>(8)</sup></b>	—	作成する新しい .mif ファイルの場所とファイル名、または追加する既存の .mif ファイルを入力します。
<b>Name of Current Configuration <sup>(8)</sup></b>	—	追加する既存の .mif ファイルのファイル名を入力します。

### 6.1.5. Intel FPGA IOPLL パラメーター : 高度なパラメーターのタブ

表 11. インテル Stratix 10 デバイスの Intel FPGA IOPLL IP コアパラメーター : 高度なパラメーターのタブ

パラメーター	選択可能な値	変更内容
<b>Advanced Parameters</b>	—	入力に基づいて実装される物理 PLL 設定のテーブルを表示します。

## 6.2. Intel FPGA IOPLL ポートおよび信号

表 12. インテル Stratix 10 デバイスの Intel FPGA IOPLL 出力ポート

ポート名	タイプ	条件	説明
refclk	入力	要	I/O PLL をドライブする基準クロック・ソース。
rst	入力	要	出力クロック用の非同期リセットポート。このポートをハイにドライブすると、すべての出力クロックが 0 にリセットされます。
fbclk	入力	オプション	PLL の外部フィードバック入力ポート。 Intel FPGA IOPLL IP コアは、I/O PLL が外部フィードバック・モードまたはゼロ遅延バッファモードで動作しているときにこのポートを作成します。フィードバックループを完了するには、ボードレベル接続で fbclk ポートと I/O PLL の外部クロック出力ポートを接続する必要があります。
fboutclk	出力	オプション	模擬回路を介して fbclk ポートに給電するポート。 fboutclk ポートは、I/O PLL が外部フィードバック・モードの場合にのみ使用できます。

*continued...*

(8) このパラメーターは **Enable dynamic reconfiguration of PLL** がオンの場合にのみ使用できます。





ポート名	タイプ	条件	説明
zdbfbc1k	双方向	オプション	ミミック回路に接続する双方向ポート。このポートは、I/O PLL の正帰還専用出力ピンに配置された双方向ピンに接続する必要があります。 zdbfbc1k ポートは、I/O PLL がゼロ遅延バッファモードになっている場合にのみ使用できます。
locked	出力	オプション	Intel FPGA IOPLL IP コアは、PLL がロックを取得すると、このポートを High に駆動します。I/O PLL がロックされている間は、ポートは High のままです。I/O PLL は、基準クロックとフィードバッククロックの位相と周波数が同じか、またはロック回路の許容範囲内にあるときに、ロックされたポートをアサートします。2つのクロック信号の差がロック回路許容値を超えると、I/O PLL はロックを失います。
refclk1	入力	オプション	クロック・スイッチオーバー機能のために I/O PLL をドライブする第 2 の基準クロックソース。
extswitch	入力	オプション	アクティブ Low 信号。手動でクロックを切り替えるには、extswitch 信号を最低 3 クロックサイクルで Low ('1'b0') にアサートします。
activeclk	出力	オプション	I/O PLL がどの基準クロックソースを使用しているかを示す出力信号。
clkbad[]	出力	オプション	基準クロックソースのステータスが良いか悪いかを示す出力信号。
cascade_out	出力	オプション	ダウンストリーム I/O PLL に供給される出力信号。
adjpll_in	入力	オプション	アップストリーム I/O PLL から供給される入力信号。
outclk	出力	オプション	I/O PLL からの出カクック。

### 6.3. Intel FPGA IOPLL IP コアのダイナミック位相シフトポート

図 -26: Intel FPGA IOPLL IP コアのダイナミック位相シフトポート

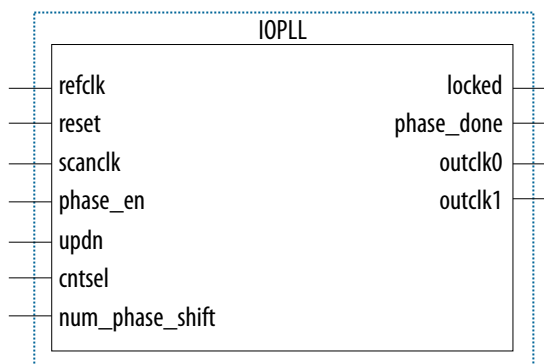


表 13. Intel FPGA IOPLL IP コアのダイナミック位相シフトポート

ポート	入力/出力	説明
scanclk	入力	Intel FPGA IOPLL IP コアのダイナミック位相シフト動作を駆動するダイナミック位相シフトクロック。このポートは、有効なクロックソースに接続する必要があります。最大入力クロック周波数は 100MHz です。
phase_en	入力	アクティブ High 信号。ダイナミック位相シフト動作を開始するためにアサートします。phase_en は、phase_done がアサートされた後にのみ 4 クロックにアサートされます。
updn	入力	ダイナミック位相シフトの方向を決定します。updn = 0 のとき、位相シフトは負方向になります。updn = 1 のとき、位相シフトは正方向になります。
cntsel[4..0]	入力	ダイナミック位相シフト動作を実行するために選択するカウンターを決定します。

continued...



ポート	入力/出力	説明	
		カウンター名	cntsel[4..0](バイナリ)
		C0	5'b00000
		C1	5'b00001
		C2	5'b00010
		C3	5'b00011
		C4	5'b00100
		C5	5'b00101
		C6	5'b00110
		C7	5'b00111
		C8	5'b01000
		すべてCカウンター	5'b01111
num_phase_shift[2..0]	入力	ダイナミック位相シフト動作ごとの位相シフト数を決定します。1回の動作につき最大7回の位相シフトが可能です。各位相シフト・ステップは、I/O PLL VCO 周期の 1/8 に等しくなります。num_phase_shift は、DPS モードでは決して 0 に設定してはなりません。	
phase_done	出力	Intel FPGA IOPLL IP コアは、ダイナミック位相シフト動作が完了した後、1つの scanclk サイクルの間このポートを High に駆動します。	



## 7. Intel FPGA IOPLL Reconfig IP コアのリファレンス

### 7.1. Intel FPGA IOPLL Reconfig IP コアの Avalon -M のインターフェイス・ポート

表 14. Intel FPGA IOPLL Reconfig IP コアの Avalon -M のインターフェイス・ポート

ポート	入力/出力	説明
mgmt_clk	入力	Intel FPGA IOPLL Reconfig IP コアをドライブするナミック・リコンフィグレーション・クロック。このポートは、有効なクロックソースに接続する必要があります。最大入力クロック周波数は 100MHz です。このクロックは、独立したクロックソースにすることができます。
mgmt_reset	入力	アクティブ High 信号。Intel FPGA IOPLL Reconfig IP コアのすべてのデータをクリアする同期リセット入力。
mgmt_waitrequest	出力	このポートは、PLL リコンフィグレーション・プロセスが開始されたときに高くなり、PLL リコンフィグレーション中には高いままになります。PLL のリコンフィグレーション処理が完了すると、このポートは Low になります。
mgmt_write	入力	アクティブ High 信号。書き込み動作を示すためにアサートします。
mgmt_read	入力	アクティブ High 信号。読み込み動作を示すためにアサートします。
mgmt_writedata[7:0]	入力	mgmt_write 信号がアサートされると、このポートにデータを書き込みます。
mgmt_readdata[7:0]	出力	mgmt_read 信号がアサートされると、このポートからデータを読み込みます。
mgmt_address[9..0]	入力	リードまたはライト動作のためのデータバスのアドレスを指定します。
reconfig_from_pll[10..0]	入力	Intel FPGA IOPLL IP コアの reconfig_from_pll [10..0]バスに接続するバス。
reconfig_to_pll[29..0]	出力	Intel FPGA IOPLL IP コアの reconfig_to_pll [29..0]バスに接続するバス。

### 7.2. アドレスバスとデータバスの設定

リコンフィグレーション動作中は、アドレスバスとデータバスのすべての未使用ビットに "0" の値をアサインします。

#### 7.2.1. クロック・ゲーティングのリコンフィグレーションのための出カクロックと対応するデータビットの設定

表 15. クロック・ゲーティングのリコンフィグレーションのための出カクロックと対応するデータビットの設定

出カクロック	データバスのビット設定 (バイナリ)	
C0	data[0]	Gated = 1'b0 Ungated = 1'b1
C1	data[1]	

*continued...*

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

\*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO  
9001:2015  
登録済



出カクロック	データバスのビット設定(バイナリ)	
C2	data[2]	
C3	data[3]	
C4	data[4]	
C5	data[5]	
C6	data[6]	
C7	data[7]	

## 7.2.2. Intel FPGA IOPLL Reconfig IP コアのダイナミック位相シフトのためのデータバス設定

表 16. Intel FPGA IOPLL Reconfig IP コアのダイナミック位相シフトのためのデータバス設定

ライト・データ・バス設定	変更内容	
data[2:0]	ダイナミック位相シフト動作ごとの位相シフト数を決定します。1回の動作につき最大7回の位相シフトが可能です。各位相シフト・ステップは、I/O PLL VCO 周期の 1/8 に等しくなります。	
data[3]	ダイナミック位相シフトの方向を決定します。データ[3] = 0 のとき、位相シフトは負方向になります。データ[3] = 1 のとき、位相シフトは正方向になります。	
data[7:4]	ダイナミック位相シフト動作を実行するために選択するカウンターを決定します。	
	カウンター名	data[7:4]
	C0	4'b0000
	C1	4'b0001
	C2	4'b0010
	C3	4'b0011
	C4	4'b0100
	C5	4'b0101
	C6	4'b0110
	C7	4'b0111
	C8	4'b1000
	すべてのCカウンター	4'b1111



## A. インテル Stratix 10 のクロッキングおよび PLL ユーザーガイド改訂履歴

日付	バージョン	変更内容
2017 年 12 月	2017.12.07	<ul style="list-style-type: none"> <li>• クロック・セクタ内の専用クロック・リソースの図を更新。</li> <li>• プログラマブル・クロック・ルーティングのセクションを更新。</li> <li>• インテル Stratix 10 クロック入力ピンのリソースの表を更新。 <ul style="list-style-type: none"> <li>— インテル Stratix 10 TX および MX デバイスのリソース.を追加。</li> <li>— 次のデバイスのリソースを更新。 <ul style="list-style-type: none"> <li>• GX 1650</li> <li>• GX 2100</li> <li>• SX 1650</li> <li>• SX 2100</li> <li>• GX 2500</li> <li>• GX 2800</li> <li>• SX 2500</li> <li>• SX 2800</li> </ul> </li> </ul> </li> <li>• インテル Stratix 10 プログラマブル・クロックのルーティング・リソースの表でのコア信号を追加。</li> <li>• インテル Stratix 10 クロック・ネットワークの図でのクロック・ゲーティングおよびクロック・ディバイダーを更新。</li> <li>• ルート・クロック・ゲートのセクションにリンクと更新された説明を追加。</li> <li>• セクター・クロック・ゲートのセクションにリンクと更新された説明を追加。</li> <li>• クロック・ゲーティング・タイミングの図を更新。</li> <li>• 1-2 ページの「ハードウェア」の項を更新。</li> <li>• インテル Stratix 10 デバイスでの PLL 機能の表を更新。 <ul style="list-style-type: none"> <li>— I/O PLL の c カウンターの分周係数を更新。</li> <li>— ノートを位相シフト分解能に更新し、fPLL の位相シフト分解能を更新。</li> </ul> </li> <li>• リセットのセクションを更新。 <ul style="list-style-type: none"> <li>— I/O PLL をリセットする条件についてのノートを更新。</li> <li>— fPLL リセット信号 (pll_powerdown) の説明を削除。</li> </ul> </li> <li>• 次のセクションの説明を更新。 <ul style="list-style-type: none"> <li>— クロック・フィードバック・モード</li> <li>— 直接補正モード</li> <li>— ソース同期補償モード</li> <li>— 通常の補償モード</li> </ul> </li> <li>• PLL カスーディングのセクションの説明を更新しました。を更新。</li> <li>• 自動クロック切り替えモードの要件を追加。</li> <li>• 手動クロック切り替えのセクションでの説明が更新されました。を更新。</li> <li>• ガイドライン: コンフィギュレーションの制約のセクションで .mif ストリーミングを使用して PLL リコンフィギュレーションに関するガイドラインを削除。</li> <li>• Intel FPGA IOPLL および Intel FPGA IOPLL Reconfig IP コア用のデザイン例を追加。</li> <li>• インテル Quartus Prime ソフトウェアで Intel FPGA IOPLL および Intel FPGA IOPLL Reconfig IP コアの間の接続 のポート名を更新。</li> </ul>

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

\*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO  
9001:2015  
登録済



日付	バージョン	変更内容
		<ul style="list-style-type: none"> <li>• 次のセクションで reconfig_from_pll[9..0] を reconfig_from_pll[10..0] に更新。               <ul style="list-style-type: none"> <li>— インテル Quartus Prime ソフトウェアでの Intel FPGA IOPLL および Intel FPGA IOPLL Reconfig IP コアの接続性</li> </ul> </li> <li>• Intel FPGA IOPLL Reconfig IP コア・リコンフィグレーション・モードの表にノートを追加。</li> <li>• インテル Stratix 10 デバイス用の Stratix® 10 クロック制御 IP コア・パラメータの表を更新。               <ul style="list-style-type: none"> <li>— <b>Ensure glitch free clock switchover</b> の説明を更新。</li> </ul> </li> <li>•</li> <li>• インテル Stratix 10 デバイス用の Intel FPGA IOPLL ポート表での extswitch 説明を更新。</li> <li>• Intel FPGA IOPLL IP コアでのダイナミック位相シフト表での updn 説明を更新。</li> <li>• 次の用語を更新。               <ul style="list-style-type: none"> <li>— Logic Lock を LogicLock Plus に変更</li> <li>— TimeQuest Timing Analyzer をタイミング解析 に変更</li> </ul> </li> <li>• 次の IP 名を更新。               <ul style="list-style-type: none"> <li>— Altera IOPLL を Intel FPGA IOPLL に変更</li> <li>— Altera IOPLL Reconfig を Intel FPGA IOPLL Reconfig に変更</li> <li>— Altera In-System Sources &amp; Probe を In-System Sources and Probes に変更</li> </ul> </li> </ul>
2017 年 5 月	2017.05.26	<ul style="list-style-type: none"> <li>• 次のセクションを更新。               <ul style="list-style-type: none"> <li>— Clock Sector</li> <li>— Programmable Clock Routing</li> <li>— Internal Logic</li> <li>— Zero-Delay Buffer Mode</li> <li>— External Feedback Mode</li> <li>— User Calibration</li> </ul> </li> <li>• ノーマルおよびソース同期補正モードのデフォルト・フィードバック・モードを更新。</li> <li>• クロック乗算および除算セクションのポスト・スケール・カウンターの L のスケール係数を更新。</li> <li>• 次のセクションで、fPLL の最小位相シフト・インクリメントを更新。               <ul style="list-style-type: none"> <li>— Programmable Phase Shift</li> <li>— PLL Reconfiguration and Dynamic Phase Shift</li> </ul> </li> <li>• CLKUSR を OSC_CLK_1 に削除</li> <li>• Intel FPGA IOPLL IP コアを更新。</li> <li>• インテル Stratix 10 クロッキングと PLL デザインの考慮事項の章を追加。</li> <li>• Intel FPGA IOPLL Reconfig IP コアを追加</li> </ul>
2016 年 10 月	2016.10.31	初版。