



Stratix 10 GX / SX デバイスの概要



目次

1. インテル® Stratix® 10 GX / SX デバイスの概要	3
1.1. インテル Stratix 10 デバイス・ファミリー・バリエーション.....	4
1.1.1. 使用可能なオプション.....	6
1.2. インテル Stratix 10 FPGA および SoC におけるイノベーション.....	6
1.3. FPGA および SoC 機能の概要.....	8
1.4. インテル Stratix 10 デバイスのブロック図.....	11
1.5. インテル Stratix 10 FPGA および SoC ファミリープラン.....	11
1.6. HyperFlex コア・アーキテクチャー.....	15
1.7. ヘテロジニアス 3D SiP トランシーバー・タイル.....	16
1.8. インテル Stratix 10 デバイスのトランシーバー.....	17
1.8.1. PMA の機能.....	18
1.8.2. PCS の機能.....	20
1.9. PCI Express Gen1/Gen2/Gen3 ハード IP コア.....	21
1.10. Interlaken PCS ハード IP コア.....	21
1.11. 10G イーサネット・ハード IP コア.....	22
1.12. 外部メモリーおよび汎用 I/O.....	22
1.13. アダプティブ・ロジック・モジュール (ALM).....	23
1.14. コア・クロッキング.....	24
1.15. フラクショナル合成 PLL と I/O PLL.....	25
1.16. 内部エンベデッド・メモリー.....	25
1.17. 可変精度 DSP ブロック.....	25
1.18. HPS (ハード・プロセッサ・システム).....	28
1.18.1. インテル Stratix 10 デバイス の HPS の主な機能.....	29
1.19. 消費電力管理.....	32
1.20. デバイス・コンフィグレーションおよびセキュア・デバイス・マネージャー (SDM).....	32
1.21. デバイス・セキュリティ.....	34
1.22. PCI Express を介した CvP (Configuration via Protocol)	34
1.23. パーシャル・リコンフィグレーションとダイナミック・リコンフィグレーション.....	35
1.24. Fast Forward Compile.....	35
1.25. SEU (シングル・イベント・アップセット) エラー検出と訂正.....	35
1.26. 改訂履歴.....	36



1. インテル® Stratix® 10 GX / SX デバイスの概要

インテル® Stratix® 10 GX FPGA および SX SoC デバイスはインテルの 14-nm を搭載しており、従来の高性能 FPGA と比べ 2 倍のコア性能向上と 70% の消費電力削減を実現します。

このデバイスファミリーは、すべての新しい HyperFlex™ コア・アーキテクチャーを含む画期的ないくつかのイノベーションを特長とし、最先端のアプリケーションにおいてパワーバジェットを満たしながら増加し続ける帯域幅および処理性能の需要を満たします。

インテル Stratix 10 SoC デバイスは、クアッドコア 64 ビット ARM® Cortex®-A53 ベースのハード・プロセッサ・システム (HPS) を搭載しており、電力効率の高いアプリケーション・クラスの処理を提供し、ハードウェア仮想化を FPGA ファブリックに拡張します。インテル Stratix 10 SoC デバイスは、高性能な SoC へのインテルのコミットメントを提供し、ARM ベースのプロセッサ・システムを搭載したプログラマブル・デバイスにおいてインテルのリーダーシップをもたらします。

インテル Stratix 10 FPGA および SoC の重大なイノベーションには次の特長があります。

- 前世代の高性能 FPGA と比べて 2 倍のコア性能を実現可能なすべての新しい HyperFlex コア・アーキテクチャー
- 最先端のインテル 14 nm トライゲート (FinFET) 技術
- ヘテロジニアス 3D System-in-Package (SiP) テクノロジー
- 最大 550 万個のロジックエレメント (LE) を備えるモノリシック・コア・ファブリック
- ヘテロジニアス 3D SiP トランシーバー・タイルでの最大 96 個の全二重トランシーバー・チャンネル
- 最大 28.3Gbps のチップ間、チップ - モジュール間のトランシーバー・データレートとバックプレーン性能
- M20K (20 kb) の内部 SRAM メモリーブロック
- フラクショナル合成および超低ジッター LC タンクベースの TX PLL
- ハード PCI Express® Gen3 x16 IP (Intellectual Property) ブロック
- 各トランシーバー・チャンネルにおけるハード 10GBASE-KR/40GBASE-KR4 前方誤り訂正 (FEC)
- ピンあたり最大 2666 Mbps の DDR4 レートをサポートするハードメモリー・コントローラーおよび PHY
- ワットあたり 80 GFLOPS の電力効率で最大 10 TFLOPS のコンピューティング性能を備えるハード化固定小数点および IEEE 754 準拠のハード浮動小数点の可変精度デジタル信号処理 (DSP) ブロック
- SoC ファミリーバリエーションでの最大 1.5 GHz のクアッドコア 64 ビット ARM Cortex-A53 ハード・プロセッサ・システムを搭載
- 柔軟でな低電力と低スキュー・クロックツリーのためのプログラマブル・クロックツリー合成

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



- 専用のセキュア・デバイス・マネージャー (SDM) :
 - エンハンスド・デバイスのコンフィグレーションおよびセキュリティー
 - AES-256、SHA-256/384、および ECDSA-256/384 暗号化 / 複合化アクセラレーターおよび認証化
 - 多要素認証
 - PUF (Physically Unclonable Function) 機能およびソフトウェア・プログラマブル・デバイス・コンフィグレーション機能
- 前世代の高性能 FPGA に比べ最大 70% の低消費電力を実現する包括的な高度な省電力機能
- ASIC プロトタイピングおよびその他のアプリケーションをサポートする非破壊レジスタステート・リードバックおよびライトバック

これらの機能により、インテル Stratix 10 FPGA および SoC は、次のようなさまざまな市場で最も要求の厳しいアプリケーションに最適です。

- **コンピューティングとストレージ** — カスタムサービス、クラウド・コンピューティング、データ・センター・アクセラレーション用
- **ネットワーク** — Terabit (テラビット)、400G およびマルチ 100G ブリッジ、アグリゲーション、パケット処理、トラフィック管理用
- **光伝送ネットワーク** — OTU4、2xOTU4、4xOTU4 用
- **放送機器** — ハイエンド・スタジオ配線、ヘッドエンド・エンコーディング / デコーディング、エッジ直交振幅変調 (QAM) 用
- **防衛機器** — レーダー、電子戦、安全な通信用
- **医療機器** — 診断スキャナーおよび診断画像化用
- **テスト & 計測機器** — プロトコルおよびアプリケーション・テスター用
- **ワイヤレス通信** — 次世代 5G ネットワーク用
- **ASIC プロトタイピング** — 最高の I/O 数を備える高集積のモノリシック FPGA ファブリックを必要とする設計

1.1. インテル Stratix 10 デバイス・ファミリー・バリエーション

インテル Stratix 10 デバイスには FPGA (GX) および SoC (SX) の 2 種類があります。

- **インテル Stratix 10 GX** デバイスは最大 1 GHz のコアファブリック性能を提供し、モノリシック・ファブリックに最大 550 万個の LE (ロジックエレメント) を収容しています。また、個別のトランシーバー・タイル上に最大 96 個の汎用トランシーバーと、2666 Mbps DDR4 外部メモリー・インターフェイス性能も備えています。トランシーバーは最大 28.3 Gbps の短距離およびバックプレーン全体で使用できます。これらのデバイスは、最高のトランシーバー帯域幅およびコア・ファブリック性能を必要とする FPGA アプリケーションにおいて、業界をリードするインテル 14 nm トライゲート・プロセス技術の電力効率によって最適化されます。
- **インテル Stratix 10 SX** デバイスは インテル Stratix 10 GX デバイスと同等の機能セットに加えて、クアドコア 64 ビット ARM Cortex A53 ハード・プロセッサ・システムの搭載が追加されています。

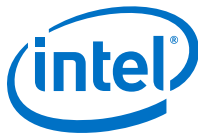


すべての インテル Stratix 10 ファミリーバリエーションでは、インターコネクト配線全体と全機能ブロックの入力での追加 Hyper-Register を含む新しい HyperFlex コア・アーキテクチャーに基づいた高性能ファブリックが共通しています。コア・ファブリックには、インテルの ALM (アダプティブ・ロジック・モジュール) と豊富な高性能のビルディング・ブロックを使用したエンハンスド・ロジックアレイも含まれています。

- M20K (20 kbit) エンベデッド・メモリー・ブロック
- ハード IEEE 754 準拠の浮動小数点ユニットを備える可変精度 DSP ブロック
- フラクショナル合成 PLL とインテジャー PLL
- 外部メモリー・インターフェイス向け PHY とハードメモリー・コントローラー
- 汎用 IO セル

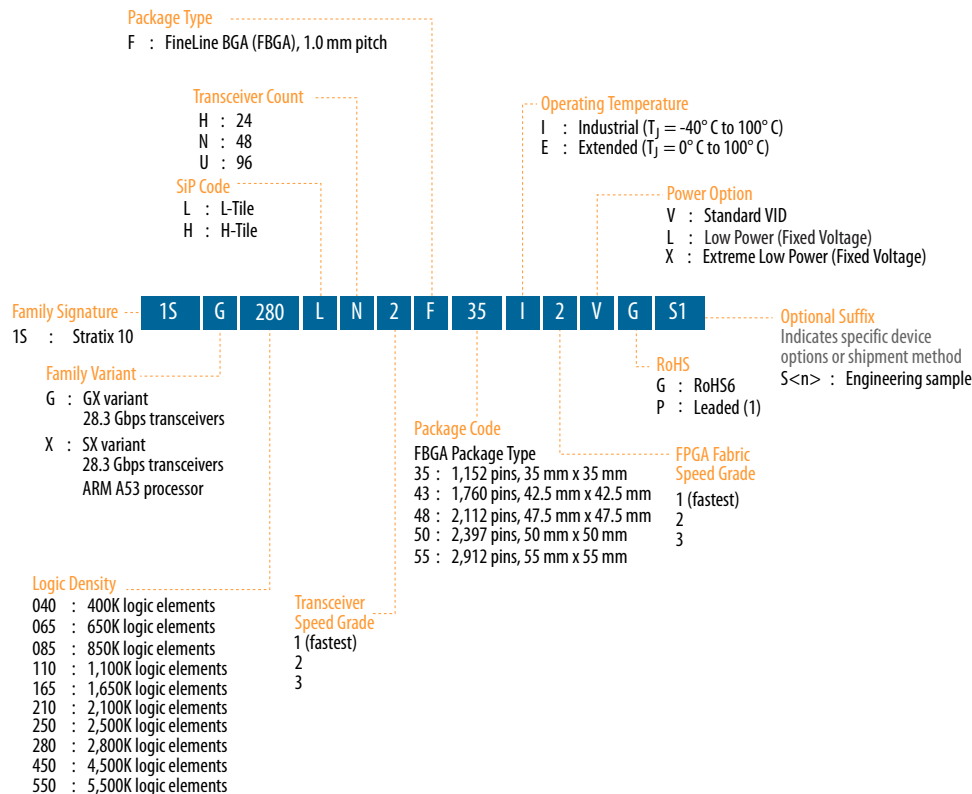
これらのビルディング・ブロックをクロックするには、インテル Stratix 10 デバイスは、専用クロックツリー配線を使用してアプリケーションで必要なクロックツリーの分岐のみを合成するプログラマブル・クロックツリー合成を使用します。すべてのデバイスは、ロジックアレイのインシステム、きめ細やかなパーソナル・リコンフィギュレーションをサポートしているため、動作中にロジックをシステムに追加したりシステムから減算したりすることができます。

さらに、すべてのファミリーバリエーションは、PMA (フィジカル・メディア・アタッチメント) と PCS (フィジカル・コーディング・サブレイヤー) を含んだ、高速シリアル・トランシーバーも備えており、さまざまな業界標準および独自のプロトコルを実装するために使用することができます。ハード PCS に加えて、インテル Stratix 10 デバイスは 1/x2/x4/x8/x16 レーン・コンフィギュレーションで Gen1/Gen2/Gen3 をサポートする PCI Express ハード IP コアの複数のインスタンス化およびすべてのトランシーバーのハード 10GBASE-KR/40GBASE-KR4 FEC を含んでいます。ハード PCS、FEC、および PCI Express IP コアは、貴重なコア・ロジックリソース解放して電力を節約し、生産性を向上させます。



1.1.1. 使用可能なオプション

図 -1: インテル Stratix 10 デバイスのサンプル製品コードと使用可能なオプション



Note:
1. Contact Intel for availability

1.2. インテル Stratix 10 FPGA および SoC におけるイノベーション

インテル Stratix 10 FPGA および SoC は従来の高性能 Stratix V FPGA と比べ大幅な改善をもたらします。

表 1. Stratix V デバイスと インテル Stratix 10 デバイスの主な機能の比較

機能	Stratix V FPGA	インテル Stratix 10 FPGA および SoC
プロセス・テクノロジー	28 nm TSMC (プレーナー型トランジスタ)	インテル 14 nm トライゲート (FinFET)
ハード・プロセッサ・コア	無	クアッドコア 64 ビット ARM Cortex-A53 (SoC のみ)
コア・アーキテクチャー	従来のインターコネクトを備える従来のコア・アーキテクチャー	インターコネクトに Hyper-Register を備える HyperFlex コア・アーキテクチャー
コア性能	500 MHz	1 GHz
消費電力	1x	最低 0.3x

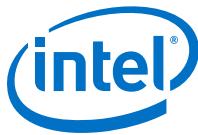
continued...



機能	Stratix V FPGA	インテル Stratix 10 FPGA および SoC
ロジック集積度	952 KLE (モノリシック)	5,500 KLE (モノリシック)
エンベデッド・メモリー (M20K)	52M ビット	229M ビット
18x18 乗算器	3,926 注意: Stratix V デバイスの乗算器は 18x18	11,520 注意: インテル Stratix 10 デバイスの乗算器は 18x19
浮動小数点 DSP 機能	最大 1 TFLOP、ソフト浮動小数点加算器と乗算器が必要	最大 10 TFLOPS、ハード IEEE 754 準拠の単精度浮動小数点加算器と乗算器が必要
最大トランシーバー数	66	96
最大トランシーバー・データレート (チップ間)	28.05 Gbps	28.3 Gbps L-Tile 28.3 Gbps H-Tile
最大トランシーバー・データレート (バックプレーン)	12.5 Gbps	12.5 Gbps L-Tile 28.3 Gbps H-Tile
ハードメモリー・コントローラー	無	DDR4 @ 1333 MHz/2666 Mbps DDR3 @ 1067 MHz/2133 Mbps
ハードプロトコル IP	PCIe Gen3 x8 (最大 4 インスタンス)	PCIe Gen3 x16 (最大 4 インスタンス) H-Tile デバイスでの SR-IOV (4 物理機能 / 2k 仮想機能) 10GBASE-KR/40GBASE-KR4 FEC
コア・クロッキングおよび PLL	フラクショナル合成 fPLL でサポートされるグローバルクロック、クワドラント・クロック、およびリージョナル・クロック	フラクショナル合成 fPLL およびインテジャ - IO PLL でサポートされるプログラマブル・クロックツリー合成
レジスター・ステート・リードバックおよびライトバック	不可	ASIC プロトタイプリングおよびその他のアプリケーション向けの非破壊レジスター・ステート・リードバックおよびライトバック

上記のイノベーションは次の点を改善します。

- コア・ロジック・パフォーマンスの向上** : インテル Stratix 10 デバイスは、インテル 14-nm トライゲート・テクノロジー搭載の HyperFlex コア・アーキテクチャーにより、従来と比べ 2 倍のコア性能の実現が可能です。
- 消費電力の低減** : インテル Stratix 10 デバイスは、インテル 14-nm トライゲート・テクノロジー、HyperFlex コア・アーキテクチャーおよびアーキテクチャーに内蔵されているオプションの消費電力削減機能により、従来と比べて最大 70% の消費電力削減が実現可能です。
- 高集積度** : インテル Stratix 10 デバイスは、モノリシック・ファブリックに最大 5,500K 個のロジックエレメント (LE)、229 Mbit の演ベド・メモリー・ブロック (M20K)、および 11,520 個の 18x19 乗算器を備えており、5 倍以上の集積度を実現します。
- エンベデッド・プロセッシング** : インテル Stratix 10 SoC は従来の Arria および Cyclone SoC デバイスと互換性のある電力効率とソフトウェアを最適化するためのクアッドコア 64 ビット ARM Cortex-A53 プロセッサを搭載しています。
- トランシーバ・パフォーマンスの向上** : インテル Stratix 10 GX および SX デバイスはヘテロジニアス 3D SiP トランシーバ・タイルに実装された最大 96 個のトランシーバ・チャンネルを搭載しており、30 dB 以上のシステム損失のイコライゼーション可能な信号処理回路でのバックプレーン全体の最大 28.3 Gbps のチップ・ツー・チップと 28.3 Gbps のデータレートをサポートします。
- DSP 性能の向上** : インテル Stratix 10 デバイスの可変精度 DSP ブロックは、最大 10 TeraFLOPS IEEE754 単精度浮動小数点性能を備えたハード固定および浮動小数点機能を備えています。



- **ハード IP 追加**：インテル Stratix 10 デバイスには従来のデバイスよりも多くのハード IP ブロックを備えており、ハードメモリー・コントローラーには各バンクに 48 個の汎用 IO、各トランシーバー・タイルにはハード PCIe Gen3 x16 フル・プロトコル・スタック、すべてのトランシーバー・チャネルにはハード 10GBASE-KR/40GBASE-KR4 FEC が備わっています。
- **強化されたコア・クロッキング**：インテル Stratix 10 デバイスはプログラマブル・ブロック・ツリー合成機能を備えており、クロックツリーは必要な位置で合成され、柔軟性を高め、クロッキング・ソリューションの消費電力を削減します。
- **PLL の追加コア**：インテル Stratix 10 デバイスのコア・ファブリックはインテジャー IO PLL とフラクショナル合成 fPLL の両方でサポートされており、従来よりも多くの PLL を使用することができます。

1.3. FPGA および SoC 機能の概要

表 2. インテル Stratix 10 FPGA および SoC デバイスの共通機能

機能	説明
テクノロジー	<ul style="list-style-type: none"> • 14 nm インテル・トライゲート (FinFET) プロセス・テクノロジー • SmartVoltage ID (VID) で制御される標準 V_{CC} オプション • 0.8 V と 0.85 V のオプション V_{CC} コア電圧
低消費電力シリアル・トランシーバー	<ul style="list-style-type: none"> • 最大 96 個のトランシーバーが使用可能 • インテル Stratix 10 GX/SX デバイスでの 1 ~ 28.3 Gbps の連続動作範囲 • インテル Stratix 10 GX/SX デバイス最大 28.3 Gbps をサポートするバックプレーン • オーバーサンプリングを使用した最小 125 Mbps の拡張可能 • ユーザーによるコンフィグレーション可能なフラクショナル合成機能を備えた ATX 送信 PLL • XFP, SFP+, QSFP/QSFP28, CFP/CFP2/CFP4 の光モジュールをサポート • アダプティブ・リニアアードとデジション・フィードバック・イコライゼーション • 送信プリエンファシスとディエンファシス • 個々のトランシーバー・チャネルのダイナミック・パーシャル・リコンフィグレーション • オンチップ計測 (Eye Viewer 非侵入型データ・アイ・モニタリング)
汎用 I/O	<ul style="list-style-type: none"> • 最大 1640 個の GPIO が使用可能 • 1.6 Gbps LVDS — すべてのペアをレシーバーもしくはトランスミッターとしてコンフィグレーション可能 • 1333 MHz/2666 Mbps DDR4 外部メモリー・インターフェイス • 1067 MHz/2133 Mbps DDR3 外部メモリー・インターフェイス • 1.2 V ~ 3.0 V のシングルエンド LVCMOS/LVTTL とのインターフェイス • オンチップ終端 (OCT)
エンベデッド・ハード IP	<ul style="list-style-type: none"> • PCIe Gen1/Gen2/Gen3 完全なプロトコルスタック、x1/x2/x4/x8/x16 エンドポイントおよびルートポート • DDR4/DDR3/LPDDR3 ハードメモリー・コントローラー (ソフト・メモリー・コントローラーを使用する RLD RAM3/QDR II+/QDR IV) • 各デバイス内での複数のハード IP インスタンス化 • シングルルート I/O 仮想化 (SR-IOV)
トランシーバー・ハード IP	<ul style="list-style-type: none"> • 10GBASE-KR と 40GBASE-KR4 の前方向誤り訂正 (FEC) • 10G Ethernet PCS • PCI Express (PIPE) インターフェイス • Interlaken PCS • ギガビット・イーサネット PCS • 確定的レイテンシーをサポートする CPRI (Common Public Radio Interface) PCS

continued...



機能	説明
	<ul style="list-style-type: none"> 高速ロックタイムをサポートする GPON (ギガビット受動光ネットワーク) PCS 8B/10B、64B/66B、64B/67B のエンコーダーとデコーダー 独自規格のプロトコル向けのカスタム・モード・サポート
消費電力管理	<ul style="list-style-type: none"> SmartVoltage ID 制御のスタンダード V_{CC} オプション 低スタティック消費電力デバイスオプション インテル Quartus® Prime 開発ソフトウェア・プロ・エディション消費電力解析
高性能モノリシック・コア・ファブリック	<ul style="list-style-type: none"> インターコネクト配線とすべての機能ブロックの入力にわたる Hyper-Register を使用した HyperFlex コア・アーキテクチャー モノリシック・ファブリックにより、コンパイル時間を短縮し、ロジック使用率を向上 強化されたアダプティブ・ロジック・モジュール (ALM) 輻輳を低減し、コンパイル時間を向上させる目的で改良された MultiTrack 配線アーキテクチャー プログラマブル・クロックツリー合成を備えた階層コアクロック・アーキテクチャー きめ細かなパーシャル・リコンフィグレーション
内部メモリーブロック	<ul style="list-style-type: none"> M20K — ハード誤り訂正コード (ECC) を備えた 20Kb メモリーブロック MLAB — 分散された LUTRAM の 640 ビット・メモリー
可変精度 DSP ブロック	<ul style="list-style-type: none"> IEEE 754 準拠のハード単精度浮動小数点機能 18x19 から 54x54 までの精度レベルの信号処理をサポート 27x27 と 18x19 乗算器モードをネイティブにサポート シストリック有限インパルス応答 (FIR) 用の 64 ビット・アキュムレーターおよびカスケード接続 内部係数メモリーバンク 前置加算器と前置減算器による効率の向上 パイプライン・レジスターの増設による性能向上と消費電力の低減
フェーズ・ロック・ループ (PLL)	<ul style="list-style-type: none"> フラクショナル・モードおよびインテジャー・モードをサポートするフラクショナル合成 PLL (fPLL) 3 次デルタシグマ変調を備えたフラクショナル・モード プログラマブル周波数合成 汎用 I/O に隣接するインテジャー PLL、外部メモリー、LVDS インターフェイス、クロック遅延補償、ゼロ遅延バッファをサポート
コア・クロック・ネットワーク	<ul style="list-style-type: none"> 1 GHz ファブリック・クロッキング 2666 Mbps の DDR4 インターフェイスを備えた 667 MHz 外部メモリー・インターフェイス・クロッキングをサポート 1600 Mbps の LVDS インターフェイスを備えた 800 MHz LCDS インターフェイス・クロッキングをサポート リージョナル、およびペリフェラル・クロック・ネットワークとの後方互換性のあるプログラム可能なクロックツリー合成グローバル ダイナミック電力を最小限に抑えるための必要に応じてのみ合成されるクロック
コンフィグレーション	<ul style="list-style-type: none"> 専用のセキュア・デバイス・マネージャー ソフトウェア・プログラマブル・デバイス・コンフィグレーション シリアルおよびパラレル・フラッシュ・インターフェイス PCIe Gen1、Gen2、または Gen3 を使用する CvP (Configuration via protocol) コア・ファブリックのきめ細かなパーシャル・リコンフィグレーション

continued...



機能	説明
	<ul style="list-style-type: none"> トランシーバーと PLL のダイナミック・リコンフィグレーション AES-256, SHA-256/384, ECDSA-256/384 アクセラレーター、および多要素認証 (MFA) を含む包括的なセキュリティ機能 PUF (Physically Unclonable Function) サービス
パッケージング	<ul style="list-style-type: none"> インテルの Embedded Multi-die Interconnect Bridge (EMIB) パッケージング・テクノロジー 異なるデバイス集積度間でシームレスな移行が可能な同一パッケージ・フットプリント備えた複数のデバイス集積度 ボール間隔が 1.0 mm の Fineline BGA パッケージ 鉛および鉛フリー・パッケージのオプション
ソフトウェアとツール	<ul style="list-style-type: none"> 新しいコンパイラと Hyper-Aware デザインフローを備えた インテル Quartus Prime 開発ソフトウェア・プロ・エディション デザインスイート HyperFlex アーキテクチャーの性能を限界まで引き出す Fast Forward コンパイラ トランシーバー・ツールキット プラットフォーム・デザイン統合ツール DSP Builder アドバンスド・ブロックセット OpenCL™ サポート SoC エンベデッド・デザインスイート (EDS)

表 3. インテル Stratix 10 SoC デバイス特定の機能

SoC サブシステム	機能	説明
ハード・プロセッサ・システム	マルチプロセッサ・ユニット (MPU) コア	<ul style="list-style-type: none"> ARM CoreSight デバッグおよびトレース・テクノロジーを備えたクアドコア ARM Cortex-A53 MPCore プロセッサ 単精度および倍精度をサポートするスカラー浮動小数点ユニット 各プロセッサに ARM NEON メディア・プロセッシング・エンジンを装備
	システム・コントローラー	<ul style="list-style-type: none"> システム・メモリー・マネージメント・ユニット (SMMU) キャッシュ・コヒーレンシー・ユニット (CCU)
	レイヤー 1 キャッシュ	<ul style="list-style-type: none"> 32 KB L1 命令キャッシュパリティ 32 KB L1 ECC 付きデータ・キャッシュ
	レイヤー 2 キャッシュ	<ul style="list-style-type: none"> ECC を備えた 1 MB の共有 L2 キャッシュ
	オンチップ・メモリー	<ul style="list-style-type: none"> 256 KB のオンチップ・メモリー
	ダイレクト・メモリー・アクセス (DMA) コントローラー	<ul style="list-style-type: none"> 8 チャンネルの DMA
	イーサネット・メディア・アクセス・コントローラー (EMAC)	<ul style="list-style-type: none"> 統合された DMA を備えた 3 つの 10/100/1000 EMAC
	USB On-The-Go (OTG) コントローラー	<ul style="list-style-type: none"> 統合された DMA を備えた 2 つの USB OTG
	UART コントローラー	<ul style="list-style-type: none"> 2 つの 16550 UART 互換性
	SPI (Serial Peripheral Interface) コントローラー	<ul style="list-style-type: none"> 4 つの SPI
	I ² C コントローラー	<ul style="list-style-type: none"> 5 つの I²C コントローラー
	SD/SDIO/MMC コントローラー	<ul style="list-style-type: none"> DMA と CE-ATA をサポート 1 つの eMMC バージョン 4.5 eSD を含む SD バージョン 3.0 eSDIO を含む SDIO バージョン 3.0 CE-ATA バージョン 1.1
	NAND フラッシュ・コントローラー	<ul style="list-style-type: none"> 1 ONFI 1.0, 8 ビットおよび 16 ビットをサポート

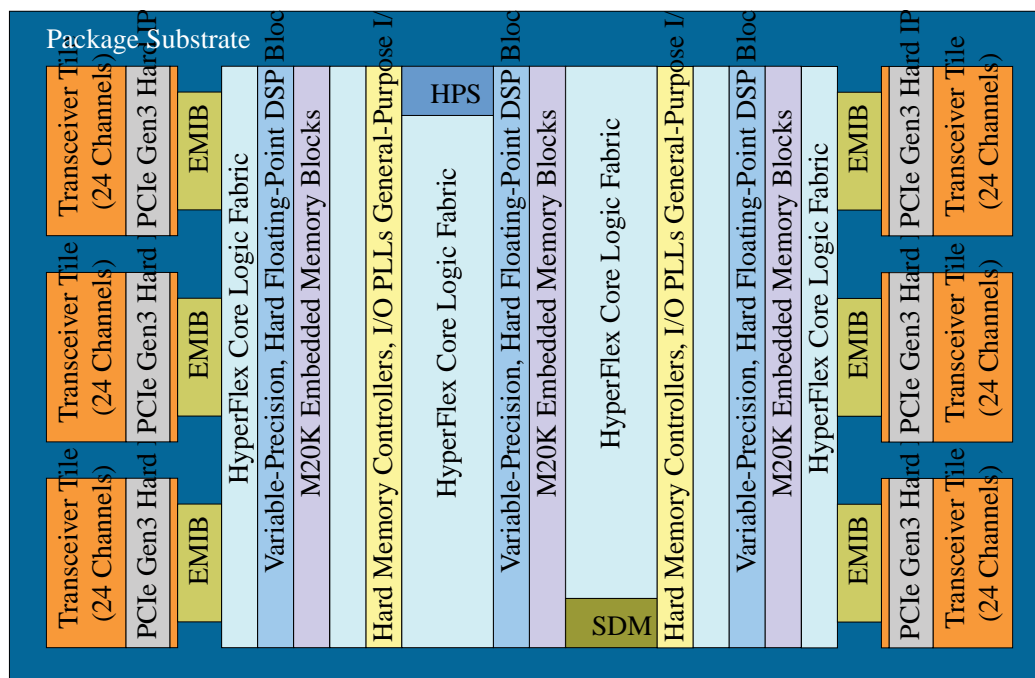
continued...



SoC サブシステム	機能	説明
	汎用 I/O (GPIO)	<ul style="list-style-type: none"> 最大 48 個のソフトウェア・プログラマブル GPIO
	タイマー	<ul style="list-style-type: none"> 4 つの汎用タイマー 4 つのウォッチドッグ・タイマー
SDM (セキュア・デバイス・マネージャー)	セキュリティ	<ul style="list-style-type: none"> セキュアブート 高度暗号化規格 (AES) と認証 (SHA/ECDSA)
外部メモリー・インターフェイス	外部メモリー・インターフェイス	<ul style="list-style-type: none"> DDR4, DDR3, および LPDDR3 を備えたハードメモリー・コントローラー

1.4. インテル Stratix 10 デバイスのブロック図

図 -2: インテル Stratix 10 FPGA および SoC アーキテクチャー・ブロック図



HPS: クアッド ARM Cortex-A53 ハード・プロセッサ・システム

SDM: セキュア・デバイス・マネージャー

EMIB: エンベデッド・マルチダイ・インターコネクト・ブリッジ

1.5. インテル Stratix 10 FPGA および SoC ファミリープラン

(1) 27x27 乗算器数は 18x19 乗算器数の半分です。



表 4. インテル Stratix 10 GX/SX FPGA および SoC ファミリープラン 1 – FPGA コア

インテル Stratix 10 GX/SX デバイス名	ロジックエレメント (KLE)	M20K ブロック数	M20K Mbits	MLAB 数	MLAB Mbits	18X19 乗算器数 (1)
GX 400/ SX 400	378	1,537	30	3,204	2	1,296
GX 650/ SX 650	612	2,489	49	5,184	3	2,304
GX 850/ SX 850	841	3,477	68	7,124	4	4,032
GX 1100/ SX 1100	1,092	4,401	86	9,540	6	5,040
GX 1650/ SX 1650	1,624	5,851	114	13,764	8	6,290
GX 2100/ SX 2100	2,005	6,501	127	17,316	11	7,488
GX 2500/ SX 2500	2,422	9,963	195	20,529	13	10,022
GX 2800/ SX 2800	2,753	11,721	229	23,796	15	11,520
GX 4500/ SX 4500	4,463	7,033	137	37,821	23	3,960
GX 5500/ SX 5500	5,510	7,033	137	47,700	29	3,960

表 5. インテル Stratix 10 GX/SX FPGA および SoC ファミリープラン 2 – インターコネク、PLL およびハード IP

インテル Stratix 10 GX/SX デバイス名	インターコネク		PLL		ハード IP
	最大 GPIO 数	最大 XCVR 数	fPLL 数	I/O PLL 数	PCIe ハード IP ブロック数
GX 400/ SX 400	392	24	8	8	1
GX 650/ SX 650	400	48	16	8	2
GX 850/ SX 850	736	48	16	15	2
GX 1100/ SX 1100	736	48	16	15	2
GX 1650/ SX 1650	704	96	32	14	4
GX 2100/ SX 2100	704	96	32	14	4
GX 2500/ SX 2500	1160	96	32	24	4

continued...



インテル Stratix 10 GX/SX デバイス名	インターコネクト		PLL		ハード IP
	最大 GPIO 数	最大 XCVR 数	fPLL 数	I/O PLL 数	PCIe ハード IP ブロック数
GX 2800/ SX 2800	1160	96	32	24	4
GX 4500/ SX 4500	1640	24	8	34	1
GX 5500/ SX 5500	1640	24	8	34	1

表 6. インテル Stratix 10 GX/SX FPGA および SoC ファミリー・パッケージ・プラン 1

セルの凡例：汎用 I/O、高電圧 I/O、LVDS ペア、トランシーバー⁽²⁾ (3) (4) (5) (6) (7)

インテル Stratix 10 GX/SX デバイス名	F1152 HF35 (35x35 mm ²)	F1760 NF43 (42.5x42.5 mm ²)	F1760 NF43 (42.5x42.5 mm ²)
GX 400/ SX 400	392, 8, 192, 24		
GX 650/ SX 650	392, 8, 192, 24	400, 16, 192, 48	
GX 850/ SX 850			688, 16, 336, 48
GX 1100/ SX 1100			688, 16, 336, 48
GX 1650/ SX 1650			688, 16, 336, 48
GX 2100/ SX 2100			688, 16, 336, 48
GX 2500/ SX 2500			688, 16, 336, 48
GX 2800/ SX 2800			688, 16, 336, 48

continued...

- (2) すべてのパッケージは 1.0mm ピッチのボール・グリッド・アレイです。
- (3) 高電圧 I/O ピンは 3 V および 2.5 V のインターフェイスで使用されます。
- (4) 各 LVDS ペアは差異入力または差異出力のいずれかとしてコンフィグレーションされます。
- (5) 高電圧 I/O ピンおよび LVDS ペアは汎用 I/O 数に含まれています。トランシーバーは別にカウントされます。
- (6) 各パッケージのカラムは、カラム内ですべてのデバイスのピン・マイグレーション (共通回路ボード・フットプリント) を提供しています。
- (7) インテル Stratix 10 GX デバイスは同じパッケージ内の インテル Stratix 10 SX デバイスでピン・マイグレーションが可能です。



インテル Stratix 10 GX/SX デバイス名	F1152 HF35 (35x35 mm ²)	F1760 NF43 (42.5x42.5 mm ²)	F1760 NF43 (42.5x42.5 mm ²)
SX 2800			
GX 4500/ SX 4500			
GX 5500/ SX 5500			

表 7. インテル Stratix 10 GX/SX FPGA および SoC ファミリー・パッケージ・プラン 2

セルの凡例：汎用 I/O、高電圧 I/O、LVDS ペア、トランシーバー⁽²⁾ ⁽³⁾ ⁽⁴⁾ ⁽⁵⁾ ⁽⁶⁾ ⁽⁷⁾

インテル Stratix 10 GX/SX デバイス名	F2112 NF48 (47.5x47.5 mm ²)	F2397 UF50 (50x50 mm ²)	F2912 HF55 (55x55 mm ²)
GX 400/ SX 400			
GX 650/ SX 650			
GX 850/ SX 850	736, 16, 360, 48		
GX 1100/ SX 1100	736, 16, 360, 48		
GX 1650/ SX 1650		704, 32, 336, 96	
GX 2100/ SX 2100		704, 32, 336, 96	
GX 2500/ SX 2500		704, 32, 336, 96	1160, 8, 576, 24
GX 2800/ SX 2800		704, 32, 336, 96	1160, 8, 576, 24
GX 4500/ SX 4500			1640, 8, 816, 24
GX 5500/ SX 5500			1640, 8, 816, 24

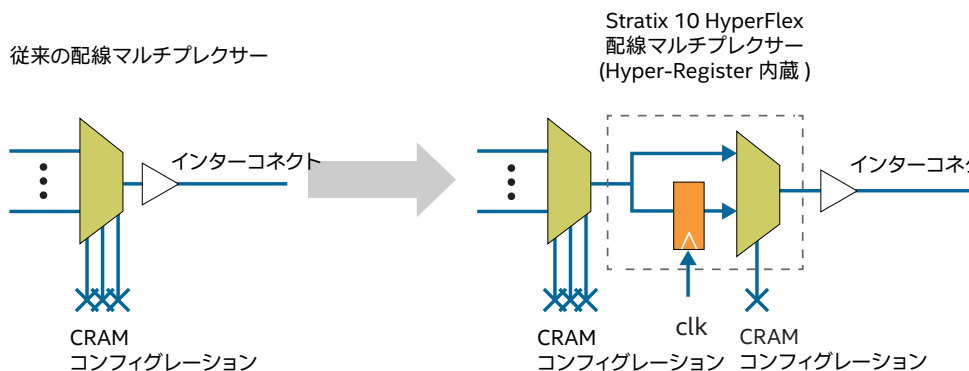
1.6. HyperFlex コア・アーキテクチャー

インテル Stratix 10 FPGA および SoC は、新しい HyperFlex コア・アーキテクチャーを搭載したモノリシック・コア・ファブリックに基づいています。HyperFlex コア・アーキテクチャーは、従来のハイエンド FPGA に比べ 2 倍のクロック周波数性能を駆動し、最大 70% の消費電力削減を実現します。HyperFlex コア・アーキテクチャーは、この性能のブレークスルーに加えて次の多くの利点があります。

- **スループットの向上** — 2 倍のコア性能を活用することでスループットのブレークスルーをもたらします。
- **電力効率の改善** — HyperFlex によって小型化された IP サイズを使用することで、以前であれば複数のデバイスにまたがっていたデザインを 1 つのデバイスに統合し、従来のデバイスに比べ最大 70% 電力を削減します。
- **デザイン機能強化** — 高速化されたクロック周波数により、バス幅と IP サイズを縮小し、FPGA リソースをさらに解放し、より優れた機能が追加可能です。
- **設計者の生産性向上** — Hyper-Aware デザインツールを使用して、配線密集とデザインのイタレーションを減少し、タイミング・クロージャをより迅速にするタイミングマージンを拡大します。

アダプティブ・ロジック・モジュール (ALM) に見られる従来型のユーザーロジックに加え、HyperFlex コア・アーキテクチャーは FPGA ファブリック全域にわたってバイパス可能なレジスターが埋め込まれています。Hyper-Register と呼ばれるこの追加レジスターは、すべてのインターコネクト配線セグメントと、すべてのファンクション・ブロックの入力で使用できます。

図 -3: バイパス可能な Hyper-Register

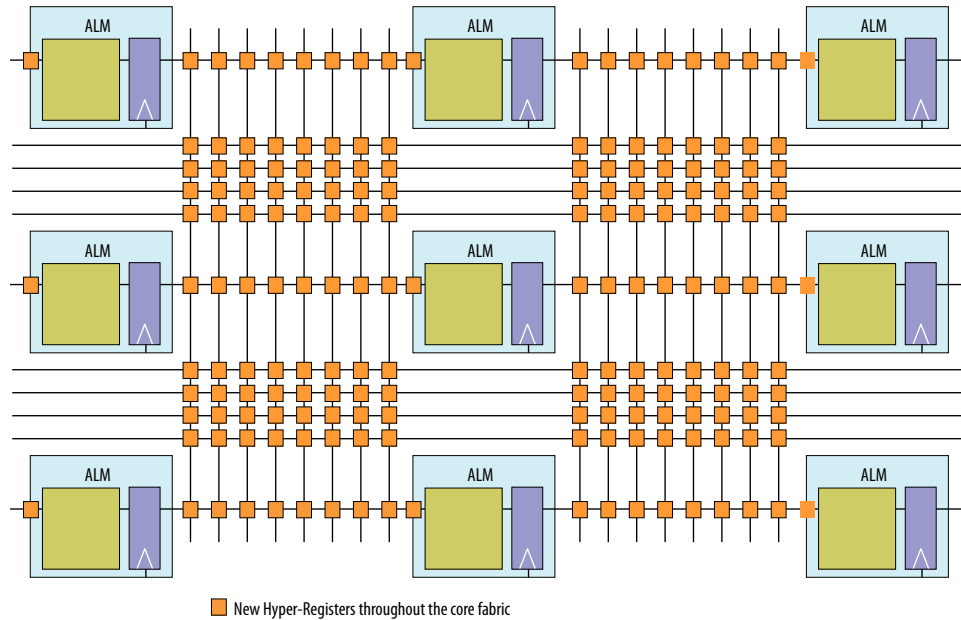


Hyper-Register は 2 倍のコア性能を達成するために次の主要なデザイン手法を有効にします。

- クリティカル・パスを解消するきめ細かい Hyper-Retiming
- 配線遅延を解消するゼロ・レイテンシーの Hyper-Pipelining
- クラス最高の性能を実現する柔軟な Hyper-Optimization

これらの手法をデザインで使用すると、Hyper-Aware デザインツールは Hyper-Register を自動的に使用して、最大のコアクロック周波数を実現します。

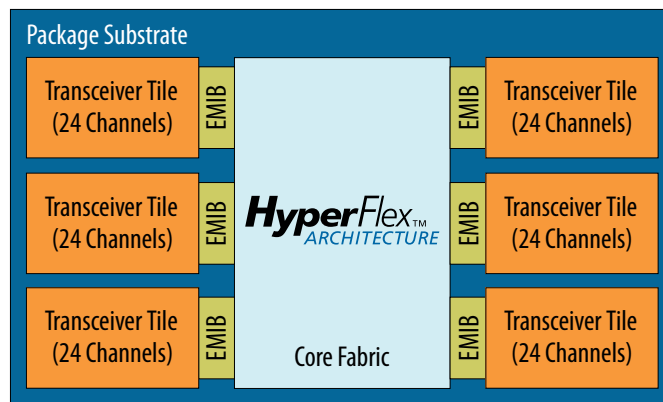
図 -4: HyperFlex コア・アーキテクチャー



1.7. ヘテロジニアス 3D SiP トランシーバー・タイル

インテル Stratix 10 FPGA および SoC は、電力効率が高く、高帯域幅で低遅延のトランシーバーを搭載しています。トランシーバーは、それぞれ 24 個の全二重トランシーバーチャンネルを含んでいるヘテロジニアス 3D SiP (System-in-Package) トランシーバー・タイルに実装されています。現在の接続ニーズを満たす高性能トランシーバー・ソリューションの提供に加えて、データレート、変調方式、およびプロトコル IP の進化につれて柔軟性とスケーラビリティを実現します。

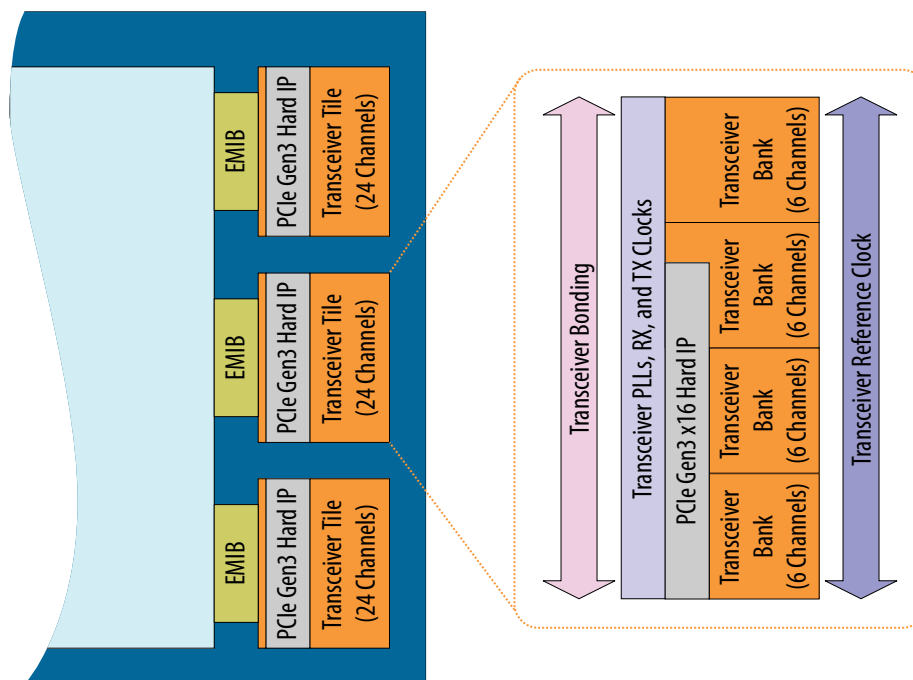
図 -5: モノリシック・コア・ファブリックおよびヘテロジニアス 3D SiP トランシーバ・タイル



各トランシーバー・タイルには次が含まれます。

- 24 個の全二重トランシーバー・チャンネル (PMA および PCS)
- リファレンス・クロック分配ネットワーク
- 送信 PLL
- 高速クロッキングおよびボンディング・ネットワーク
- PCI Express ハード IP のインスタンス 1 つ

図 -6: ヘテロジニアス 3D SiP トランシーバー・タイルのアーキテクチャー



1.8. インテル Stratix 10 デバイスのトランシーバー

インテル Stratix 10 デバイスは動作可能な最大 96 個の全二重トランシーバー・チャンネルを提供します。これらのチャンネルは、チップ間、チップ - モジュール、およびバックプレーン・アプリケーションで 1 Gbps から 28.3 Gbps の連続したデータレートを提供します。各デバイスでは、100G インターフェイスおよび C Form-factor Pluggable CFP2/CFP4 光モジュールを駆動するために、トランシーバーの三分の二が最大データレート 28.3 Gbps までコンフィグレーションできます。長距離向けバックプレーン駆動のアプリケーションの場合、アドバンスド・アダプティブ・イコライゼーション回路は 30 dB を超えるシステム損失を等化するために使用されます。

すべてのトランシーバー・チャンネルは、専用の Physical Medium Attachment (PMA) と強化された Physical Coding Sublayer (PCS) を備えています。

- PMA は物理チャンネルとの最初のインターフェイス機能を提供します。
- PCS は、通常、FPGA コア・ファブリックにデータを転送する前にエンコードやデコード、またはワード・アライメントをはじめとする予備的処理を実行します。



各トランシーバー・タイル内において、トランシーバーは 6 つの PMA-PCS にグループ化された 4 つのバンクに配置されています。高度にコンフィグレーションが可能なクロック分配ネットワークを使用すると、各バンク内および各タイル内でさまざまな結合および非結合データレートのコンフィグレーションが可能です。

1.8.1. PMA の機能

PMA チャンネルはトランスミッター (Tx)、レシーバー (Rx) および高速クロッキング・リソースで構成されています。

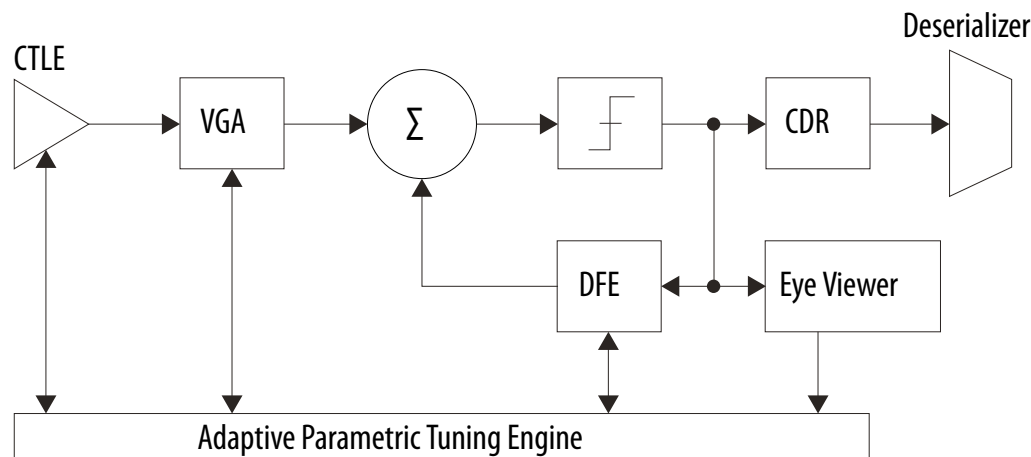
インテル Stratix 10 デバイスは最大で 28.3 Gbps のデータレートの非常に優れたシグナル・インテグリティを提供します。クロックのオプションには、オプション・フラクショナル合成機能を備えた超低ジッター LC タンクベース (ATX) PLL、クロック乗算ユニット (CMU) として動作するチャンネル PLL、ならびにフラクショナル合成 PLL (fPLL) が含まれます。

- **ATX PLL**— インテジャー・モード、あるいはオプションで新しく追加されたフラクショナル合成モードでコンフィグレーション可能です。各 ATX PLL はサポートしているデータレート範囲の最大周波数範囲にまで及ぶため、低ジッターの安定した柔軟性のあるクロックソースを提供します。
- **CMU PLL**— トランシーバーとして使用していない場合は、選択する PMA チャンネルは、トランシーバー・バンク内に追加のマスター・クロックソースを提供するために、CMU として動作するチャンネル PLL としてコンフィグレーションできます。
- **fPLL**— 更に、精度周波数合成機能を持つ専用 fPLL も利用可能です。fPLL は、1 つのリファレンス・クロックソースから複数のクロック周波数を同期させ、複数のプロトコルおよび複数のレートを持つアプリケーションに対し複数のリファレンス・オシレーターを置き換えるために使用できます。

レシーバー側には、各 PMA にクロック・データ・リカバリーのアナログ・トラッキングを可能にする独立したチャンネル PLL が含まれます。また、各 PMA は広範囲の周波数スペクトルにおいてトランスミッション・ロスを補償するアドバンスド・イコライゼーション回路も備えています。

- **可変ゲインアンプ (VGA)** — レシーバーのダイナミック・レンジを最適化します。
- **連続時間リニア・イコライザー (CTLE)** — 最も低い消費電力でチャンネル・ロスを補償します。
- **デジジョン・フィードバック・イコライザー (DFE)** — クロストークや反射がある状態でもバックプレーン上に追加のイコライゼーション機能を提供します。
- **オンダイ・インストルメンテーション (ODI)** — ボード立ち上げ中のリンク・イコライゼーション・パラメーターの最適化とインシステム・リンク診断およびイコライゼーション・マージン・テストに役立つオンダイ・アイ・モニタリング機能 (Eye Viewer) を提供します。

図 -7: インテル Stratix 10 のレシーバブロックの機能



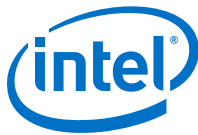
すべてのリンク・イコライゼーション・パラメーターは、新しいアドバンスド・デジタル・アダプティブ・パラメトリック・チューニング (ADAPT) 回路を使用した自動アダプテーション機能を備えています。この回路は DFE タップ重量を動的に設定するために使用され、CTLE パラメーターを調整して VGA ゲインとしきい電圧を最適にします。最後に、強化された新しい Precision Signal Integrity Calibration Engine (PreSICE) を使用して、電源投入時にすべてのトランシーバ回路ブロックを自動的にキャリブレーションすることで、最適で一貫したシグナル・インテグリティが保証されます。これにより、リンクマージンが最大になり、堅牢で信頼性が高くエラーのない動作が保証されます。

表 8. トランシーバ PMA の機能

機能	性能
チップ間のデータレート	1 Gbps ⁽⁸⁾ ~ 28.3 Gbps (インテル Stratix 10 GX/SX デバイス)
バックプレーン・サポート	10GBASE-KR 準拠を含め、最大 28.3 Gbps のデータレートでバックプレーンを駆動
光モジュールサポート	SFP+/SFP, XFP, CXP, QSFP/QSFP28, QSFPDD, CFP/CFP2/CFP4
ケーブル駆動サポート	SFP+ Direct Attach、ケーブル経由の PCI Express、eSATA
送信プリエンファシス	システムチャネルの損失を補償する 5 タップ送信プリエンファシスおよびディエンファシス
連続時間リニア・イコライザ (CTLE)	デュアルモード、高ゲイン、高データレート、システムチャネルの損失を補償するリニア受信イコライゼーション
デジション・フィードバック・イコライザ (DFE)	クロストークのある、またノイズの多い環境下でのバックプレーン・チャネル損失をイコライズするための 15 個の固定タップ DFE
アドバンスド・デジタル・アダプティブ・パラメトリック・チューニング (ADAPT)	CTLE、DFE、VGA ブロックを含んだ、ユーザーロジックからの介入なしで最適なリンクマージンを提供するすべてのリンク・イコライゼーション・パラメーターを自動的に調整する、完全なデジタル・アダプティブ・エンジン
高精度シグナル・インテグリティ・キャリブレーション・エンジン (PreSICE)	電源投入時にすべてのトランシーバのキャリブレーション・パラメーターを迅速に補正し最適なシグナル・インテグリティとジッター・パフォーマンスを提供する、ハード化されたキャリブレーション・コントローラー
送信用 LC PLL	標準プロトコルや独自開発プロトコルといった広範囲を網羅する連続したチューニング範囲を備えた低ジッター ATX (インダクター - コンデンサー) PLL

continued...

(8) Stratix 10 のトランシーバはオーバー・サンプリングで 1 Gbps 未満のデータレートがサポート可能です。



機能	性能
フラクショナル PLL	オンボード水晶発振器に替わって使用が可能で、システムコストを削減するオンチップのフラクショナル周波数シンセサイザー
デジタル・アシスト・アナログ CDR	高速ロック時間による優れたジッター耐性
オンダイ計測 —Eye Viewer およびジッター・マージン・ツール	非侵入型高解像度アイ・モニタリング (Eye Viewer) を使用して、ボード立ち上げ、デバッグ、診断の簡素化します。また、トランスミッターからジッターを注入し、システムのリンクマージンを検証します。
ダイナミック・リコンフィグレーション	トランシーバーの最高の柔軟性を達成するために各トランシーバー・チャンネルを個別に制御することを可能にする Avalon メモリーマップド (memory-mapped) インターフェイス
PCS-PMA と PCS-PLD の多様なインターフェイス幅	デシリアライゼーション幅、エンコーディング、およびレイテンシー削減を柔軟にする、8 ビット、10 ビット、16 ビット、20 ビット、32 ビット、40 ビット、または 64 ビットのインターフェイス幅

1.8.2. PCS の機能

インテル Stratix 10 の PMA チャンネルは、コンフィグレーションおよびバイパスが可能な PCS インターフェイス層を介してコアロジックとインターフェイスします。

PCS は PMA と PCS インターフェイス幅を分離する複数のギアボックス実装を備えています。この機能により、各トランシーバーとコアロジック間で 8、10、16、20、32、40、または 64 ビット幅を持つ広範囲のアプリケーションを柔軟に実装できます。

また、PCS は広範囲のデータレートとエンコーディング方式にわたり、さまざまな標準プロトコルおよび独自のプロトコルをサポートするハード IP も備えています。Standard PCS モードは、最大 12.5 Gbps の 8B/10B エンコード化アプリケーションをサポートします。Enhanced PCS モードは、最大 17.4 Gbps の 64B/66B および 64B/67B エンコード化アプリケーションをサポートします。さらに、Enhanced PCS モードは内蔵の 10GBASE-KR/40GBASE-KR4 の Forward Error Correction (FEC : 前方誤り訂正) 回路も備えています。より高いカスタマイズの実装の場合、PCS Direct モードはカスタム・エンコーディングと 28.3 Gbps までのデータレートのサポートを可能にする最大 64 ビット幅のインターフェイスを提供します。

PCS-Core インターフェイスまたはダブルレート転送モードについては詳しくは *インテル Stratix 10 L- and H-Tile Transceiver PHY User Guide* および *インテル Stratix 10 E-Tile Transceiver PHY User Guide* を参照してください。

表 9. トランシーバー PCS の機能

PCS プロトコルのサポート	データレート (Gbps)	トランスミッター・データパス	レシーバー・データパス
Standard PCS	1 ~ 12.5	位相補償 FIFO、バイト・デシリアライザー、8B/10B エンコーダー、ビット・ストリッパー、チャンネル・ボンディング	レートマッチ FIFO、ワードアライメント、8B/10B デコーダー、バイト・デシリアライザー、バイト・オーダリング
PCI Express Gen1/Gen2 x1、x2、x4、x8、x16	2.5、5.0	コアへの Standard PCS と PIPE 2.0 のインターフェイスと同じ	コアへの Standard PCS と PIPE 2.0 のインターフェイスと同じ
PCI Express Gen3 x1、x2、x4、x8、x16	8.0	位相補償 FIFO、バイト・シリアライザー、エンコーダー、スクランブラー、ビット・ストリッパー、ギアボックス、チャンネル・ボンディング、PIPE 3.0 インターフェイスからコア、自動速度ネゴシエーション	レートマッチ FIFO (0 ~ 600 ppm モード)、ワードアライナー、デコーダー、デスクランブラー、位相補償 FIFO、ブロック同期、バイト・デシリアライザー、バイト・オーダリング、PIPE 3.0 インターフェイスからコア、自動速度ネゴシエーション
CPRI	0.6144 ~ 9.8	確定的レイテンシー・シリアライゼーションのある Standard PCS と同じ	確定的レイテンシー・デシリアライゼーションのある Standard PCS と同じ

continued...



PCS プロトコルのサポート	データレート (Gbps)	トランスミッター・データパス	レシーバー・データパス
Enhanced PCS	2.5 ~ 17.4	FIFO、チャネルボンディング、ビット・スリッパ、ギアボックス	FIFO、ブロック同期、ビット・スリッパ、ギアボックス
10GBASE-R	10.3125	FIFO、64B/66B エンコーダー、スクランブラー、FEC、ギアボックス	FIFO、64B/66B デコーダー、デスクランブラー、ブロック同期、FEC、ギアボックス
Interlaken	4.9 ~ 17.4	FIFO、チャネルボンディング、フレーム・ジェネレーター、CRC-32 ジェネレーター、スクランブラー、ディスパリティ・ジェネレーター、ビット・スリッパ、ギアボックス	FIFO、CRC-32 チェッカー、フレーム同期、デスクランブラー、ディスパリティ・チェッカー、ブロック同期、ギアボックス
SFI-S または SFI-5.2	11.3	FIFO、チャネルボンディング、ビット・スリッパ、ギアボックス	FIFO、ビット・スリッパ、ギアボックス
IEEE 1588	1.25 ~ 10.3125	FIFO (固定レイテンシー)、64B/66B エンコーダー、スクランブラー、ギアボックス	FIFO (固定レイテンシー)、64B/66B デコーダー、デスクランブラー、ブロック同期、ギアボックス
SDI	12.5 (最大)	FIFO、ギアボックス	FIFO、ビット・スリッパ、ギアボックス
GigE	1.25	GigE ステートマシンのある Standard PCS と同じ	GigE ステートマシンのある Standard PCS と同じ
PCS Direct	28.3 (最大)	カスタム	カスタム

関連情報

[Intel Stratix 10 L- and H-Tile Transceiver PHY User Guide](#)

1.9. PCI Express Gen1/Gen2/Gen3 ハード IP コア

インテル Stratix 10 デバイスは、性能、使いやすさ、機能の向上、および設計者の生産性を考慮して設計された PCIe (PCI Express) ハード IP コアを備えています。

PCIe ハード IP コアは PHY、データリンク、およびトランザクション層から構成されています。x1/x2/x4/x8/x16 レーン・コンフィグレーションにおいて PCI Express Gen1/Gen2/Gen3 エンドポイントとルートポートをサポートします。PCI Express ハード IP コアは、コアロジックから独立して動作できます (Autonomous モード)。この機能により、残りのデバイスがコンフィグレーションを処理している間に、PCI Express リンクの起動およびリンク・トレーニングを 100 ms 以内で完了させることができます。また、ハード IP コアは、Single Root I/O Virtualization (SR-IOV) やオプションのプロトコル拡張といった新機能を容易にサポートできる追加機能を提供します。

PCIe ハード IP コアは、エラーの検出と訂正 (ECC) を使用することで、エンド・ツー・エンドのデータ・パス保護を改善します。さらに、ハード IP コアは Gen1/Gen2/Gen3 レートでの PCIe バス間におけるプロトコルを介したデバイスのコンフィグレーション (CvP) もサポートします。

1.10. Interlaken PCS ハード IP コア

インテル Stratix 10 デバイスには、レーンごとに最大 17.4 Gbps までをサポートする Interlaken PCS ハード IP コアが内蔵されています。

Interlaken PCS ハード IP コアは、インテルの従来の FPGA 向けに開発された実績のある PCS の機能性に基づいており、Interlaken ASSP ベンダーとサードパーティー IP サプライヤーとの相互運用性の実証されています。Interlaken PCS ハード IP コアは インテル Stratix 10 デバイスのすべてのトランシーバー・チャンネルに含まれています。

1.11. 10G イーサネット・ハード IP コア

インテル Stratix 10 デバイスは IEEE 802.3 10 Gbps Ethernet (10GbE) に準拠した 10GBASE-R PCS および PCS ハード IP コアを備えています。拡張可能な 10GbE ハード IP コアは、複数の独立した 10GbE ポートをサポートしながら、すべての 10GBASE-R PCS のインスタンス化に単独の PLL を使用し、コアロジック・リソースとクロック・ネットワークを節減します。

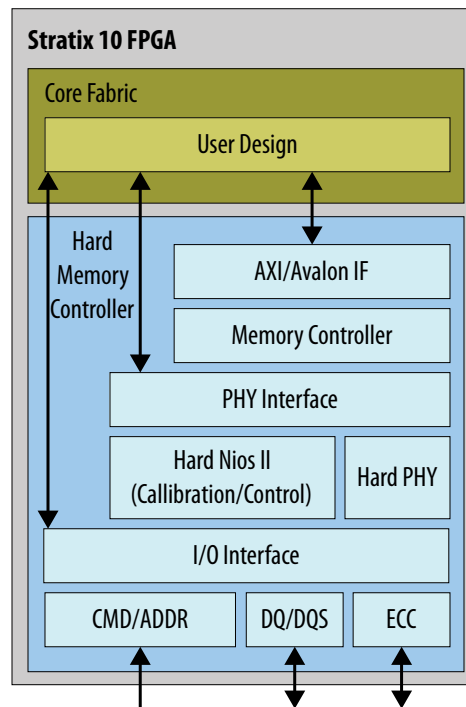
内蔵のシリアル・トランシーバーは、XAUI から 10G への外付け PHY を必要とする 10 GbE XAUI インターフェイス (Attachment Unit Interface) に比べ、マルチポート 10GbE システムがシンプルです。さらに、内蔵のシリアル・トランシーバーには、標準的な 10 Gbps XFP 光モジュールと SFP+ 光モジュールへの直接接続を可能にする信号調整回路が組み込まれています。トランシーバーには、バックプレーン・イーサネット・アプリケーションをサポートされており、10G と 40G のアプリケーションにハード 10GBASE-KR/40GBASE-KR4 の Forward Error Correction (FEC : 前方誤り訂正) 回路が内蔵されています。内蔵の 10G Ethernet ハード IP コアおよび 10G トランシーバーは、外付け PHY コスト、ボードスペース、およびシステムの消費電力を低減します。10G Ethernet PCS ハード IP コアおよび 10GBASE-KR FEC は、すべてのトランシーバー・チャンネルに含まれています。

1.12. 外部メモリーおよび汎用 I/O

インテル Stratix 10 デバイスは最大 2666 Mbps で動作する最大 72 ビット幅の DDR4 メモリー・インターフェイスを備えた大幅な外部メモリー帯域幅を提供します。

この帯域幅は、強化された高性能メモリー・コントローラーの設計の容易さ、低消費電力、およびリソース効率とともに提供されます。外部メモリー・インターフェイスは、ハードまたはソフト・メモリー・コントローラーを使用する場合、最大幅 144 ビットでコンフィグレーションが可能です。

図 -8: ハードメモリー・コントローラー





各 I/O バンクには、48 個の汎用 I/O とパフォーマンスの異なる多くのメモリー・タイプをサポートできる高効率のメモリー・コントローラーが含まれています。ハードメモリー・コントローラーはユーザーロジック内で実装するソフト・コントローラーによってバイパスまたは置き換えが可能です。各 I/O には、次のような重要なメモリー・インターフェイス機能が実行可能なハード化されたダブル・データレート (DDR) リード / ライト・バス (PHY) を備えています。

- リード / ライト・レベリング
- レイテンシーを低減し、マージンを改善する FIFO バッファリング
- タイミング・キャリブレーション
- On-chip 終端

タイミング・キャリブレーションは、インテルの Nios® II テクノロジーに基づくハード・マイクロコントローラーを含めることで補助されますが、特に複数のメモリー・インターフェイスがあるキャリブレーションの制御に適しています。このタイミング・キャリブレーションにより、インテル Stratix 10 デバイスはインテル Stratix 10 デバイス自体あるいは外部メモリーデバイス内でのプロセス、電圧、温度といったあらゆる変化を補償することができます。アドバンスド・キャリブレーション・アルゴリズムは、すべての動作条件わたって最大の帯域幅と堅牢なタイミングマージンを確実にします。

表 10. 外部メモリー・インターフェイスのパフォーマンス

この表のスピードは 1 ランクの場合です。

インターフェイス	コントローラー・タイプ	性能
DDR4	ハード	2666 Mbps
DDR3	ハード	2133 Mbps
QDR II+ / II+ Xtreme	ソフト	550 MTps
RLDRAM III	ソフト	2400 Mbps
RLDRAM II	ソフト	533 Mbps

パラレル・メモリー・インターフェイスに加えて、インテル Stratix 10 デバイスは、ハイブリッド・メモリー・キューブ (HMC) のようなシリアル・メモリー・テクノロジーをサポートしています。HMC はインテル Stratix 10 の高速シリアル・トランシーバーでサポートされており、トランシーバーは最大 4 つの HMC リンクと接続し、各リンクは最大 15 Gbps のデータレート (HMC 短距離仕様) で動作します。

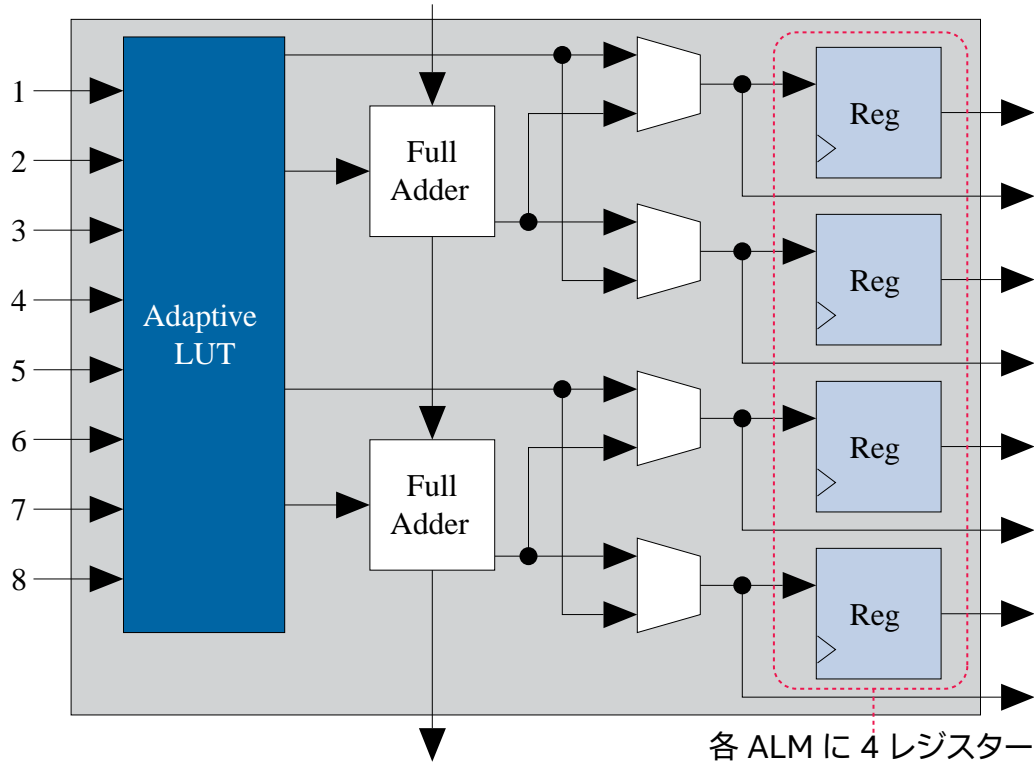
インテル Stratix 10 デバイスは、広範囲のシングルエンドおよび差動 I/O インターフェイスがサポート可能な汎用 I/O も備えています。最大 1.6 Gbps の LVDS レートがサポートされ、各ピンのペアは差動ドライバーと差動入力バッファの両方を備えています。これにより、各 LVDS ペアでの方向の設定が可能です。

1.13. アダプティブ・ロジック・モジュール (ALM)

インテル Stratix 10 デバイスでは、従来の Arria 10 および Stratix V FPGA と同じ ALM (アダプティブ・ロジック・モジュール) が使用されており、効率的なロジック・ファンクションの実装、およびデバイス世代間における IP の変更が容易に実行可能です。

次の図の ALM ブロック図は 1 つの分割可能なルックアップ・テーブル (LUT)、2 つの専用エンベデッド加算器、4 つの専用レジスターで構成されています。

図 -9: インテル Stratix 10 FPGA および SoC の ALM ブロック図



ALM の主な特長は次のとおりです。

- 4 つの専用レジスターを持つ 8 入力の分割可能な LUT を備える高いレジスター数を使用し、新しい HyperFlex アーキテクチャーと連動して動作して、インテル Stratix 10 デバイスが極めて高いコアロジック使用率で最大限のコア性能を可能にします。
- 選択の 7 つの入力ロジック・ファンクション、全 6 つの入力ロジック・ファンクション、コアロジック使用率を最適化するように (2 つの独立 4 入力 LUT などの) 小さな LUT サイズで構成される 2 つの独立ファンクションを実装します。

インテル Quartus Prime 開発ソフトウェアは ALM ロジック構造を活用して最高のパフォーマンス、ロジック使用率の最適化、および短時間でのコンパイルを実現します。インテル Quartus Prime 開発ソフトウェアはデザインの再使用を簡素化し、インテル Stratix 10 デバイスの ALM アーキテクチャー内にレガシーデザインを自動的にマッピングします。

1.14. コア・クロッキング

インテル Stratix 10 デバイスのコア・クロッキングは、プログラム可能なクロックツリー合成を使用します。

この手法は、専用のクロックツリー・ルーティングとスイッチング回路を使用し、インテル Quartus Prime 開発ソフトウェアが設計での必要な正確なクロックツリーの作成を可能にします。クロックツリー合成はクロックツリーの挿入遅延を最小限に抑え、クロックツリーでダイナミック消費電力を低減し、従来のグローバルおよびリージョナル・クロッキング方式との後方互換性を維持しながら、コアのクロック柔軟性を向上させます。



インテル Stratix 10 デバイスのコアクロック・ネットワークは 1 GHz までのクロックレートで新しい HyperFlex コア・アーキテクチャーをサポートします。また、最大 2666 Mbps のハードメモリー・コントローラーもサポートしており、コアへのクォーターレートの転送が可能です。コア・ネットワークは専用のクロック入力ピン、フラクショナル・クロック合成 PLL、インテジャー I/O PLL によりサポートされています。

1.15. フラクショナル合成 PLL と I/O PLL

インテル Stratix 10 デバイスには、トランシーバーとともに使用するコア・ファブリックで使用可能な最大 32 個のフラクショナル合成 PLL (fPLL) があります。

fPLL は 3D SiP トランシーバー・タイルに配置されており、タイルあたり 8 個でトランシーバー・チャンネルに隣接しています。fPLL は単一のリファレンス・クロックソースから複数のクロック周波数を合成することにより、ボード上で必要なオシレーター数と必要なクロックピン数の両方を低減するために使用できます。トランシーバー送信 PLL のリファレンス・クロック周波数の合成に加えて、fPLL は送信クロッキングで直接使用することも可能です。各 fPLL は、従来のインテジャー・モードまたは三次デルタシグマ変調によるエンハンスド・フラクショナル合成モード用に独立して構成することができます。

fPLL に加えて、インテル Stratix 10 デバイスには、外部メモリー・インターフェイスと高速 LVDS インターフェイスの設計を簡素化する、コア・ファブリックで汎用として使用できる最大 34 個のインテジャー I/O PLL (IOPLL) があります。IOPLL は 48 個の汎用 I/O が各バンクに配置されており、I/O バンクごとに 1 個で各 I/O バンク内のハードメモリー・コントローラーと LVDS SerDes に隣接しています。これにより、IOPLL が I/O を使用する I/O と密接に結合されているため、タイミング収束が容易になります。IOPLL は、クロック・ネットワーク遅延補償やゼロ遅延クロック・バッファリングなどのコアの汎用アプリケーションに使用できます。

1.16. 内部エンベデッド・メモリー

インテル Stratix 10 デバイスには、M20K ブロック (20Kb) と MLAB (メモリー・ロジック・アレイ・ブロック) (640 ビット) の 2 種類のメモリーブロックが含まれています。

M20K ブロックおよび MLAB ブロックは、従来のインテルのデバイスファミリーから引き継がれた慣れ親しみのあるブロックサイズです。MLAB ブロックは、幅が広く深さが浅いメモリーでは理想的ですが、M20K ブロックは、ハード ECC を含めた大きいメモリー構成をサポートします。M20K エンベデッド・メモリーブロックおよび MLAB エンベデッド・メモリーブロックの両方は、シングルポートまたはデュアルポート RAM、FIFO、ROM、またシフトレジスターとしてコンフィグレーションされます。これらのメモリーブロックは柔軟性が非常に高く、表 11 (25 ページ) に示されるとおり多くのメモリー構成をサポートしています。

表 11. 内部エンベデッドメモリーブロックの構成

MLAB (640 ビット)	M20K (20K ビット)
64 x 10 (エミュレーション経由でサポート) 32 x 20	2K x 10 (あるいは x8) 1K x 20 (あるいは x16) 512 x 40 (あるいは x32)

1.17. 可変精度 DSP ブロック

インテル Stratix 10 デバイスの DSP ブロックはインテルの従来のデバイスで使用されている可変精度 DSP アークテクチャーに基づいています。ハード固定小数点および IEEE-754 規格の浮動小数点機能を備えています。

DSP ブロックは、18x19 から 54x54 までの精度で信号処理をサポートするために構成が可能です。パイプライン・レジスターは、DSP ブロックの最大動作周波数が増加し、消費電力を削減するために追加されました。

図 -10: DSP ブロック : 標準精度固定小数点モード

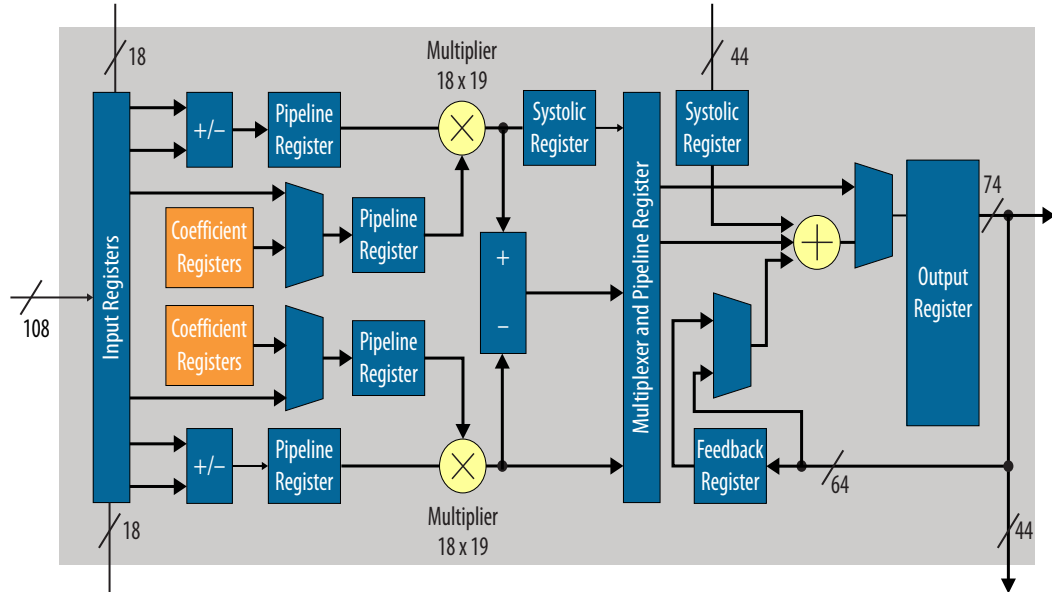


図 -11: DSP ブロック : 高精度固定小数点モード

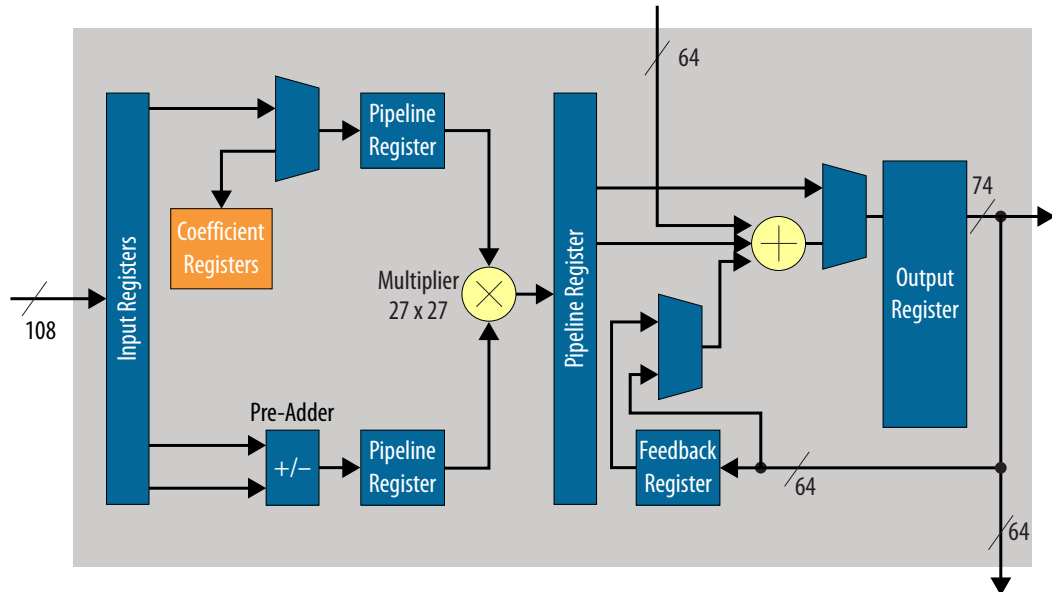
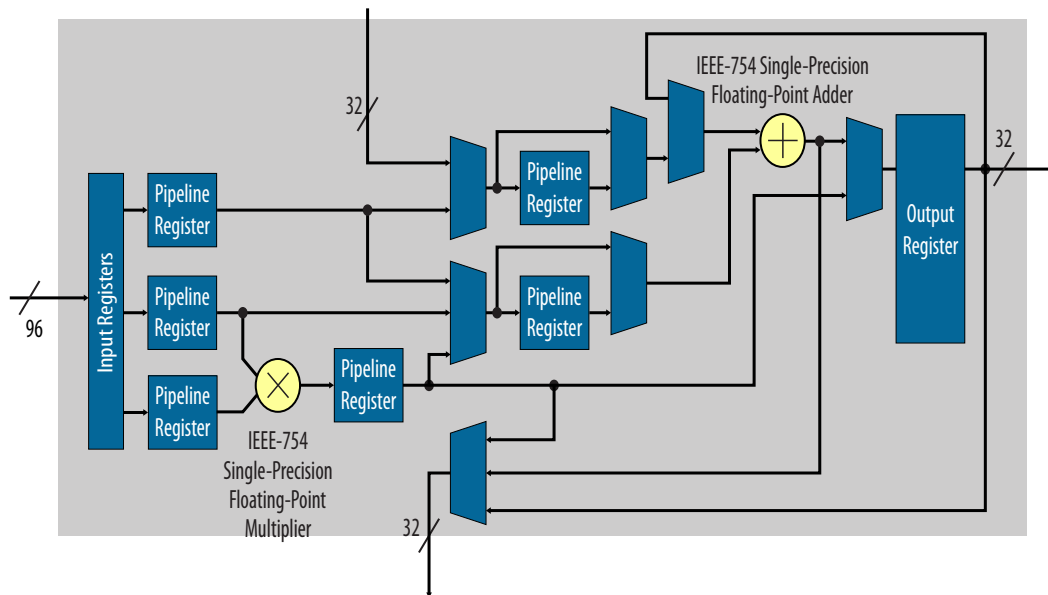


図 -12: DSP ブロック : 単精度浮動小数点モード



各 DSP ブロックはコンパイル時にデュアル 18x19 あるいはシングル 27x27 乗算累積として個別にコンフィギュレーションできます。専用の 64 ビット・カスケードバスにより、精度のより高い DSP 機能を効率的に実装する場合、複数の可変精度 DSP ブロックをカスケード接続することが可能です。

浮動小数点モードでは、各 DSP ブロックは 1 つの単精度浮動小数点の乗算器と加算器が使用可能です。浮動小数点の加算、乗算、mult-adds および mult-accumulates がサポートされています。

次の表は、さまざまな精度が DSP ブロック内または複数のブロックの使用でどのように対応するのかを示しています。

表 12. 可変精度 DSP ブロックのリソース

乗算器のサイズ	DSP ブロックリソース	使用目的
18x19 ビット	1/2 の可変精度 DSP ブロック	中精度の固定小数点
27x27 ビット	1 つの可変精度 DSP ブロック	高精度の固定小数点
19x36 ビット	外部乗算器を備えた 1 つの可変精度 DSP ブロック	固定小数点の FFT
36x36 ビット	外部乗算器を備えた 2 つの可変精度 DSP ブロック	非常に高精度の固定小数点
54x54 ビット	外部乗算器を備えた 4 つの可変精度 DSP ブロック	倍精度の浮動小数点
単精度の浮動小数点	1 つの単精度の浮動小数点加算器、1 つの単精度浮動小数点乗算器	浮動小数点

複素数乗算は DSP アルゴリズムでは非常に一般的です。その中でも複素数乗算に最も使用されることが多いアプリケーションが FFT アルゴリズムです。このアルゴリズムは乗算器の片側でのみ精度の要件が増加するという特徴があり、可変精度 DSP ブロックは精度の増加にともない DSP リソース内で比例的に増大する FFT アルゴリズムをサポートします。

表 13. 可変精度 DSP ブロックを使用した複素数乗算

複素数乗算器のサイズ	DSP ブロックリソース	FFT の使用率
18x19 ビット	2 つの可変精度 DSP ブロック	リソースが最適化された FFT
27x27 ビット	4 つの可変精度 DSP ブロック	最高精度の FFT

高ダイナミック・レンジを必要とする FFT アプリケーションのためのインテル FFT IP コアは、リソースの使用率および高精度の固定小数点の実装と同等の性能で単精度浮動小数点の実装のオプションを提供しています。

DSP ブロックには、その他にも次の機能があります。

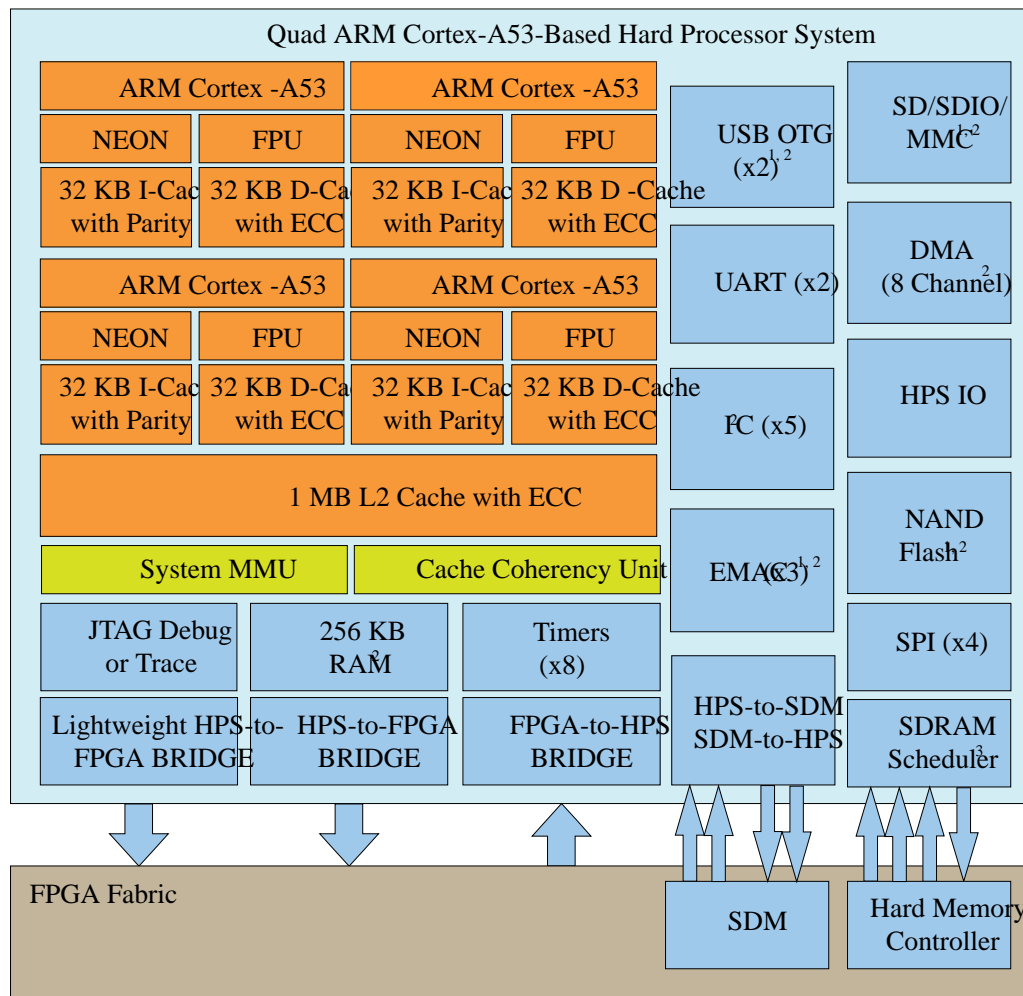
- 18 ビットと 25 ビットのハード・プリアダー
- ハード浮動小数点乗算器と加算器
- 64 ビットのデュアル・アキュムレーター (個別の I、Q プロダクト累積用)
- 18 ビットと 27 ビット FIR フィルター用のカスケード化された出力加算器チェーン
- 18 ビットと 27 ビット係数用のエンベデッド係数レジスター
- 完全に独立した乗算器の出力
- ほとんどのモードで インテル Quartus Prime 開発ソフトウェアが提供する HDL テンプレートを
使用した不確実性

可変精度 DSP ブロックは、高性能 DSP アプリケーションでより高いビット精度の傾向をサポートするのに理想的です。同時に、高精細度ビデオ処理や RRD (Remote Radio Head) といった既存の 18 ビット DSP アプリケーションを効率的にサポートできます。可変精度 DSP ブロック・アーキテクチャーとハード浮動小数点器乗算および加算器を使用することにより、インテル Stratix 10 デバイスでは浮動小数点実装を含めるさまざまな精度レベルを効率的にサポートすることができます。この柔軟性により、システム性能の向上、消費電力削減、およびシステム・アルゴリズム設計上のアーキテクチャー制約の低減が可能となります。

1.18. HPS (ハード・プロセッサ・システム)

インテル Stratix 10 SoC のハード・プロセッサ・システム (HPS) は業界をリードするインテルの第 3 世代の HPS です。インテル Stratix 10 SoC デバイスは、インテル 14 nm トライゲート技術を活用し、クアッドコア 64 ビット ARM Cortex-A53 を内蔵した従来の SoC の 2 倍以上の性能を発揮します。また、HPS はシステムメモリー管理ユニットを追加することでシステム全体のハードウェア仮想化機能を有効にします。これらのアーキテクチャーの改良により、インテル Stratix 10 SoC は無線および有線通信、データ・センター・アクセラレーション、および多数の軍事アプリケーションといった、現在および将来の組み込み市場の要件を確実に満たせます。

図 -13: HPS のブロック図



- 注:
1. DMA (ダイレクト・メモリー・アクセス) 搭載
 2. 統合された誤り訂正コード (ECC)
 3. ハード・メモリー・コントローラーへのマルチポート・フロント・エンド・インターフェイス

1.18.1. インテル Stratix 10 デバイスの HPS の主な機能

表 14. インテル Stratix 10 GX / SX デバイスの HPS の主な機能

機能	説明
クアドコア ARM Cortex-A53 MPCore プロセッサ・ユニット	<ul style="list-style-type: none"> • 2.3 MIPS/MHz の命令効率 • 最大 1.5 GHz までの CPU 周波数 • 1.5 GHz で 13,800 MIPS のトータル動作性能 • ARMv8-A アーキテクチャー • 64 ビットおよび 32 ビットの ARM 命令の実行 • メモリー・フットプリントを 30% 削減する 16 ビットおよび 32 ビットの Thumb 命令

continued...



機能	説明
	<ul style="list-style-type: none"> 8 ビット Java バイトコードによる Jazelle® RCT 実行アーキテクチャー ダイナミック分岐予測を備えたスーパースカラー、可変長、アウト・オブ・オーダー実行のパイプライン ARM NEON™ メディア処理エンジンの向上 単精度および倍精度の浮動小数点ユニット CoreSight™ デバッグおよびトレース技術
システムメモリー管理ユニット	<ul style="list-style-type: none"> ユニファイド・メモリー・モデルを可能にし、FPGA ファブリックに実装されたペリフェラル内にハードウェア仮想化を拡張
キャッシュ・コヒーレンシー・ユニット	<ul style="list-style-type: none"> コプロセッシング・エレメントの双方向のコヒーレンシーを提供するシステム全体に伝播される、キャッシュに格納された共有データの変更
キャッシュ	<ul style="list-style-type: none"> L1 キャッシュ <ul style="list-style-type: none"> 32 KB の命令キャッシュ w/ パリティチェック 32 KB の L1 データキャッシュ w/ ECC パリティチェック L2 キャッシュ <ul style="list-style-type: none"> 1MB 共有 8 ウェイ・セット・アソシエイティブ TAG RAM 上でのパリティおよびデータ RAM 上での ECC (誤り訂正コード) による SEU 保護 キャッシュ・ロックダウン・サポート
オンチップ・メモリー	<ul style="list-style-type: none"> 256 KB のスクラッチ・オンチップ RAM
HPS 向け外部 SDRAM およびフラッシュメモリー・インターフェイス	<ul style="list-style-type: none"> DDR4、DDR3、LPDDR3 をサポートするハードメモリー・コントローラー <ul style="list-style-type: none"> 72 ビット (64 ビット + 8 ビット ECC) をサポートする選択パッケージを持つ 40 ビット (32 ビット + 8 ビット ECC) 最大 2666 Mbps の DDR4 および 2166 Mbps の DDR3 の周波数をサポート 計算、エラー訂正、ライトバック訂正、エラーカウンターを含む ECC (誤り訂正コード) のサポート 個々の SDRAM パースト上の Software Configurable Priority スケジューリング すべての JEDEC 規定のタイミング・パラメーターをサポートする完全なプログラマブル・タイミング・パラメーター FPGA ファブリックへのインターフェイス用の AXI® QoS (Quality of Service : サービス品質) をサポートするハードメモリー・コントローラーへのマルチポート・フロントエンド (MPFE) スケジューラー・インターフェイス NAND フラッシュ・コントローラー <ul style="list-style-type: none"> ONFI 1.0 内蔵ディスクリプター・ベースの DMA プログラマブル・ハードウェア ECC をサポート 8 ビットおよび 16 ビットのフラッシュデバイスをサポート セキュアデジタル SD/SDIO/MMC コントローラー <ul style="list-style-type: none"> eMMC 4.5 内蔵ディスクリプター・ベースの DMA CE-ATA デジタルコマンドのサポート 50 MHz の動作周波数 ダイレクト・メモリー・アクセス (DMA) コントローラー <ul style="list-style-type: none"> 8 チャンネル 最大 32 個のペリフェラルハンドシェイク・インターフェイスをサポート

continued...



機能	説明
通信インターフェイス・コントローラー	<ul style="list-style-type: none"> • 3 つの DMA 内蔵 10/100/1000 イーサネット MAC (メディア・アクセス・コントローラー) <ul style="list-style-type: none"> – RGMII および RMII 外部 PHY インターフェイスのサポート – FPGA ロジックにより他の PHY インターフェイスをサポート (オプション) <ul style="list-style-type: none"> • GMII • MII • RMII (MII – RMII 間のアダプターが必要) • RGMII (GMII – RGMII 間のアダプターが必要) • SGMII (GMII – SGMII 間のアダプターが必要) – 精度ネットワークのクロック同期化のための IEEE 1588-2002 および IEEE 1588-2008 標準規格をサポート – 受信フレームのための IEEE 802.1Q VLAN タグ検出をサポート – イーサネット AVB 標準規格のサポート • 2 つの DMA 対応 USB On-The-Go (OTG) コントローラー <ul style="list-style-type: none"> – デュアルロール・デバイス (デバイス機能とホスト機能) <ul style="list-style-type: none"> • 高速 (480 Mbps) • 全速 (12 Mbps) • 全速 (1.5 Mbps) • USB 1.1 をサポート (全速と低速) – 内蔵ディスクリプター・ベースのスキッター・ギャザー DMA – 外部 ULPI PHY をサポート – 最大 16 個のコントロール・エンドポイントを含んだ双方向エンドポイント – 最大 16 個のホストチャンネル – 汎用ルートハブをサポート – OTG 1.3 および OTG 2.0 モードにコンフィグレーション可能 • 5 つの I²C コントローラー (3 つは EMAC で外部 PHY への MIO 向けに使用可能) <ul style="list-style-type: none"> – 100Kbps と 400Kbps の両モードをサポート – 7 ビットと 10 ビットの両アドレッシング・モードをサポート – マスターとスレーブの動作モードをサポート • 2 つの UART 16550 互換性 <ul style="list-style-type: none"> – 115.2Kbaud までのプログラム可能なボーレート • 4 のシリアル・ペリフェラル・インターフェイス (SPI) (マスター 2 つ、スレーブ 2 つ) <ul style="list-style-type: none"> – 全二重および半二重
タイマーおよび I/O	<ul style="list-style-type: none"> • タイマー <ul style="list-style-type: none"> – 4 つの汎用タイマー – 4 つのウォッチドッグ・タイマー • HPS ペリフェラルを直接 I/O に接続できる 48 個の HPS ダイレクト I/O • HPS DDR アクセス向けに HPS への割り当てが可能な最大 3 つまでの IO48 バンク
ロジックコアへのインターコネクト	<ul style="list-style-type: none"> • FPGA – HPS ブリッジ <ul style="list-style-type: none"> – FPGA ファブリック内の IP バスマスターによる HPS バススレーブへのアクセスが可能 – コンフィグレーション可能な 32 / 64 / 128 ビットの AMBA AXI インターフェイス • HPS – FPGA ブリッジ <ul style="list-style-type: none"> – HPS バスマスターによる FPGA ファブリック内のバススレーブへのアクセスが可能 – コンフィグレーション可能な 32 / 64 / 128 ビットの AMBA AXI インターフェイスにより、FPGA ファブリックへの広帯域幅での HPS マスター・トランザクションが可能 • HPS – SDM および SDM – HPS ブリッジ <ul style="list-style-type: none"> – HPS の SDM ブロックへの到達、および SDM による HPS のブートストラップが可能 • 軽量 HPS – FPGA ブリッジ <ul style="list-style-type: none"> – FPGA ファブリック内の HPS からソフト・ペリフェラルへの低レイテンシー・レジスター・アクセスに適した軽量 32 ビットの AXI インターフェイス • FPGA – HPS SDRAM ブリッジ <ul style="list-style-type: none"> – 32 / 64 / 128 ビットのデータバスをサポートする最大 3 つの AMBA AXI インターフェイス

1.19. 消費電力管理

インテル Stratix 10 デバイスは先進のインテル 14 nm トライゲート・プロセス技術を活用し、すべての新しい HyperFlex コア・アーキテクチャーで Hyper-Folding、パワーゲーティング、ならびにいくつかのオプションの消費電力削減手法を可能にし、従来の高性能の Stratix V デバイスと比較して約 70% の総消費電力を削減します。

SmartVoltage ID 制御の V_{CC} はコアの電源供給の標準オプションで、コードは製造時に各デバイスにプログラムされており、パフォーマンスを維持しながら、スマート電圧レギュレーターでより低い V_{CC} でのデバイス動作が可能です。

新しい HyperFlex コア・アーキテクチャーにより、従来の FPGA に比べ 2 倍速で設計ができます。アーキテクトは、2 倍の性能と同じスループットで、データバスの幅を半分に削減して電力を節約できます。この最適化は Hyper-Folding と言われます。さらに、パワーゲーティングは FPGA 内の未使用リソースのスタティック電力をパワーダウンすることで低減します。インテル Quartus Prime 開発ソフトウェアは、コンフィグレーション時に DSP や M20K ブロックなどの特定の未使用リソースブロックを自動的にパワーダウンします。

インテル Stratix 10 デバイスのオプションの低消費電力化手法には次があります。

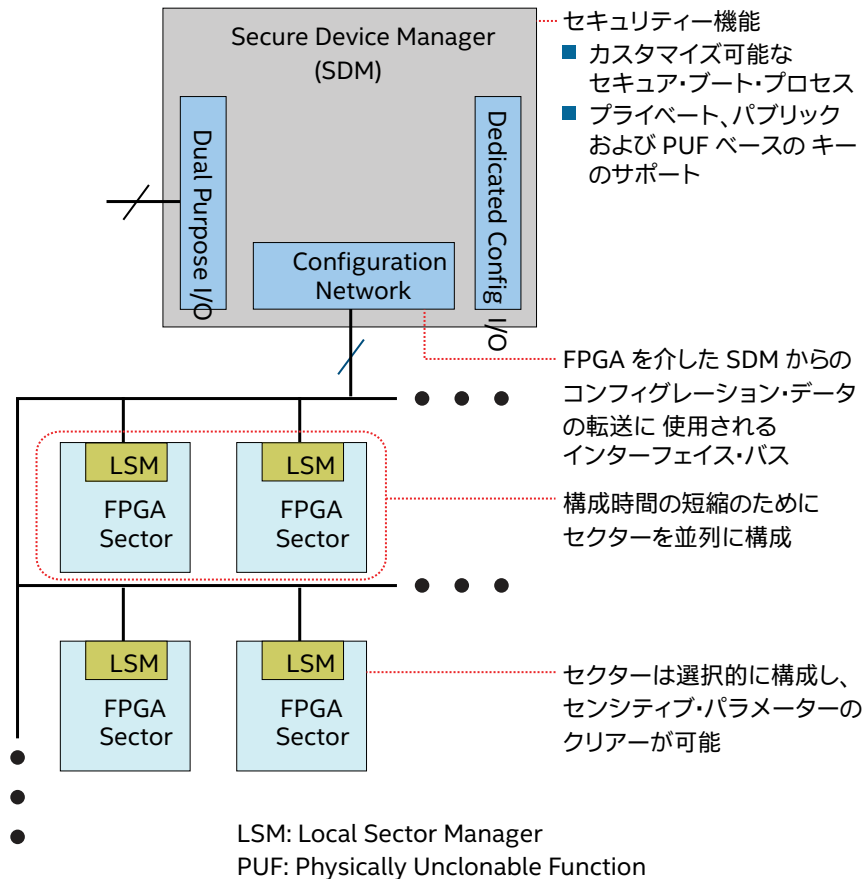
- **Low V_{CC} Core Voltage Options** — デバイスは 0.8 V および 0.85 V の固定 V_{CC} コア電圧で使用可能であり、パフォーマンスを維持しながら低いコア V_{CC} でデバイス動作が可能
- **Low Static Power Options** — パフォーマンスを維持しながら標準のスタティック消費電力または低スタティック消費電力のいずれかでデバイスの使用が可能

さらに、インテル Stratix 10 デバイスは、業界をリードするインテルの低消費電力トランシーバーを特色としています。また、ソフト実装と比較して見た場合、ロジックリソースを削減するだけでなく大幅な省電力を実現するハード IP ブロックが多数装備されています。通常、ハード IP ブロックは同等のソフトロジック実装と比較して、消費電力を最大 50% 抑えることが可能です。

1.20. デバイス・コンフィグレーションおよびセキュア・デバイス・マネージャー (SDM)

すべての インテル Stratix 10 デバイスには、すべての JTAG およびコンフィグレーション・コマンドでのデバイスへのエントリーポイントとして機能する専用のトリプル冗長プロセッサである SDM (セキュア・デバイス・マネージャー) を備えています。また、SDM は SoC デバイス内の HPS をブートストラップし、HPS が FPGA デバイスと同じセキュリティー機能を使用してブートできるようにします。

図 -14: SDM のブロック図



コンフィグレーション中、インテル Stratix 10 デバイスは論理セクターに分割され、各セクターはローカル・セクター・マネージャー (LSM) により管理されます。SDM は、コンフィグレーション・データをオンチップ・コンフィグレーション・ネットワーク上の各 LSM に渡します。これにより、セクターを個別に、一度に 1 つ、または並列にコンフィグレーションできます。この手法は、セクターのコンフィグレーションとリコンフィグレーションの簡素化と、固有の並列処理による全体のコンフィグレーション時間の短縮を実現します。同一のセクターベースのアプローチは、SEU (シングル・イベント・アップセット) およびセキュリティー攻撃への対応に使用されます。

セクターはデバイスのコンフィグレーションの論理分割を提供しますが、FPGA ロジックとルーティングの通常のロウとカラムをオーバーレイします。これは、インテル Quartus Prime 開発ソフトウェアの配置配線への影響はなく、セクター境界を超えるロジック信号のタイミングへの影響もない事を意味します。



SDM は、堅牢かつセキュアで完全に暗号化されたデバイス・コンフィグレーションを可能にします。SDM はまた、コンフィグレーション手法のカスタマイズが可能であり、デバイス・セキュリティを強化します。SDM はコンフィグレーションおよびリコンフィグレーションには、次のさまざまな利点があります。

- 専用のセキュア・コンフィグレーション・マネージャー
- 並列にコンフィグレーションされたセクターによるデバイスのコンフィグレーション時間の削減
- アップデート可能なコンフィグレーション・プロセス
- 他のすべてのセクターからの 1 つまたは複数の個別セクターのリコンフィグレーション
- 個別のセクターまたは完全なデバイスのゼロ化

SDM は、ASIC プロトタイピングをはじめとするアプリケーションをサポートするレジスター・ステート・リードバックやライトバックといった機能も追加で装備しています。

1.21. デバイス・セキュリティ

前世代のデバイスに搭載された堅牢なセキュリティ機能をベースにした インテル Stratix 10 FPGA および SoC には、多くの革新的なセキュリティ強化機能が搭載されています。これらの機能は SDM で管理され、暗号化、認証、キーストレージ、改ざん防止サービスと緊密に結合されたデバイスのコンフィグレーションとリコンフィグレーションを実現します。

SDM で提供されるセキュリティ・サービスには、次が含まれています。

- ビットストリーム暗号化
- 多要素認証
- AES-256、SHA-256/384、ECDSA-256/384 といったハード化された暗号化と認証アクセラレーション
- 揮発性および不揮発性の暗号化キーストレージと管理
- HPS のブートコード認証
- PUF (Physically Unclonable Function) サービス
- アップデート可能な設定プロセス
- セキュア・デバイス・メンテナンスおよびアップグレード機能
- サイドチャネル攻撃対策
- 選択のセクターゼロ化を含むセンサー入力およびセキュリティ攻撃に対するスクリプト化レスポンス
- リードバック、JTAG、およびテストモードの無効化
- SEU (シングル・イベント・アップセット) に対するエンハンスト応答

SDM および関連するセキュリティ・サービスは、インテル Stratix 10 の設計において堅牢なマルチレイヤーのセキュリティを提供します。

1.22. PCI Express を介した CvP (Configuration via Protocol)

PCI Express を介した CvP (Configuration via Protocol) は FPGA を PCI Express バスにコンフィグレーションすることができ、ボードのレイアウトが簡素化され、システム統合が向上します。この手法により、FPGA がコンフィグレーションされる前に autonomous モードで動作するエンベデッド PCI Express ハード IP コアを使用することで、PCI Express 仕様で許容の 100 ms の時間内に PCI Express バスをパワーアップしてアクティブにすることができます。インテル Stratix 10 デバイ



スは、デバイスがリコンフィグレーションされている間、PCI Express リンクのアクティブ状態を維持することによりシステムのダウンタウンを減らす PCI Express バス全体のパーシャル・リコンフィグレーションもサポートしています。

1.23. パーシャル・リコンフィグレーションとダイナミック・リコンフィグレーション

パーシャル・リコンフィグレーションは、FPGA の他の部分が動作中であっても FPGA の一部をリコンフィグレーションできます。この機能は、サービスを中断せずに機能の更新や調整が行えるため、起動時間がクリティカルなシステムでは必要不可欠です。

コストおよび消費電力の削減に加えて、パーシャル・リコンフィグレーションは同時に動作しない機能を FPGA に配置する必要性を排除することで、実質的なロジック集積度を向上させます。代わりに、これらの機能は外部メモリーに格納され、必要に応じてロードされます。これにより、単一 FPGA 上で複数のアプリケーションが可能となるため、必要な FPGA サイズが減り、ボードスペースを節約して消費電力を削減します。パーシャル・リコンフィグレーションのプロセスは、インテル Quartus Prime 開発ソフトウェアの実証されたインクリメンタル・コンパイル・デザインフロー上に構築されます。

インテル Stratix 10 デバイスのダイナミック・リコンフィグレーションは、隣接するトランシーバー・チャネル上のデータ転送を維持しながら、トランシーバーのデータレート、プロトコル、およびアナログ設定をチャネルごとに動的に変更できます。ダイナミック・リコンフィグレーションは、オンザフライのマルチプロトコルまたはマルチレートのサポートを必要とするアプリケーションに最適です。トランシーバー内の PMA ブロックと PCS ブロックの両方を、この手法を使用して再構成することができます。トランシーバーのダイナミック・リコンフィグレーションは、コアとトランシーバーの両方を同時にパーシャル・リコンフィグレーションできるように FPGA のパーシャル・リコンフィグレーションと組み合わせ使用できます。

1.24. Fast Forward Compile

インテル Quartus Prime 開発ソフトウェアの革新的な Fast Forward Compile 機能は、設計におけるパフォーマンスのボトルネックを特定し、実装することができる詳細なステップ・バイ・ステップのパフォーマンス改善の推奨事項を提供します。コンパイラーは、推奨事項の適用によって達成できる最大動作周波数の見積りを通知します。新しい Hyper-Aware デザインフローの一部として、Fast Forward Compile は、インテル Stratix 10 デザインのパフォーマンスを最大化し、迅速なタイミング収束を実現します。

以前は、このタイプの最適化には、変更の有効性を判断するためのフルデザインの再コンパイルを含めて、デザイン・イタレーションに長時間を要しました。Fast Forward Compile を使用すると、焦点を当てるべき最適化の作業やデザインのパフォーマンスとスループットの改善方法をより正確に判断できます。この手法では、パフォーマンス・エクスプロレーションの推測の多くが削除され、インテル Stratix 10 デザインのデザイン・イタレーション数が 2 倍、コア・パフォーマンスが 2 倍に向上します。

1.25. SEU (シングル・イベント・アップセット) エラー検出と訂正

インテル Stratix 10 FPGA および SoC は堅牢な SEU エラー検出ならびに訂正回路を提供します。検出と訂正の回路には、コンフィグレーション RAM (CRAM) プログラミング・ビットとユーザーメモリーの保護が含まれています。CRAM は連続的に動作する CRC エラー検出回路で保護されており、1 つまたは 2 ビット・エラーを自動的に訂正し、それを上回る複数のビットエラーを検出する統合された ECC が装備されています。CRAM は、連続的に動作するパリティチェッカー回路で保護されています。

CRAM アレイの物理的なレイアウトは、大部分の MBU (multi-bit upset) が内蔵の CRAM ECC 回路によって自動的に訂正される個別の 1 ビットまたは 2 ビット・エラーとして発生するように最適化されています。CRAM 保護に加えて、ユーザーメモリーもエラー検出と訂正のために内蔵の ECC 回路を含み、レイアウトが最適化されています。

SEU エラー検出ならびに訂正のハードウェアはソフト IP および インテル Quartus Prime 開発ソフトウェアの両方でサポートされており、完全な SEU 緩和ソリューションを提供します。完全なソリューションのコンポーネントは次のとおりです。

- CRAM およびユーザー M20K メモリー・ブロックでのハードエラー検出と訂正
- SEU の発生を最小に抑える最適化された物理メモリーレイアウト
- CRAM が使用ビットあるいは未使用ビットに影響するかどうかをレポートするセンシティブティ・プロセッシング・ソフト IP コア
- 試用目的で CRAM ビットの状態を変更する インテル Quartus Prime 開発ソフトウェアのサポートを備えたフォールト・インジェクション IP コア
- インテル Quartus Prime 開発ソフトウェアの階層的タグ付け
- SDM (セキュア・デバイス・マネージャー) およびクリティカル・オンチップ・ステート・マシンで使用される TMR (トリプルモード冗長)

上のリストにある SEU の緩和機能に加えて、インテル Stratix 10 デバイスで使用されるインテル 14 nm トライゲート・プロセス・テクノロジーは、従来のプレーナー・トランジスターより SEU の影響が少ない FinFET トランジスターに基づいています。

1.26. 改訂履歴

表 15. 改訂履歴

日付	バージョン	変更内容
2017 年 10 月	2017.10.30	以下を変更： <ul style="list-style-type: none"> • エンベデッド eSRAM 機能を削除 • Stratix 10 デバイスのサンプル製品コードと使用可能なオプションの図から、低電力 (VID)、軍用動作温度オプション、およびパッケージ・コード 53 を削除 • Stratix V デバイスと インテル Stratix 10 デバイスの主な機能の比較の表にある、L-Tile デバイスの最大トランシーバーのデータレート (チップ間) 仕様を変更
2016 年 10 月	2016.10.31	以下を変更： <ul style="list-style-type: none"> • 使用可能なトランシーバー数を 96 へ変更 • 単精度浮動小数点の性能を 10 TeraFLOPS へ変更 • 最大データレートを 28.3 Gbps へ変更 • 章「Stratix 10 GX / SX デバイスの概要」に記載のあるいくつかの機能を変更 • 項「Stratix 10 ファミリーバリエーション」にある GX および SX デバイスの内容を変更 • Stratix 10 デバイスのサンプル製品コードと使用可能なオプションの図を変更 • Stratix V デバイスと Stratix 10 デバイスの主な機能の比較の表にリストされている機能を変更 • Stratix 10 FPGA および SoC デバイスの共通機能の表にある次の内容を変更： <ul style="list-style-type: none"> – トランシーバー・ハード IP – 内部メモリーブロック – コア・クロック・ネットワーク – パッケージング • 項「Stratix 10 FPGA および SoC ファミリープラン」のすべての表を再編成し更新

continued...



日付	バージョン	変更内容
		<ul style="list-style-type: none"> • 項「Arria 10 FPGA および Stratix 10 FPGA 間の移行」を削除 • トランシーバー PCS の機能の表から脚注を削除 • 項「外部メモリーおよび汎用 I/O」の HMC の説明を変更 • 項「フラクショナル合成 PLL と I/O PLL」の fPLL 数を変更 • Stratix 10 デバイスの HPS の主な機能の表で HMC データ幅を明記 • 項「内部エンベデッド・メモリー」の記述内容を変更 • トランシーバー PCS の機能の表にある Standard PCS と SDI PCS 機能のデータレートを変更 • 項「PCI Express Gen1/Gen2/Gen3 Hard IP コア」に注釈を追加 • Stratix 10 デバイスの HPS の主な機能の表を更新 • Stratix 10 デバイスの HPS の主な機能の表のキャッシュ・コヒーレンシー・ユニットの内容を変更 Stratix 10 デバイスの HPS の主な機能の表の HPS 向け外部 SDRAM およびフラッシュメモリー・インターフェイスの内容を変更
2015 年 12 月	2015.12.04	初版