



インテル® Stratix® 10 デバイスのデザイン・ガイドライン

この翻訳版は参照用であり、翻訳版と英語版の内容に相違がある場合は、英語版が優先されるものとします。翻訳版は、資料によっては英語版の更新に対応していない場合があります。最新情報につきましては、必ず[英語版の最新資料](#)をご確認ください。

目次

インテル® Stratix® 10 デバイスのデザイン・ガイドライン	4
デザインフロー.....	4
システム仕様.....	5
デザイン仕様.....	6
IP の選択.....	6
Platform Designer.....	7
デバイスの選択.....	7
デバイスバリエーション.....	8
PLL およびクロック配線.....	8
ロジック、メモリー、および乗算器の集積度.....	8
I/O ピン数、LVDS チャンネル、およびパッケージの種類.....	9
スピードグレード.....	10
デバイスのパーティカル・マイグレーション.....	10
システムおよびボードの早期プランニング.....	11
電力および熱の見積もり.....	11
熱管理およびデザイン.....	13
熱管理の温度検知.....	13
電圧センサー.....	14
デバイス・コンフィグレーションのプランニング.....	14
オンチップデバッグのプランニング.....	20
ボードデザインのピン接続に関する考慮事項.....	23
デバイスのパワーアップ.....	23
電源ピンの接続および電源供給.....	24
コンフィグレーション・ピンの接続.....	26
ボード関連の インテル Quartus Prime 設定.....	30
シグナル・インテグリティの考慮事項.....	31
ボードレベル・シミュレーションと高度な I/O タイミング解析.....	32
I/O およびクロックのプランニング.....	33
FPGA ピン・アサインメントの作成.....	33
早期ピン・プランニングおよび I/O アサインメントの解析.....	34
I/O 機能およびピン接続.....	35
クロックおよび PLL の選択.....	40
PLL 機能ガイドライン.....	41
クロック・コントロール機能.....	42
I/O 同時スイッチング・ノイズ.....	42
セキュリティに関する考慮事項.....	43
デザインエントリー.....	44
デザインの推奨事項.....	44
IP コアの使用.....	45
リコンフィグレーション.....	45
推奨 HDL コーディング・スタイル.....	46
デザインの実装、解析、最適化、および検証.....	46
合成ツールの選択.....	46
デバイスのリソース使用率レポート.....	47



インテル Quartus Prime メッセージ.....	48
タイミング制約およびタイミング解析.....	48
エリアおよびタイミングの最適化.....	49
パフォーマンスの維持およびコンパイル時間の短縮.....	51
インテル Hyperflex™ でのデザイン.....	51
シミュレーション.....	52
電力解析.....	52
消費電力最適化.....	53
インテル Stratix 10 デバイスのデザイン・ガイドラインのドキュメント改訂履歴.....	56

インテル® Stratix® 10 デバイスのデザイン・ガイドライン

このドキュメントでは、デザイン・ガイドライン、推奨事項、および インテル® Stratix® 10 FPGA を使用するデザインに対して考慮すべき要素のリストを提供しています。重要な点は、高集積度および高性能の インテル Stratix 10 デザインのプロセス全般にわたってインテルの推奨事項に従うことです。このドキュメントは、デザインプロセスの早い段階での FPGA およびシステムのプランニングにも役立ちます。これは、デザイン要件を満たすために不可欠です。

注意: このドキュメントに含まれていない インテル Stratix 10 デバイスの詳細や機能もあります。インテル Stratix 10 デバイスおよび機能の詳細については、各 インテル Stratix 10 ユーザーガイドを参照してください。

この資料で参照しているのは、インテル Stratix 10 デバイス・アーキテクチャー、およびデザインで使用する可能性のある インテル Quartus® Prime 開発ソフトウェアおよびサードパーティー・ツールの機能です。このドキュメントに記載されているガイドラインを使用すると、生産性が向上し、一般的なデザイン上の落とし穴を回避することができます。

関連情報

インテル Stratix 10 のドキュメント

インテル Stratix 10 デバイスおよび機能に関する詳細情報を提供しています。

デザインフロー

表 1. デザインフローのステージとガイドライン・トピックの要約

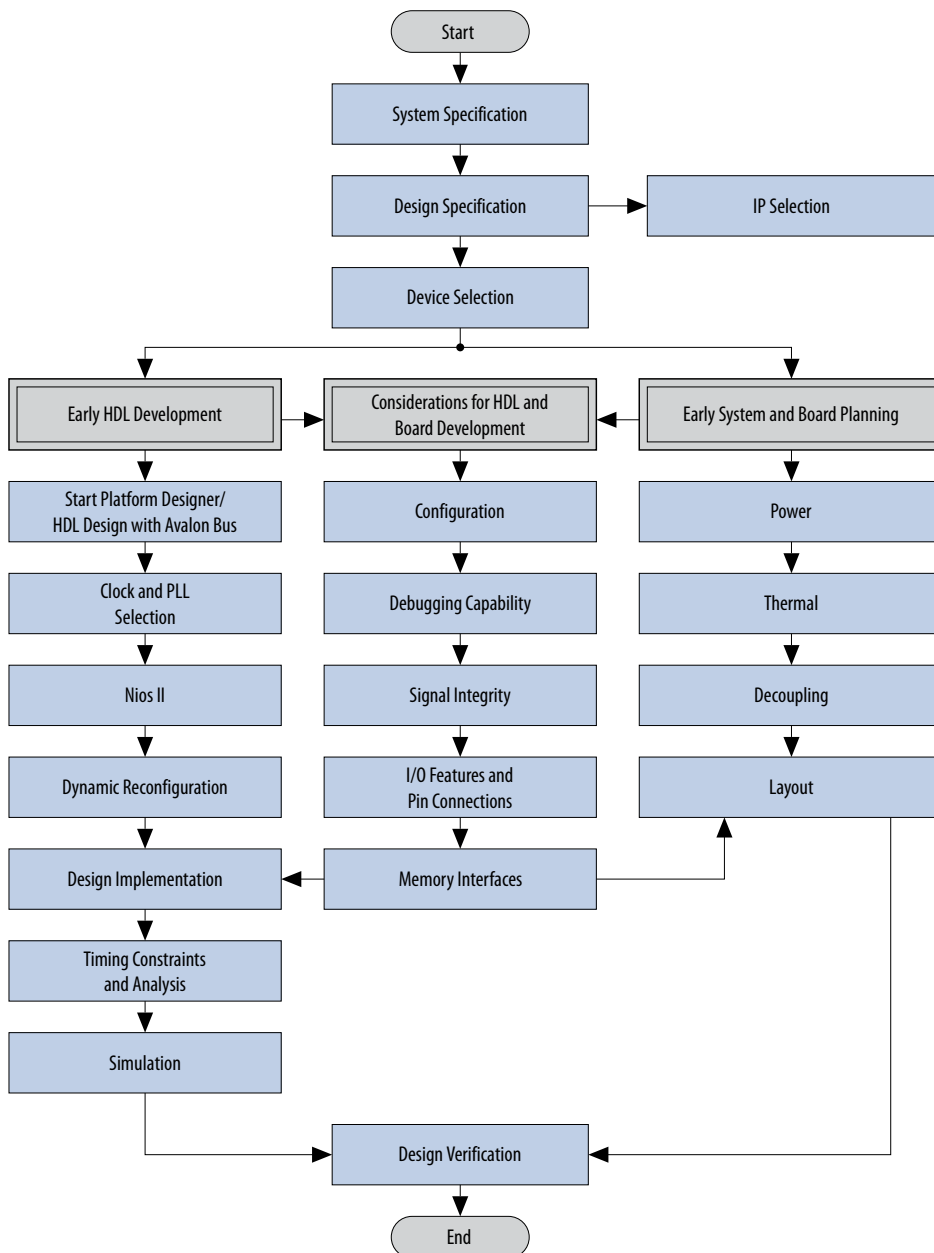
デザインフローのステージ	説明
システム仕様	デザイン仕様、IP 選択のプランニング
デバイスの選択	デバイス情報、デバイスタイプと集積度の決定、パッケージ、マイグレーション、およびスピードグレード
システムおよびボードの早期プランニング	消費電力および熱見積もり、温度管理オプション、コンフィグレーション・スキームのプランニング、オンチップデバッグのプランニング
ボードデザインのピン接続に関する考慮事項	パワーアップ、電源ピン、PLL 接続、デカップリング・コンデンサー、コンフィグレーション・ピン、シグナル・インテグリティ、ボードレベルの検証
I/O およびクロックのプランニング	ピン配置、早期ピン・プランニング、I/O 機能と接続、メモリー・インターフェイス、クロックと PLL 選択、SSN (同時スイッチング・ノイズ)
デザインエントリー	コーディング・スタイルおよびデザインの推奨事項、Platform Designer、階層デザインまたはチームベースのデザインのプランニング
デザインの実装、解析、最適化、および検証	合成ツール、デバイス利用率、メッセージ、タイミング制約と解析、エリアとタイミングの最適化、コンパイル時間、検証、電力解析と最適化

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2015
登録済

図 -1: インテル Stratix 10 デバイスのデザインフロー



システム仕様

インテル Stratix 10 デバイスを含むシステムでは、FPGA は一般的にシステム全体で大きな役割を果たし、残りのシステムデザインに影響を与えます。重要な点は、デザインプロセスを開始するためにシステムと FPGA の詳細なデザイン仕様を作成し、FPGA 入力および出力インターフェイスをシステムの他の部分に対して決定することです。

デザイン仕様

表 2. デザイン仕様のチェックリスト

番号	チェック欄	チェック項目
1		必要に応じて、詳細なデザイン仕様およびテストプランを作成します。
2		クロックリソースおよび I/O インターフェイスのプランニングをブロック図を使用して早期に行います。

システムを定義する詳細なデザイン仕様を作成してからロジックデザインを作成するか、もしくはシステムデザインを完了します。そのために次を実行します。

- FPGA 用 I/O インターフェイスの指定
- 異なるクロックドメインの特定
- デザインの基本機能のブロック図を含める
- 知的財産 (IP) ブロックを含める

注意: これらの仕様を作成することによりデザイン効率が向上します。しかし、この段階は、FPGA の設計者によって省略されることがよくあります。

- 機能検証および機能テストのプランの作成
- 共通のデザイン・ディレクトリー構造の検討

機能検証プランを作成し、システムを検証する方法をチームが確実に把握できるようにします。テストプランをこの段階で作成することは、テスト性と製造性のあるデザインにも役立ちます。例えば、Built In Self Test (BIST) 機能を実行してインターフェイスを駆動する場合、Nios® プロセッサを FPGA デバイ스에搭載した UART インターフェイスを使用します。すべてのデザイン・インターフェイスを検証する機能が必要になる場合があります。

デザインに複数の設計者が関わっている場合は、共通のデザイン・ディレクトリー構造を検討すると便利です。これにより、デザインの統合段階が容易になります。

関連情報

- [IP の選択 \(6 ページ\)](#)
知的財産ブロックの実装に関する推奨事項を提供しています。
- [オンチップデバッグのプランニング \(20 ページ\)](#)
システムに実装されたデバイスの解析およびデバッグに関連するガイドラインを提供しています。

IP の選択

表 3. IP の選択のチェックリスト

番号	チェック欄	チェック項目
1		システムデザイン、特に I/O インターフェイスに影響を与える IP を選択します。
2		インテル FPGA IP を評価する場合は、ボードデザインで JTAG 接続がサポートされていることを確認してください。

インテルおよびサードパーティーの IP パートナーでは、インテルデバイス用に最適化された既製の IP コアを多数提供しています。これらのパラメーター化された IP ブロックは、デザインでの実装が簡単のため、システム実装と検証時間が短縮され、独占所有権の価値の追加に専念できます。



IP の選択はシステムデザインに影響を与えることが多く、FPGA と他のデバイスをシステム内でインターフェイス接続する場合は特にそうです。システムデザイン内のどの I/O インターフェイスまたは他のブロックが IP コアを使用して実装できるかを検討し、そのようなコアを FPGA デザインに組み込むようプランニングしてください。

Intel FPGA IP Evaluation Mode 機能は、多くの IP コアで使用可能で、これにより、IP ライセンスの購入前に FPGA をプログラムし、ハードウェアでデザインを検証することができます。この評価でサポートしているのは、デザインを限られた時間内で実行する非拘束モード、または拘束モードです。拘束モードで必要なのは、インテルシリアル JTAG ケーブルの接続が、ボード上の JTAG ポートと インテル Quartus Prime Programmer を実行しているホスト・コンピューターの間で、ハードウェアの評価中に確保されていることです。

関連情報

[Intellectual Property のページ](#)

使用可能な IP コアの詳細説明を提供しています。

Platform Designer

表 4. Platform Designer のチェックリスト

番号	チェック欄	チェック項目
1		Platform Designer を活用してシステムおよびプロセッサをデザインします。

Platform Designer は、インテル Quartus Prime 開発ソフトウェアの一部として含まれているシステム統合ツールです。Platform Designer では、システムレベルのハードウェア・デザインのキャプチャを抽象度の高いレベルで行います。また、カスタマイズされたハードウェア記述言語 (HDL) コンポーネントの定義および統合のタスクを自動化します。HDL コンポーネントには、IP コア、検証 IP、およびその他のデザインモジュールなどが含まれます。Platform Designer では、デザインの再利用を促進するために、カスタム・コンポーネントをパッケージ化して、インテルおよびサードパーティーの IP コンポーネントと統合します。Platform Designer では、指定したハイレベルの接続性から相互接続ロジックを自動作成します。これにより、エラーが発生しやすく時間のかかる HDL 作成タスクがなくなり、システムレベルの接続を指定します。

Platform Designer がより強力になるのは、カスタム・コンポーネントのデザインに標準インターフェイスを使用した場合です。標準インターフェイスを使用すると、コンポーネントが Platform Designer ライブラリー内のコンポーネントと相互に動作します。さらに、バス機能モデル (BFM)、モニター、およびその他の検証 IP を活用して、デザインの検証を行うことができます。

関連情報

[Intel Quartus Prime Pro Edition User Guide: Platform Designer の Creating a System With Platform Designer の章](#)

Platform Designer に関する詳細を提供しています。

デバイスの選択

デバイスの選択は、インテル Stratix 10 デザインプロセスの最初のステップです。デザイン要件に最適なデバイスファミリーのバリエーション、デバイスの集積度、機能、パッケージ、およびスピードグレードを選択します。

関連情報

インテル Stratix 10 デバイスの概要

ロジック、メモリーブロック、乗算器、PLL (Phase-Locked Loop) などの各デバイス集積度で使用可能な機能、およびさまざまなパッケージの種類と I/O ピン数に関する詳細情報を提供しています。

デバイスバリエーション

表 5. デバイスバリエーションのチェックリスト

番号	チェック欄	チェック項目
1		使用可能なデバイスバリエーションを検討します。
2		デバイスの選択は、トランシーバー、プロトコル IP コア、I/O ピン数、LVDS チャネル、パッケージの種類、ロジック/メモリー/乗算器の集積度、PLL、クロック配線およびスピード・グレードに基づいて行います。

インテル Stratix 10 デバイスファミリーは、異なるアプリケーション要件を満たすために最適化された複数のデバイスバリエーションで構成されています。

関連情報

インテル Stratix 10 デバイスの概要内、インテル Stratix 10 ファミリーバリエーション

デバイス種別に関する詳細情報を提供しています。

PLL およびクロック配線

表 6. PLL およびクロック配線のチェックリスト

番号	チェック欄	チェック項目
1		PLL 数およびクロック配線リソースを検証します。

選択したデバイスの集積度パッケージの組み合わせに、デザインに十分な PLL とクロック配線リソースが含まれていることを検証します。

関連情報

インテル Stratix 10 クロッキングおよび PLL ユーザーガイド内、PLL の概要

PLL に関する詳細情報を提供しています。

ロジック、メモリー、および乗算器の集積度

表 7. ロジック、メモリー、および乗算器の集積度

番号	チェック欄	チェック項目
1		ロジック、メモリー、および乗算器に必要な集積度を見積もります。
2		今後の開発とデバッグ向けにデバイスのリソースを確保しておきます。

インテル Stratix 10 デバイスでは、さまざまな集積度を用意しています。これによって、異なる量のデバイスのロジックリソースが提供されます。これには例えば、メモリー、乗算器、アダプティブ・ロジック・モジュール (ALM) ロジックセルなどがあります。必要なロジック集積度を決定することは、デザインのプランニング・プロセスの難しい部分です。デバイスのロジックリソースがより多い場合、実装できるデザインは、より大きく、潜在的により複雑になります。ただしコストは、一般的に高くなります。デバイスが小さいほど、スタティック電力の使用率は低くなります。インテル Stratix 10 デバイスでは、パーティカル・マイグレーションをサポートしています。それにより柔軟性が提供されます。



既存のデバイスから インテル Stratix 10 デバイスにデザインを移行すると、リソース使用率が 10% から 15% 増加することがあります。リソース使用率を確認して、どのデバイス集積度がデザインに適しているかを確認してください。インテル Quartus Prime 開発ソフトウェアで使用されているコーディングスタイル、デバイス・アーキテクチャー、および最適化オプションは、デザインのリソース使用率およびタイミング・パフォーマンスに大きく影響することがあります。

デザイン要件を満たすデバイスを選択する際には、デザインサイクルの後半でロジックを追加したり、アップグレードしたり、デザインを拡張したりする場合に備えて、安全性に余裕を持たせます。また、デバイスに追加スペースを持たせて、インクリメンタル・デザインやチームベースのデザインのフロアプランの作成を容易にすることが必要な場合もあります。デバッグ用のリソースを確保することを検討してください。

関連情報

- [デバイスのパーティカル・マイグレーション \(10 ページ\)](#)
- [デバイスのリソース使用率レポート \(47 ページ\)](#)
コンパイル済みデザインのリソース使用率の決定に関する詳細情報を提供しています。
- [資料: 知的財産権 \(IP\) およびメガファンクション](#)
特定の IP デザイン・コンフィグレーションに対するリソース使用率の見積もりに関する詳細情報を提供しています。
- [オンチップデバッグのプランニング \(20 ページ\)](#)
デバッグ用リソースの確保に関する詳細情報を提供しています。
- [インテル Stratix 10 可変精度 DSP ブロック・ユーザーガイド](#)

I/O ピン数、LVDS チャネル、およびパッケージの種類

表 8. I/O ピン数、LVDS チャネル、およびパッケージの種類のチェックリスト

番号	チェック欄	チェック項目
1		必要な I/O ピン数を見積もります。
2		デバッグ用に予約する必要がある I/O ピンについて検討します。
3		LVDS チャネル数が十分であるかを検証します。

アプリケーションに必要な I/O ピンの数を決定します。このとき、他のシステムブロックとのデザインのインターフェイス要件を考慮します。

より高い集積度とパッケージピン数により、さらに多くの全二重 LVDS チャネルが異なるシグナリングに対して提供されます。デバイスの集積度とパッケージの組み合わせに十分な LVDS チャネルが含まれていることを確認してください。その他の要素 (同時スイッチング・ノイズ (SSN) への配慮、ピン配置のガイドライン、専用入力として使用されているピン、各 I/O バンクでの I/O 規格の対応の可否、I/O バンクのロウとカラムに対する I/O 規格とスピードの違い、およびパッケージのマイグレーション・オプションなど) もデザインに必要な I/O ピン数に影響を与えます。

既存のデザインを インテル Quartus Prime 開発ソフトウェアでコンパイルして、使用する I/O ピンの数を決定します。また、I/O ピンをデバッグ用に予約することを検討してください。

関連情報

- [インテル Stratix 10 デバイスの概要内、使用可能なオプション](#)
パッケージタイプに関する詳細情報を提供しています。

- [インテル Stratix 10 汎用 I/O ユーザーガイド内、インテル Stratix 10 デバイスにおける GPIO バッファと LVDS チャネル](#)
I/O ピン数に関する詳細情報を提供しています。
- [Intel Stratix 10 High-Speed LVDS I/O User Guide 内、LVDS Channels Support](#)
- [ボードデザインのピン接続に関する考慮事項 \(23 ページ\)](#)
ピン位置の選択に関する詳細情報を提供しています。
- [I/O およびクロックのプランニング \(33 ページ\)](#)
ピン位置の選択に関する詳細情報を提供しています。
- [オンチップデバッグのプランニング \(20 ページ\)](#)
デバッグ用 I/O ピンの予約に関する詳細情報を提供しています。

スピードグレード

表 9. スピードグレードのチェックリスト

番号	チェック欄	チェック項目
1		必要なスピードグレードを決定します。

デバイスのスピードグレードは、デバイスのタイミング・パフォーマンス、タイミング・クロージャー、および電力使用率に影響します。デザインに必要なスピードグレードを決定する方法の 1 つは、特定の I/O インターフェイスでサポートされているクロックレートを考慮することです。

プロトタイプ作成中に最速のスピードグレードを使用して、コンパイル時間を短縮することができます (デザインを最適化してタイミング要件を満たすためにかかる時間が短くなるため)。その後、生産用に低速のスピードグレードに移行し、コストを削減します。ただし、デザインがタイミング要件を満たしていることが必要です。

関連情報

- [インテル Stratix 10 デバイスの概要内、使用可能なオプション](#)
デバイスのスピードグレードに関する詳細情報を提供しています。
- [外部メモリー・インターフェイス・インテル Stratix 10 ユーザーガイド、パフォーマンス・サポートの概要](#)
デバイスの異なる側にある I/O ピンを異なるデバイスのスピードグレードで使用するメモリー・インターフェイスに対してサポートされているクロックレートに関する詳細情報を提供しています。
- [外部メモリー・インターフェイス・スペック・エスティメーター](#)
インテル FPGA デバイスでサポートされている外部メモリー・インターフェイスのパフォーマンスに関する詳細情報を提供しています。
- [インテル Stratix 10 デバイス・データシート内、スイッチング特性](#)
L タイル、H タイル、および E タイルデバイスのトランシーバー仕様を提供しています。

デバイスのパーティカル・マイグレーション

表 10. デバイスのパーティカル・マイグレーションのチェックリスト

番号	チェック欄	チェックリストの項目
1		パーティカル・デバイス・マイグレーションの対応の可否および要件を検討します。
2		外部メモリー・インターフェイス (EMIF) ピンベアリングについては、 外部メモリー・インターフェイス・インテル Stratix 10 FPGA IP ユーザーガイド を参照してください。



インテル Stratix 10 デバイスでは、同一パッケージ内でのパーティカル・マイグレーションをサポートしています。集積度が異なるデバイスへのマイグレーションが可能なのは、デバイスの専用入力ピン、コンフィグレーション・ピン、および電源ピンが特定のパッケージに対して同じ場合です。この機能により、将来のアップグレードやデザイン変更によりボードレイアウトの変更が不要になります。これは、ボード上の FPGA を集積度の異なる インテル Stratix 10 デバイスに置き換えることができるためです。

デザインを他のデバイス集積度に移行するオプションが必要かどうかを判断します。デバイスの集積度とパッケージを選択し、将来のデバイス・マイグレーションに対応することにより、デザインが完成に近づいたときに柔軟性を持たせることができます。マイグレーションの可能性のある場合は、インテル Quartus Prime 開発ソフトウェアでオプションを指定します。これは、デザインサイクルの開始時、または インテル Quartus Prime 開発ソフトウェアでデバイス・マイグレーションの選択が可能になった時点で行ってください。マイグレーション・デバイスを選択すると、デザインのピン配置が影響を受けることがあります。これは、Fitter でデザインと選択デバイスとの互換性を保証するためです。マイグレーション・デバイスの追加は、デザインサイクルの後半でも可能です。しかしその場合は、ピン・アサインメントの確認に余分な労力がかかります。また、場合によっては、デザインまたはボードレイアウトを変更して、それを新しいターゲットデバイスに適合させる必要があります。このような問題の検討は、デザインサイクルの早い段階で行う方が、最後にデザインが完成に近づいてマイグレーションの準備ができたときにするより簡単です。

インテル Quartus Prime Pin Planner では、マイグレーション・デバイスで機能を変更するピンを強調表示して、現在選択されているデバイスと比較します。

関連情報

- [FPGA ピン・アサインメントの作成 \(33 ページ\)](#)
インテル Quartus Prime Pin Planner を使用してピン機能を変更する方法の詳細情報を提供しています。
- [外部メモリー・インターフェイス インテル Stratix 10 FPGA IP ユーザーガイド](#)
EMIF ピンペアリングのデザイン・ガイドラインを外部メモリー・インターフェイス インテル Stratix 10 FPGA IP のピンのガイドラインの各セクションで提供しています。
- [Intel Stratix 10 Transceiver PHY User Guide 内、Transceiver Design Flow](#)
- [インテル Stratix 10 E タイル・トランシーバー PHY ユーザーガイド](#)
- [L- and H-Tile Transceiver PHY User Guide](#)
- [AN 778: インテル Stratix 10 トランシーバー・ユーザーガイド](#)

システムおよびボードの早期プランニング

FPGA 関連のシステム情報のプランニングは、デザインプロセスの早い段階で、設計者が インテル Quartus Prime 開発ソフトウェアでデザインを完了する前に行う必要があります。早期プランニングにより、FPGA チームから PCB ボードやシステム設計者に情報を早期に提供することができます。

電力および熱の見積もり

表 11. 電力および熱の見積もり

番号	チェック欄	チェック項目
1		Intel FPGA Power and Thermal Calculator (PTC) を使用して消費電力を見積もり、冷却ソリューションおよび電源のプランニングをロジックデザインの完了前に行います。

FPGA の消費電力はデザインの重要な考慮事項であり、正確に見積もる必要があります。これにより、適切な電力バジェットを策定し、電源、電圧レギュレーター、デカップラー、ヒートシンク、および冷却システムをデザインします。電力の見積もりと解析には、次の 2 つの重要なプランニング要件があります。

- **熱プランニング:** 冷却ソリューションは、デバイスによって発生した熱を十分に放熱させる必要があります。特に、計算された接合部温度は通常のデバイス仕様に収まる必要があります。
- **電源プランニング:** 電源から十分な電流を供給し、デバイス動作をサポートする必要があります。

FPGA デバイスの消費電力は、ロジックデザインに依存します。この依存関係によって、早期ボード仕様およびレイアウト段階での消費電力の見積もりが困難になることがあります。インテル PTC ツールを使用すると、電力使用率の見積もりをデザインの完成前に行うことができます。そのためには、デザインで使用するデバイスやデバイスリソースのほか、動作周波数、トグルレート、および環境考慮事項に関する情報を処理します。このツールを使用して熱デザイン・パラメーターを取得し、それにより詳細な熱シミュレーションおよび冷却ソリューション・デザインを実行します。

既存のデザインがない場合は、デザインで使用するデバイスリソース数を見積もり、手入力します。PTC ツールの精度は、入力内容とデバイスリソースの見積もりによって異なります。この情報が変更されると (デザイン中またはデザイン完了後)、電力見積もり結果の精度が低下します。既存のデザインまたは部分的にコンパイルが完了したデザインがある場合は、Generate Early Power Estimator File コマンドを インテル Quartus Prime 開発ソフトウェアで使用して、スプレッドシートに入力します。

PTC では、インテル Quartus Prime によって生成された電力見積もりファイル (.qptc ファイル) を読み出します。旧バージョンの Power Estimator ツール (Early Power Estimator (EPE)) で生成された .csv ファイルの読み出しもできます。また、PTC ツールにデータを手動で転送することもできます。これには、インテル Quartus Prime プロ・エディションで生成されたデザインのコンパイルレポートのリソース使用率を参照します。既存の インテル Quartus Prime プロジェクトが、完全なデザインの一部のみの場合は、最終デザインで使用する追加のリソースを手動で入力する必要があります。PTC ツールへの入力を編集してデバイスリソースを追加できます。また、パラメーターの調整は、電力見積もりファイル情報のインポート後に行うこともできます。

デザインが完了すると、インテル Quartus Prime 開発ソフトウェアの Power Analyzer ツールでは、電力をさらに正確に見積もり、熱バジェットと供給バジェットに違反しないようにします。電力を最も正確に見積もるには、ゲートレベルのシミュレーション結果をサードパーティー・シミュレーション・ツールの出力ファイル (.vcd) で使用します。

注意: PTC ツールの入手については、最寄りの販売代理店にお問い合わせください。

関連情報

- [電力解析 \(52 ページ\)](#)
電力の見積もりと解析に関する詳細情報を提供しています。
- [Intel FPGA Power and Thermal Calculator User Guide](#)
Power and Thermal Calculator の使用に関する詳細情報を提供しています。
- [インテル Quartus Prime 開発ソフトウェア・プロ・エディション・ユーザーガイド: 消費電力の解析と最適化の消費電力の解析の章](#)
電力の見積もりと解析に関する詳細情報を提供しています。



熱管理およびデザイン

表 12. 温度デザインのチェックリスト

番号	チェック欄	チェック項目
1		熱デザインの電力および熱パラメーターを PTC から入手します。
2		熱シミュレーションを実行して、適切な冷却ソリューションを決定します。

インテル Stratix 10 はマルチチップ・モジュールであり、パッケージ・コンフィグレーションとデザイン情報によってすべてのダイの電力配分はかなり異なります。この機能により、インテル Stratix 10 の熱特性はデザインに依存します。PTC ではデザイン入力を考慮に入れて、デザイン固有の熱パラメーターを Thermal Page で生成します。各ダイの消費電力、すべてのダイの熱抵抗 (ψ_{JC})、冷却ソリューション要件 (ψ_{CA})、および最大許容パッケージケース温度 (T_{case}) が取得できます。

インテル Stratix 10 の熱解析では、Compact Thermal Model を使用する必要があります (このモデルの入手については、最寄りのインテル販売代理店にお問い合わせください)。また、Computational Fluid Dynamics (CFD) ツールでシミュレーションを実行することも必要です。CFD 解析の結果から得られる T_{case} は、PTC Thermal Page の要求値よりも低くなければなりません。シミュレーションした T_{case} 、 ψ_{JC} 、および合計パッケージ電力を使用し、実際の接合部温度 T_j を求めます。これは、要件 (例: 95°C) を下回る必要があります。冷却ソリューション (ヒートシンクのデザイン、エアフローなど) を調整して、熱デザインを最適化します。

関連情報

- [AN 787: Intel Stratix 10 Thermal Modeling and Management](#)
インテル Stratix 10 デバイスの インテル Stratix 10 熱モデリングおよび熱デザインの例に関する情報を提供しています。
- [Intel FPGA Power and Thermal Calculator User Guide](#)
Power and Thermal Calculator の使用に関する詳細情報を提供しています。

熱管理の温度検知

表 13. 温度検知のチェックリスト

番号	チェック欄	チェック項目
1		デザインで温度検知ダイオード (TSD) をセットアップし、デバイス接合部温度を測定して熱管理を実行します。
2		PTC 計算から TSD 読み出し値へのオフセット値を含めます。

インテル Stratix 10 デバイスでは、内部および外部の温度検知機能を備えています。接合部温度 T_j は次の方法で測定します。

- Temperature Sensor Intel Stratix 10 FPGA IP コアのインスタンス化による内部 TSD の使用。
- サードパーティー製のセンサーチップとのインターフェース接続用にデザインされた外部サーマルダイオードの使用。サードパーティー製のセンサーチップが、インテル Stratix 10 デバイス・データシートに記載されている外部 TSD 仕様と一致していることを確認してください。

実際の接合部温度を監視することは、熱管理にとって非常に重要です。インテル Stratix 10 デバイスに内蔵されている各ダイの TSD には、エンベデッド・アナログ - デジタル・コンバーター (ADC) 回路が備えられています。デジタル温度表示へのアクセスは、Temperature Sensor IP コアを介して行います。

インテル Stratix 10 TSD では、デバイスの接合部温度を自己監視し、外部回路を使用して、FPGA への空気流量制御などの作業を行います。これに必要な TSD 回路を含めるため、Temperature Sensor IP コアをインスタンス化します。

インテル Stratix 10 デザインの柔軟性により、トランシーバー・ダイの電力分布が不均一になることがあります。このため、トランシーバー・ダイのホットスポットは必ずしも TSD の場所にあると限りません。これにより、TSD の読み出しと実際の接合部温度との間に温度差が生じます。PTC ではこの差を計算し、各 TSD のオフセット値をレポートします。オフセット値を TSD 測定値に足して実際の接合部温度を取得します。

関連情報

- [インテル Stratix 10 アナログ-デジタル・コンバーター・ユーザーガイド内、内部温度センサー コンフィグレーション・ピンおよびコンフィグレーション・デバイスの接続に関連するボードデザイアのガイドラインの詳細情報を提供しています。](#)
- [インテル Stratix 10 デバイス・データシート内、内部温度検知ダイオードの仕様 内部および外部の温度検出ダイオードの仕様を提供しています。](#)
- [AN 787: Intel Stratix 10 Thermal Modeling and Management](#)
インテル Stratix 10 デバイスの インテル Stratix 10 熱モデリングおよび熱デザインの例に関する情報を提供しています。

電圧センサー

表 14. 電圧センサーのチェックリスト

番号	チェック欄	チェック項目
1		電圧センサー使用の必要性を判断します。

インテル Stratix 10 デバイスにはオンチップ電圧センサーが内蔵されています。センサーによって、観測中のアナログ信号が 8 ビットデジタル表現で提供されます。この機能は、重要なオンチップ電源および外部アナログ電圧のライブ監視に使用できます。

関連情報

[インテル Stratix 10 アナログ-デジタル・コンバーター・ユーザーガイド内、デザインの考慮事項](#)
電圧センサーの機能に関する詳細情報を提供しています。

デバイス・コンフィグレーションのプランニング

表 15. デバイス・コンフィグレーションのプランニングのチェックリスト

番号	チェック欄	チェック項目
1		複数のコンフィグレーション・スキームの必要性を検討します。
2		コンフィグレーションの失敗を回避するため、コンフィグレーション・ガイドラインおよび追加のクロック要件に従ってください。これは、デザインで PCIe、トランシーバー・チャネル、HPS、High Bandwidth Memory (HBM2) IP コア、または SmartVID を使用している場合に適用します。ガイドラインについては、 インテル Stratix 10 コンフィグレーション・ユーザーガイド および インテル Stratix 10 パワー・マネジメント・ユーザーガイド を参照してください。
3		インテルでは、インテル Stratix 10 Reset Release IP をデザインで使用して、既知の初期化状態をロジックに提供して動作を開始させることを強くお勧めします。Reset Release IP は、インテル Quartus Prime 開発ソフトウェアのバージョン 19.1 以降で使用可能です。ガイドラインについては、 インテル Stratix 10 コンフィグレーション・ユーザーガイド を参照してください。
<i>continued...</i>		



番号	チェック欄	チェック項目
4		インテル Stratix 10 GX 10M デバイスの各ダイには、独自のコンフィグレーション・ピンがあります。各ダイの個別コンフィグレーションには、専用コンフィグレーション・ビット・ストリームまたは .sof ファイルを使用します。各ダイには固有の JTAG ID があるため、単一の .sof ファイルを使用してデバイスをコンフィグレーションすることはできません。
5		nCONFIG の接続が、次の方法で行われていることを確認します。 <ul style="list-style-type: none"> AS×4 コンフィグレーションを使用している場合は、nCONFIG の VCCIO_SDM への接続は外部の 10 kΩ プルアップ抵抗を介して行います。nCONFIG ピンが接続されホストによって制御されている場合は、ホストによって nCONFIG を既知の状態に駆動する必要があります。ただし、インテルでは、nCONFIG を VCCIO_SDM に対する外部 10kΩ プルアップ抵抗に接続することをお勧めします。これにより、FPGA のコンフィグレーションは、デバイスのパワーアップ時にクアッド SPI フラッシュから直接できるようになります。 Avalon-ST コンフィグレーション・スキームを使用している場合は、nCONFIG をホストを使用して既知の状態にします。nCONFIG を VCCIO_SDM に対する外部 10 kΩ プルアップ抵抗に接続することはオプションです。 ホストを使用して nCONFIG を駆動する場合、コンフィグレーション・スキームに関係なく、ホストによる nSTATUS の適切な監視が必要です。インテル Stratix 10 デバイスファミリー・ピン接続ガイドラインおよび インテル Stratix 10 コンフィグレーション・ユーザーガイドに記載されているとおりに行うことで、信頼性の高いコンフィグレーションが可能になります。
6		nCONFIG の駆動は、FPGA、HPS I/O、FPGA または HPS I/O に依存するコンポーネントによって直接行われなないようにします。

インテル Stratix 10 デバイスのベースは SRAM セルです。コンフィグレーション・データの インテル Stratix 10 デバイスへのダウンロードは、デバイスのパワーアップのたびに行ってください。これは、SRAM が揮発性だからです。複数のコンフィグレーション・スキームが必要かどうかを検討します。例えば、デバッグまたはテストのために 1 つの手法、生産環境のために別の手法などです。

デバイスのコンフィグレーション・スキームを早期に選択すると、システム設計者やボード設計者は、システムに必要なコンパニオン・デバイスがある場合は、それを決定することができます。ボードレイアウトは、プログラマブル・デバイスに使用する予定のコンフィグレーション・スキームによっても異なります。これは、異なる手法には異なる接続が必要だからです。

また、インテル Stratix 10 デバイスでは、高度なコンフィグレーション機能が、コンフィグレーション・スキームに応じて提供されます。また、インテル Stratix 10 デバイスには、オプションのコンフィグレーション・ピンとリコンフィグレーション・オプションが含まれています。これをデザインプロセスの早期段階で選択（および インテル Quartus Prime 開発ソフトウェアでセットアップ）して、ボードとシステムのデザインに必要なすべての情報を入手します。

関連情報

- [ボードデザインのピン接続に関する考慮事項 \(23 ページ\)](#)
 コンフィグレーション・ピンおよびコンフィグレーション・デバイスの接続に関連するボードデザインのガイドラインの詳細情報を提供しています。
- [インテル Stratix 10 コンフィグレーション・ユーザーガイド内、デザインでのリセット・リリース・インテル FPGA IP の使用](#)
 リセットリリース IP に関する詳細を提供しています。
- [インテル Stratix 10 パワー・マネジメント・ユーザーガイド内、インテル Stratix 10 デバイスでのパワーシーケンスの考慮事項](#)
 SmartVID の設定およびパワーシーケンス要件に関する詳細情報を提供しています。
- [コンフィグレーション・サポート・センター](#)
 コンフィグレーションに関する詳細情報を提供しています。
- [FPGA コンフィグレーション・トラブルシューター](#)
 デバッグとコンフィグレーションの問題に関するガイドを提供しています。

- [JTAG Configuration and ISP Troubleshooter](#)
デバッグとコンフィグレーションの問題に関するガイドを提供しています。
- [インテル Stratix 10 コンフィグレーション・ユーザーガイド内、OSC_CLK_1 クロック入力](#)
(OSC_CLK_1) の追加コンフィグレーションクロック要件を提供しています。
- [インテル Stratix 10 コンフィグレーション・ユーザーガイド内、トランシーバー、HPS、および高帯域幅メモリー \(HBM2\) の追加クロックおよび SmartVID 要件](#)
PCIe、トランシーバー・チャンネル、HPS、High Bandwidth Memory (HBM2) IP コア、または SmartVID をデザインで使用している場合の、コンフィグレーション・ガイドラインおよび追加のクロック要件を提供しています。
- [インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン](#)
nSTATUS および nCONFIG 接続に関する詳細情報を提供しています。
- [インテル Stratix 10 ユーザーガイド内、インテル Stratix 10 のコンフィグレーションについての詳細](#)
nSTATUS および nCONFIG 動作に関する詳細情報を提供しています。

デバイスの電源再投入およびリコンフィグレーション

表 16. デバイスの電源再投入およびリコンフィグレーションのチェックリスト

番号	チェック欄	チェック項目
1		システムをデザインする際に、デバイスの電源投入をサポートし、すべてのリコンフィグレーション環境でエラーを回復できるようにします。

インテル Stratix 10 デバイスでは、SDM 内の三重冗長プロセッサを使用してコンフィグレーションを制御します。すべてのリコンフィグレーション環境でエラーを確実に回復するため、インテルでは、システムのデザインには、デバイスの電源の再投入を必要に応じてサポートするようにすることをお勧めします。一般に、nCONFIG のアサートによりエラー回復が適切に行われます。そうでない場合は、電源の再投入が必要になる場合があります。電源の再投入により、デバイスの完全な再初期化、MSEL のサンプリング、ヒューズの読み出し、および SDM BootROM コードの実行がされます。電源再投入中は、デバイスの電源投入と電源切断のシーケンスに従います。

関連情報

[インテル Stratix 10 ユーザーガイド内、インテル Stratix 10 のコンフィグレーションについての詳細](#)
パワーサイクルおよびリコンフィグレーションに関する詳細情報を提供しています。

コンフィグレーション・スキームの選択

表 17. コンフィグレーション・スキームの選択のチェックリスト

番号	チェック欄	チェック項目
1		コンパニオン・デバイスとボード接続のプランニング用のコンフィグレーション・スキームを選択します。

インテル Stratix 10 デバイスでは、コンフィグレーション・スキームをいくつか提供しています。

特定のコンフィグレーション・スキームをイネーブルするには、インテル Stratix 10 デバイスの MSEL ピンをボード上の特定の値に駆動します。

すべてのコンフィグレーション・スキームで、コンフィグレーション・デバイス、ダウンロード・ケーブル、または外部コントローラー (例えば MAX® シリーズの MAX II、MAX V、インテル MAX 10 デバイスまたはマイクロプロセッサ) を使用します。



関連情報

インテル Stratix 10 コンフィグレーション・ユーザーガイド内、コンフィグレーションについての詳細
インテル Stratix 10 デバイスでサポートされているコンフィグレーション・スキーム、必要なコンフィグレーション・スキームの実行方法、および MSEL ピン設定を含む必要なオプションピンのすべての設定に関する詳細情報を提供しています。

シリアル・コンフィグレーション・デバイス

表 18. シリアル・コンフィグレーション・デバイスのチェックリスト

番号	チェック欄	チェック項目
1		AS コンフィグレーション・モードを集積度の高いデバイスで使用する場合は、コンフィグレーション・デバイスが使用可能であり、ターゲット FPGA の集積度に対して十分な大きさがあるかどうかを確認してください。

サードパーティーのシリアル・コンフィグレーション・デバイス (EPCS) は、AS コンフィグレーション・スキームで使用します。

シリアル・コンフィグレーション・デバイスのプログラミングには、インテル FPGA ダウンロード・ケーブル II または インテル FPGA イーサネット・ケーブル II ダウンロード・ケーブルを インテル Quartus Prime 開発ソフトウェアで使用し、アクティブ・シリアル・インターフェイスを介して行います。

もしくは、サポートされているサードパーティー (BP Microsystems や System General など) のプログラマー、または SRunner ソフトウェア・ドライバーを備えたマイクロプロセッサを使用します。SRunner は、エンベデッド・シリアル・コンフィグレーション・デバイスのプログラミング用に開発されたソフトウェア・ドライバーです。設計者はそれをさまざまなエンベデッド・システムに合わせてカスタマイズすることができます。

シリアル・コンフィグレーション・デバイスでは、JTAG インターフェイスを直接サポートしていません。ただし、デバイスのプログラミングに JTAG ダウンロード・ケーブルを使用する際に、インテル Stratix 10 FPGA をブリッジとして、JTAG インターフェイスとコンフィグレーション・デバイスとの間で使用することができます。これにより、両方のデバイスで同じ JTAG インターフェイスが使用できるようになります。

シリアルフラッシュを JTAG からプログラミングする際に インテル Stratix 10 FPGA をブリッジとして使用すると、標準 AS インターフェイスを使用する場合よりも低速になります。

関連情報

- [Supported Flash Devices for Intel Stratix 10](#)
インテル Stratix 10 FPGA によってサポートされているサードパーティー製シリアルフラッシュに関する詳細情報を提供しています。
- [AN 418: SRunner: An Embedded Solution for Serial Configuration Device Programming](#)
SRunner ソフトウェアに関する詳細情報を提供しています。

ダウンロード・ケーブル

表 19. ダウンロード・ケーブルのチェックリスト

番号	チェック欄	チェック項目
1		ダウンロード・ケーブルを使用してデバイス・コンフィグレーションを行います。

インテル Quartus Prime プログラマーでサポートしている インテル Stratix 10 デバイスのコンフィグレーションでは、JTAG インターフェイスを直接インテル・プログラミング・ダウンロード・ケーブルとともに使用します。デザイン変更をデバイスに直接ダウンロードするのに、インテル・ダウンロード・ケーブルを使用すると、プロトタイピングが容易になり、複数のデザインのイタレーションを迅速に行うことができます。同じダウンロード・ケーブルを使用して、ボード上のコンフィグレーション・デバイスのプログラミングを行い、Signal Tap Embedded Logic Analyzer などの JTAG デバッグツールを使用します。

関連情報

- [Intel FPGA Download Cable II User Guide](#)
インテル FPGA ダウンロード・ケーブルの使用法に関する詳細情報を提供しています。
- [Intel FPGA Ethernet Cable II User Guide](#)
インテル FPGA イーサネット・ケーブルの使用法に関する詳細情報を提供しています。

コンフィグレーション機能

表 20. コンフィグレーション機能のチェックリスト

番号	チェック欄	チェック項目
1		コンフィグレーション・スキームとボードによって、必要な機能 (デザイン・セキュリティ、リモート・アップグレード、シングル・イベント・アップセット (SEU) 軽減など) がサポートされていることを確認します。

このセクションでは、インテル Stratix 10 のコンフィグレーション機能、およびその機能がデザインプロセスにどのように影響するかを説明します。

コンフィグレーション・ビットストリームの圧縮

コンフィグレーション・ビットストリームの圧縮は、インテル Stratix 10 のコンフィグレーションで常にイネーブルです。インテル Quartus Prime 開発ソフトウェアでは、コンフィグレーション・ファイルを生成するのに、圧縮されたコンフィグレーション・データを使用します。この圧縮ファイルによって、コンフィグレーション・デバイスまたはフラッシュメモリのストレージ要件が軽減され、コンフィグレーション・ビットストリームを インテル Stratix 10 デバイスに転送するのに必要な時間が短縮されます。

コンフィグレーション・ビットストリームの圧縮により、Avalon-ST×8、×16、×32 などのパッシブ・コンフィグレーション・スキームでは、場合によっては、外部コンフィグレーション・ホストによるコンフィグレーション・データの送信を一時停止するために、AVST_READY 信号のデアサートが必要です。

コンフィグレーション・ビットストリーム暗号化を使用したデザイン・セキュリティ

デザイン・セキュリティ機能によって、インテル Stratix 10 デザインは、コピー、リバース・エンジニアリング、および改ざんから保護されます。インテル Stratix 10 デバイスに備えられた機能では、コンフィグレーション・ビットストリームの解読に AES アルゴリズムを使用します。これは、FIPS-197 認証の業界標準暗号化アルゴリズムです。インテル Stratix 10 デバイスのデザイン・セキュリティ機能では、256 ビットのセキュリティ・キーを使用します。

デザイン・セキュリティ機能は、インテル Stratix 10 デバイスでサポートされているすべてのコンフィグレーション・スキームで使用できます。

SEU 緩和

専用回路が インテル Stratix 10 デバイスに内蔵されているのは、エラー検出および訂正のためです。この機能をイネーブルすると、SEU の確認が継続的かつ自動的に行われます。これにより、インテル Stratix 10 デバイスに保存されたコンフィグレーション・データが正しいことを確認し、システムに警告してコンフィグレーション・エラーに注意を払うことができます。



SEU 軽減機能を使用する場合、SDM ピンを使用して、SEU_ERROR 機能を実装します。このピンでは、エラーにフラグ付けをして、システムによって適切な処置が取られるようにします。デザインのコンパイル前に、SEU_ERROR 機能をイネーブルし、未使用の SDM ピンを選択して、SEU_ERROR 機能をインテル Quartus Prime 開発ソフトウェアで実装してください。

関連情報

- [インテル Stratix 10 コンフィグレーション・ユーザーガイド内、コンフィグレーション機能](#)
コンフィグレーション機能に関する詳細情報を提供しています。
- [インテル Stratix 10 SEU 緩和ユーザーガイド](#)
SEU 緩和機能に関する詳細情報を提供しています。

インテル Quartus Prime コンフィグレーション設定

表 21. インテル Quartus Prime コンフィグレーション設定のチェックリスト

番号	チェック欄	チェック項目
1		ボードおよびシステムのデザインのプランニングの際は、インテル Quartus Prime コンフィグレーション・オプションを検討してください。

いくつかのコンフィグレーション・オプションの設定は、インテル Quartus Prime スタンダード・エディション開発ソフトウェアでコンフィグレーションまたはプログラミング・ファイルを生成するコンパイル前に行うことができます。ボードとシステムのデザインは、この設定とピンの影響を受けるため、プランニング段階で検討してください。オプションの設定は、**Device and Pin Options** ダイアログボックスの General カテゴリで行います。

オプションのコンフィグレーション・ピン

表 22. オプションのコンフィグレーション・ピンのチェックリスト

番号	チェック欄	チェック項目
1		ボードデザインをプランニングして、オプションのコンフィグレーション・ピンのサポートを必要に応じて行います。

次のコンフィグレーション・ピンをオプションでイネーブルすることができます。

- OSC_CLK_1 : 使用する場合は、25 MHz、100 MHz、または 125 MHz のソースに接続してください。
- CONF_DONE
- INIT_DONE

インテル Stratix 10 デバイスでは、OSC_CLK_1 ピンをトランシーバーのキャリブレーション用リファレンス・クロックとして使用します。安定した自走クロック入力をこのピンに供給してください。

関連情報

- [インテル Stratix 10 コンフィグレーション・ユーザーガイド内、デバイス・コンフィグレーション・ピン](#)
コンフィグレーション・ピンに関する詳細情報を提供しています。
- [Intel Stratix 10 Transceiver PHY User Guide 内、Calibration の章](#)

兼用コンフィグレーション・ピン

表 23. 兼用コンフィグレーション・ピンのチェックリスト

番号	チェック欄	チェック項目
1		コンフィグレーション・ピンおよびユーザー I/O ピンとして機能する兼用ピンをプランニングします。

次のコンフィグレーション・ピンは、Avalon-ST ×16 および ×32 コンフィグレーション・スキームに使用しますが、オプションで、コンフィグレーション完了後にユーザー I/O ピンとして使用することができます。ピンをイネーブルして、インテル Quartus Prime 開発ソフトウェアで必要に応じて兼用ピンとして機能させます。

- AVST_CLK
- AVST_VALID
- AVST_DATA[15:0]
- AVST_DATA[31:16] (Avalon-ST ×32 コンフィグレーション・スキーム用)

関連情報

インテル Stratix 10 コンフィグレーション・ユーザーガイド内、デバイス・コンフィグレーション・ピン
コンフィグレーション・ピンに関する詳細情報を提供しています。

オンチップデバッグのプランニング

オンチップデバッグは、デザインフロー内のオプションのステップです。異なるデバッグツールによる効果は、システムや設計者によって異なります。オンチップ・デバッグ・オプションの評価をデザインプロセスの早い段階で行い、システムボード、インテル Quartus Prime プロジェクト、およびデザインで適切なオプションが確実にサポートされるようにします。プランニングによって、デバッグに費やす時間が短縮され、デザイン変更を排除して後で希望のデバッグ方法に対応することができます。デバッグピンの追加だけでは不十分な場合があるのは、デバイス上の内部信号および I/O ピンのアクセシビリティが理由です。最初に、希望のデバッグツールを選択してください。

関連情報

- [オンチップ・デバッグ・ツール \(20 ページ\)](#)
- [デバッグツールのプランニング・ガイドライン \(22 ページ\)](#)

オンチップ・デバッグ・ツール

表 24. オンチップ・デバッグ・ツールのチェックリスト

番号	チェック欄	チェック項目
1		オンチップ・デバッグ機能を活用して内部信号を解析し、高度なデバッグ手法を実行します。



検証ツールの インテル Quartus Prime ポートフォリオには、次のインシステム・デバッグ機能が含まれています。

- **Signal Probe インクリメンタル配線**：内部信号の迅速な配線を I/O ピンに対して行います。元のデザイン配線に影響を与えることはありません。最初に完全配線のデザインでデバッグ用の信号を選択し、以前に予約した I/O ピン、または現在使用していない I/O ピンに配線します。
- **Signal Tap Embedded Logic Analyzer**：内部信号および I/O 信号の状態のプロープには、外部機器や追加の I/O ピンは使用しません。この間、デザインはフルスピードで FPGA デバイス内で動作します。カスタムのトリガー条件ロジックを定義することで、精度と問題特定能力が向上します。外部プロープやデザインファイルへの変更を行わなくても、デザイン内の内部ノードまたは I/O ピンの状態をキャプチャできます。キャプチャした信号データがすべてデバイスメモリーに格納されると、データの読み出しと解析ができます。Signal Tap Embedded Logic Analyzer は、同期インターフェイスに最適です。非同期インターフェイスのデバッグには、Signal Probe または外部ロジックアナライザーの使用を検討して、信号の表示をより正確なものにしてください。Signal Tap によって、元のデザインの配線が影響を受ける場合があります。
- **Logic Analyzer Interface**：内部 FPGA 信号を外部ロジック・アナライザーに接続および送信して解析を行い、外部ロジック・アナライザーやミックスド・シグナル・オシロスコープで高度な機能を活用することができます。この機能を使用すると、多数の内部デバイス信号を少数の出力ピンにデバッグ目的で接続し、信号の多重化をデザイン I/O ピンを使用して必要に応じて行うことができます。
- **In-System Memory Content Editor**：インシステム FPGA メモリーおよび定数への読み出しと書き込みのアクセスを JTAG インターフェイスを介して行います。これにより、FPGA 内のメモリー内容および定数値への変更のテストを、システム内でのデバイス動作中に実行することができます。
- **In-System Sources and Probes**：カスタムのレジスターチェーンをセットアップして、ロジックデザイン内のインストルメント化ノードを駆動またはサンプリングします。このとき、簡単な方法でシンプルな仮想ステミュラスを入力し、インストルメント化ノードの現在の値をキャプチャすることができます。

- Virtual JTAG Intel FPGA IP コア: 独自のシステムレベルのデバッグ・インフラストラクチャーを構築することができます。これには、プロセッサベースのデバッグ・ソリューションとシステムレベルのデバッグ用ソフトウェア内のデバッグツールの両方が含まれます。SLD_VIRTUAL_JTAG Intel FPGA IP コアのインスタンス化を直接 HDL コード内で行って、1 つ以上のトランスペアレントな通信チャンネルを提供し、FPGA デザインの一部へのアクセスを実行します。このときデバイスの JTAG インターフェイスを使用します。
- EMIF Debug ツールキット: Tcl ベースのグラフィカル・ユーザー・インターフェイスとして JTAG 接続を介して通信し、回路基板上の外部メモリー・インターフェイスによってキャリブレーション・ステータスおよびデバッグ情報の取得ができるようにします。ツールキットの Driver Margining 機能により、メモリー・インターフェイスのマージンの測定ができます。これには、任意のトラフィック・パターンを持つドライバーを使用します。Tcl ベースのグラフィカル・ユーザー・インターフェイスでアクセスを提供しているメモリー・キャリブレーション・データは、Nios II シーケンサーによって収集されたもので、このアクセスは JTAG 接続を介して行われます。Toolkit を使用すると、キャリブレーションのためにリンクをマスクし、インターフェイスの再キャリブレーションを要求することができます。ツールキットの Driver Margining 機能により、メモリー・インターフェイスのマージンの測定ができます。これには、任意のトラフィック・パターンを持つドライバーを使用します。EMIF Toolkit では、同じデバイス上の複数の異なるメモリー・インターフェイスと通信できますが、一度に 1 つだけです。
- Transceiver Toolkit : System Console 技術を使用することにより、FPGA およびボード設計者がシステム内でトランシーバー・リンクのシグナル・インテグリティをリアルタイムで検証し、ボード立ち上げ時間を改善するのに役立ちます。ビットエラー・レート (BER) のテストと同時に、複数のリンクをターゲットのデータレートで実行し、Transceiver Toolkit でボードデザインを検証します。トランシーバーのアナログ設定を調整することで最適なリンク・パフォーマンスを図ると同時に、さまざまなテストメトリックを使用して結果を定量化します。複数のデバイスの同時テストを 1 つ以上のボードで行うには、Transceiver Toolkit GUI のリンクテストを使用します。

関連情報

- [Virtual JTAG \(altera_virtual_jtag\) Intel FPGA IP コアのユーザーガイド](#)
デバッグツールに関する詳細情報を提供しています。
- [ユーザーガイド : デバッグツール \(インテル Quartus Prime プロ・エディション\) 内、システム・デバッグ・ツールの概要](#)
デバッグ・ソリューションの選択に関する詳細情報を提供しています。

デバッグツールのプランニング・ガイドライン

表 25. デバッグツールのプランニング・ガイドラインのチェックリスト

番号	チェック欄	チェック項目
1		オンチップデバッグ手法を早期に選択し、メモリーおよびロジック要件、I/O ピン接続、およびボード接続をプランニングします。
2		Signal Probe インクリメンタル配線、Signal Tap Embedded Logic Analyzer、Logic Analyzer Interface、In-System Memory Content Editor、In-System Sources and Probes、または Virtual JTAG IP コアを使用する場合は、システムとボードのプランニングをデバッグで使用可能な JTAG 接続で行います。
3		少量の追加ロジックリソースをプランニングし、JTAG デバッグ機能用の JTAG ハプロジックの実装に使用します。
4		Signal Tap Embedded Logic Analyzer を使用したデバッグ用にデバイス・メモリー・リソースを確保し、システム動作中にデータをキャプチャします。
5		デバッグ用 I/O ピンの確保には Signal Probe または Logic Analyzer Interface を使用し、デザインやボードを変更して、後でデバッグ信号に対応する必要がないようにします。
<i>continued...</i>		



番号	チェック欄	チェック項目
6		ボードでデバッグモードをサポートし、デバッグ信号によってシステム動作が影響されないようにします。
7		ピンヘッダーまたは mictor コネクタの組み込みを外部ロジック・アナライザーまたはミックスド・シグナル・オシロスコープの必要性に応じて行います。
8		デバッグツールのインクリメンタルな使用とコンパイル時間の短縮には、インクリメンタル・コンパイルがオンであることを確認し、デザインの再コンパイルによってデバッグツールを変更する必要がないようにします。
9		Virtual JTAG IP コアをカスタム・デバッグ・アプリケーションに使用するために、デザインプロセスの一環として IP コアのインスタンス化を HDL コードで行います。
10		In-System Sources and Probes 機能を使用するために、IP コアのインスタンス化を HDL コードで行います。
11		In-System Memory Content Editor を RAM ブロックまたは ROM ブロックに対して使用するには、 Allow In-System Memory Content Editor をオンにして、コンテンツのキャプチャおよび更新を行います。これは、IP カタログ内のメモリーブロックに対するシステムクロックのオプションと関係なく行います。

オンチップ・デバッグ・ツールを使用する場合は、ツールをプランニングしてシステムボード、インテル Quartus Prime プロジェクト、およびデザインを開発します。

ボードデザインのピン接続に関する考慮事項

インテル Stratix 10 デバイスへに対するインターフェイスのデザインでは、さまざまな要因によって PCB のデザインが影響を受けます。

関連情報

- [I/O およびクロックのプランニング \(33 ページ\)](#)
ボードデザインにも影響を与える、FPGA の I/O 信号接続に関する詳細情報を提供しています。
- [インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン](#)

デバイスのパワーアップ

表 26. デバイス・パワーアップのチェックリスト

番号	チェック欄	チェック項目
1		パワーアップ用デザインボード：すべての インテル Stratix 10 GPIO ピンがトライステートにあるのは、デバイスがコンフィグレーションされて、コンフィグレーション・ピンが駆動されるまでです。トランシーバー・ピンが高インピーダンスになるのは、デバイス・ペリフェラルがプログラムされる前までです。ペリフェラルがプログラムされると、終端および V_{cm} の設定は、トランシーバーのキャリブレーション完了直後に行われます。
2		電圧電源ランプがモニタリングになるようにデザインします。
3		POR 時間を設定して電源を安定させます。
4		電源シーケンシングおよび電圧レギュレーター・のデザインでは、最大限のデバイス信頼性を図ります。GND のボード間接続を電源接続前に行います。

パワー・オン・リセット (POR) 電源の最小電流要件は、デバイスのパワーアップ中は使用可能にしてください。

インテル Stratix 10 デバイスの Power-On Reset Circuitry によって、デバイスのリセット状態を電源出力が推奨動作範囲になるまで保ちます。デバイスでは、最大電源ランプ時間内で推奨動作範囲に達する必要があります。ランプ時間が満たされないと、デバイスの I/O ピンおよびプログラミング・レジス

ターはトライステートのままであり、デバイス・コンフィグレーションは失敗します。インテル Stratix 10 デバイスで POR を終了するには、揮発性キーを使用しない場合でも V_{CCBAT} 電源への電力供給が必要です。

インテル Stratix 10 デバイスのピン選択可能オプション (MSEL) では、標準 POR 時間の選択が 4 ms または 100 ms で設定可能です。いずれの場合でも、POR 時間の延長には外部コンポーネントを使用し、nSTATUS ピンを Low にアサートして行います。POR 時間の延長は、ボードで最大電力ランプ時間の仕様が満たされない場合に行い、デバイスが正しくコンフィグレーションされ、ユーザーモードに入るようにします。

インテル Stratix 10 デバイスには、パワーアップ・シーケンシングおよびパワーダウン・シーケンシングの要件があります。各レールのパワーアップ・タイミングとパワーダウン・タイミングを考慮して、電源シーケンシングの要件を満たす必要があります。

インテルでは、GND を I/O バッファードesignのリファレンスとして使用します。ボード間の GND 接続を電源接続前にすることで、ボードの GND が、ボード上の他のコンポーネントを介した電源へのパスを通過して誤ってプルアップされることを防ぎます。これを行わないと、プルアップ GND によって、仕様から外れた I/O 電圧や電流の状態がインテルデバイスで発生することがあります。

関連情報

インテル Stratix 10 パワー・マネジメント・ユーザーガイド

パワーアップおよびパワーダウン・シーケンスに関する詳細情報を提供しています。

電源ピンの接続および電源供給

表 27. 電源ピンの接続および電源供給のチェックリスト

番号	チェック欄	チェック項目
1		すべての電源ピンを インテル Stratix 10 デバイスファミリー・ピン接続ガイドラインの指定どおりに正しく接続します。
2		VCCIO と VREF ピンを接続し、各バンクの I/O 規格をサポートします。
3		ボード上の FPGA 電源ピンまたはその他の電源ピンに対する固有の要件を調べて、ボード上で電源レールを共有できるデバイスを判別します。
4		電源共有とアイソレーションの推奨ガイダンス、および インテル Stratix 10 デバイスファミリー・ピン接続ガイドラインの各ピンの具体的なガイドラインに従います。
5		AN 692: インテル Arria® 10 および インテル Stratix 10 デバイスの電源シーケンスについての考慮事項を参照して、パワー・シーケンスのデザイン要件を確認します。
6		SmartVID デバイス (-1V、-2V、および -3V スピードグレードデバイス) の場合、PMBus 準拠の電圧レギュレーターを使用して、VCC および VCCP ピンを供給します。推奨される PMBus 準拠の電圧レギュレーターは LTM4677 です。詳細は、インテル Stratix 10 パワー・マネジメント・ユーザーガイドを参照してください。

インテル Stratix 10 デバイスでは、デザイン要件に応じてさまざまな電圧を供給する必要があります。

インテル Stratix 10 デバイスでは、幅広い業界 I/O 規格をサポートしています。デバイスの出力ピンで I/O 規格の仕様が満たされないのは、 V_{CCIO} レベルが I/O 規格の推奨動作範囲外にある場合です。

電圧リファレンス (VREF) ピンは、特定の I/O 規格の電圧リファレンスとして機能します。VREF ピンは、主に電圧バイアス用に使用され、多くの電流をソースまたはシンクすることはありません。電圧の作成は、レギュレーターまたは抵抗分割器ネットワークを使用します。



VREFP_ADC ピンは電源ピンではありません。VREFP_ADC ピンでは、電圧センサー用の ADC のリファレンス電圧を提供します。電圧センサーのパフォーマンスを向上させるには、このピンを外部リファレンス 1.25 V ソースに接続します。VREFP_ADC ピンを GND に接続すると、オンチップ・リファレンス・ソースがアクティブになります。

関連情報

- [インテル Stratix 10 デバイス・データシート内、推奨動作条件](#)
インテル Stratix 10 デバイスに必要な電源電圧とその推奨動作条件を提供しています。
- [インテル Stratix 10 汎用 I/O ユーザーガイド内、I/O 規格電圧のサポート](#)
サポートされている I/O 規格および V_{CCIO} 電圧の完全なリストを提供しています。
- [インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン](#)
- [選択可能な規格および柔軟性の高い I/O バンク \(36 ページ\)](#)
I/O バンクの V_{CCIO} 電圧および VREF ピンに関する詳細情報を提供しています。
- [AN 692: インテル Cyclone® 10 GX、インテル Arria 10、および インテル Stratix 10 デバイスの電源シーケンスについての考慮事項](#)
パワーシーケンスのデザイン要件を提供しています。
- [インテル Stratix 10 パワー・マネジメント・ユーザーガイド](#)
パワー・マネジメントおよび VID パラメーターに関する詳細情報を提供しています。

デカップリング・コンデンサー

表 28. デカップリング・コンデンサーのチェックリスト

番号	チェック欄	チェック項目
1		PDN ツールを使用して、電源分配ネットリストおよびデカップリング・コンデンサーをプランニングします。

ボードのデカップリングは、定格デバイスのパフォーマンスを確保しながら、全体的な電源インテグリティを向上させる上で重要です。

インテル Stratix 10 デバイスに内蔵されているオンダイ・デカップリング・コンデンサーでは、高周波デカップリングを提供しています。このような低インダクタンス・コンデンサーでは、電源ノイズ抑制による優れた電源インテグリティのパフォーマンスと、外部 PCB デカップリング・コンデンサー数の削減による、ボードスペースの節約、コスト削減、および PCB デザインの大幅な簡素化を図ります。

インテルで作成した電源分配ネットワーク (PDN) デザインツールは簡便で、ボードレベルの PDN の最適化をグラフィカルに行います。ボードレベルの PDN の目的は、電力およびリターン電流の分配を電圧調整モジュール (VRM) から FPGA 電源に対して行うことです。PDN ツールを使用することで、特定のデザイン用に最適化された PDN デカップリング・ソリューションに迅速に到達することができます。

PDN 設計者は、電源装置ごとにバルクおよびデカップリング・コンデンサーのネットワークを選択する必要があります。SPICE シミュレーションを使用して回路をシミュレーションすることもできますが、PDN デザインツールでは、高速、正確、かつインタラクティブな方法でデカップリング・コンデンサーの適切な数を決定し、コストとパフォーマンスのトレードオフの最適化を図ります。

関連情報

電源分配ネットワークのページ

PDN ツールおよびユーザーガイドを提供しています。

PLL ボードのデザイン・ガイドライン

表 29. PLL ボードのデザイン・ガイドラインのチェックリスト

番号	チェック欄	チェック項目
1		デザインですべての PLL を使用しない場合でも、すべての PLL 電源ピンを接続し、ノイズを低減します。
2		電源ネットの供給は、絶縁電源プレーン、電源プレーンのカットアウト、または厚みが少なくとも 20 ミルのトレースによって行う必要があります。

ボードデザインのプランニングは、電源システムを PLL 使用のためにデザインする場合と、ジッターを最小限に抑える場合に行います。これは、PLL に含まれるアナログ・コンポーネントがデジタルデバイスに組み込まれているためです。

関連情報

- [クロックおよび PLL の選択 \(40 ページ\)](#)
- [PLL 機能ガイドライン \(41 ページ\)](#)
- [インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン](#)
- [サポートリソース：ボードデザイン](#)
「一般的なボード・デザインに関する考慮事項/ガイドライン」のセクションで、PLL 電源に関するボードデザインの詳細ガイドラインを提供しています。

トランシーバー・ボードのデザイン・ガイドライン

表 30. トランシーバー・ボードのデザイン・ガイドラインのチェックリスト

番号	チェック欄	チェック項目
1		トランシーバー・ボードのデザイン・ガイドラインは、ボードのデザイン時に確認します。

関連情報

- [Intel Stratix 10 Transceiver PHY User Guide](#)
トランシーバー・ボード・デザインのガイドラインに関する詳細情報を提供しています。
- [インテル Stratix 10 E タイル・トランシーバー PHY ユーザーガイド](#)
- [L- and H-Tile Transceiver PHY User Guide](#)
- [AN 766: インテル Stratix 10 デバイス高速信号インターフェイス・レイアウトのデザイン・ガイドライン](#)
- [AN 778: インテル Stratix 10 トランシーバー・ユーザーガイド](#)
トランシーバー・チャンネルの配置に関する詳細情報を提供しています。
- [インテル Stratix 10 デバイス・データシート](#)
トランシーバーの仕様に関する詳細情報を提供しています。

コンフィグレーション・ピンの接続

表 31. コンフィグレーション・ピンの接続のチェックリスト

番号	チェック欄	チェック項目
1		すべてのコンフィグレーション・ピン接続およびプルアップ/プルダウン抵抗がコンフィグレーション・スキームに正しく設定されていることを確認します。



コンフィグレーション・スキームによっては、異なるプルアップ/プルダウン抵抗またはシグナル・インテグリティ要件が適用されることがあります。一部のコンフィグレーション・ピンには、未使用の場合に特定の要件があります。コンフィグレーション・ピンを正しく接続することは非常に重要です。次のガイドラインでは共通の問題に対処しています。

関連情報

- [インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン](#)
- [インテル Stratix 10 コンフィグレーション・ユーザーガイド内、デバイス・コンフィグレーション・ピン](#)
専用および兼用コンフィグレーション・ピンのリストを提供しています。

コンフィグレーション・ピンの電圧レベル

表 32. コンフィグレーション・ピンの電圧レベルのチェックリスト

番号	チェック欄	チェック項目
1		コンフィグレーション・ピンの V_{CCIO_SDM} および V_{CCIO} が、コンフィグレーションに使用される外部デバイスの電圧レベルと一致していることを確認します。Avalon-ST $\times 32$ または $\times 16$ コンフィグレーション・スキームを使用する場合、AVST_CLK、AVST_VALID、および AVST_DATA ピンが配置されている I/O バンクの V_{CCIO} は、 V_{CCIO_SDM} レベルと一致させてください。

インテル Stratix 10 デバイスからのコンフィグレーション・ピンは、シリアル・コンフィグレーション・デバイス、または Avalon-ST ホストなどの外部デバイスに接続します。コンフィグレーション・ピンの電圧レベルは、接続デバイスの電圧レベルと一致させる必要があります。コンフィグレーション・ピンとして使用する JTAG および SDM I/O の電力供給は、 V_{CCIO_SDM} 電源からされます。Avalon-ST $\times 32$ および $\times 16$ のコンフィグレーション・スキームでは、AVST_CLK、AVST_VALID、および AVST_DATA ピンの電力供給は、ピンが存在する I/O バンクの V_{CCIO} からされます。

クロック・トレース・シグナル・インテグリティ

表 33. クロック・トレース・シグナル・インテグリティのチェックリスト

番号	チェック欄	チェック項目
1		コンフィグレーション・クロック・トレースのデザインはノイズが発生しないようにします。

TCK、AS_CLK、AVST $\times 8$ _CLK、AVST_CLK、および OSC_CLK_1 クロック入力などの、コンフィグレーションで使用されるクロックのボードトレースは、オーバーシュート、アンダーシュート、またはリンギングのないクリーンな信号を生成する必要があります。ボードデザイン時のコンフィグレーション・クロック・トレースのレイアウトには、クロックラインのレイアウトと同じ手法を使用します。オーバーシュート、アンダーシュート、リンギング、またはクロック信号上の他のノイズが原因でコンフィグレーションが失敗する可能性があります。クロック配線がストリップラインになっていることを確認してください。クロック信号を他の信号から遠ざけて、クロック配線を高速信号から分離してください。

JTAG ピン

表 34. JTAG ピンのチェックリスト

番号	チェック欄	チェック項目
1		JTAG ピンは、使用していない場合は、安定した電圧レベルに接続します。

JTAG コンフィグレーションは、他のすべてのコンフィグレーション・スキームより優先されるため、JTAG インターフェイスを使用しない場合は、コンフィグレーション中に JTAG ピンをフローティング状態またはトグル状態のままにしないでください。JTAG インターフェイスを使用する場合は、次のガイドラインに従ってください。

JTAG ピンの接続

表 35. JTAG ピンの接続のチェックリスト

番号	チェック欄	チェック項目
1		JTAG ピンをダウンロード・ケーブル・ヘッダーに正しく接続します。ピンの順序が逆になっていないことを確認します。
2		パワーアップ時に JTAG ステートマシンをディスエーブルするには、TCK ピンを抵抗を介して Low に引き下げ、予期しない立ち上がりエッジが TCK ピンで発生しないようにします。
3		TMS ピンおよび TDI ピンを抵抗を介して High に引き上げます。

JTAG モードで動作するデバイスでは、TDI、TDO、TMS、および TCK の必要なピン 4 つを使用します。TCK ピンには弱い内部プルダウン抵抗があり、TDI ピンと TMS ピンには弱い内部プルアップ抵抗があります。

チェーン内にデバイスが 1 つ以上ある場合、1 つのデバイスの TDO ピンをチェーン内の次のデバイスの TDI ピンに接続します。

コンフィグレーション、ユーザーモード、またはパワーアップ時の JTAG ピンのノイズが原因で、デバイスが未定義の状態またはモードになることがあります。

ダウンロード・ケーブルの動作電圧

表 36. ダウンロード・ケーブルの動作電圧のチェックリスト

番号	チェック欄	チェック項目
1		ダウンロード・ケーブルはデバイスの JTAG ピンとインターフェイス接続するため、ダウンロード・ケーブルと JTAG ピンの電圧に互換性があることを確認します。

動作電圧のインテル・ダウンロード・ケーブルへの供給は、ターゲットボードから 10 ピンヘッダーを介して行われ、それによりダウンロード・ケーブルの動作電圧レベルが決まります。

インテル Stratix 10 デバイスの JTAG ピンは、 V_{CCIO_SDM} によってパワーアップされます。異なる V_{CCIO} レベルのデバイスを含む JTAG チェーンでは、デバイス JTAG 入力ピンの $V_{IL\ max}$ 、 $V_{IH\ min}$ 、および最大 V_I 仕様の違反がないことを確認します。デバイス間のレベルシフターが、デバイスの入力ピンの電圧仕様を満たすために必要になる場合があります。

JTAG 信号のバッファリング

表 37. JTAG 信号のバッファリングのチェックリスト

番号	チェック欄	チェック項目
1		JTAG 信号のバッファリングを推奨事項に従って行います。特にコネクタに対してや、ケーブルが 3 つ以上のデバイスを駆動する場合はそうしてください。
2		デバイスがコンフィグレーション・チェーンにある場合は、チェーン内のすべてのデバイスが正しく接続されていることを確認します。



JTAG チェーンへのバッファ追加の必要性は、JTAG シグナル・インテグリティ、特に TCK 信号に依存します。これは、信号が JTAG クロックであり、最も速いスイッチング JTAG 信号であるためです。インテルでは、信号のバッファリングをコネクタで行うことをお勧めしています。これは、ケーブルとボードコネクタでは、伝送経路が不良になり、信号にノイズが入る傾向があるためです。コネクタでの初期バッファリング後は、バッファの追加をチェーンが長くなるたびに、または信号がボードコネクタを通過するたびにを行います。

ケーブルで 3 つ以上のデバイスを駆動する場合は、JTAG 信号をケーブルコネクタでバッファリングして、信号の劣化を防ぎます。これは、ボードレイアウト、負荷、コネクタ、ジャンパー、およびボード上のスイッチによっても異なります。JTAG 信号のインダクタンスまたはキャパシタンスに影響するものがボードに追加されると、バッファがチェーンに追加される可能性が高まります。

各バッファで駆動する負荷は、パラレルに駆動する TCK 信号と TMS 信号に対して 8 個以下にしてください。パスにジャンパーまたはスイッチを追加する場合は、負荷の数を減らします。

MSEL コンフィグレーション・モード・ピン

表 38. MSEL コンフィグレーション・モード・ピンのチェックリスト

番号	チェック欄	チェック項目
1		MSEL 機能を持つ SDM ピンを接続し、コンフィグレーション・スキームを選択します。ピンをフローティング状態のままにしないでください。選択したコンフィグレーション・スキームに基づいた他のコンフィグレーション機能が ある場合は、ピンを V _{CCIO_SDM} または GND にハードワイヤー接続しないでください。

コンフィグレーション・スキームの選択には、外部抵抗を使用して MSEL 機能を備えた SDM ピンを High に引き上げるか Low に引き下げます。JTAG コンフィグレーションは、MSEL の設定に関係なく、常に使用可能です。MSEL 機能を備えた SDM ピンへの電力供給は、V_{CCIO_SDM} 電源によってされます。また、ピンには弱い内部プルアップ抵抗があります。

POR およびリコンフィグレーションの間、MSEL 機能を備えた SDM ピンは、LVTTTL V_{IL} レベルと V_{IH} レベルにあって、それぞれロジック Low とロジック High と見なされる必要があります。SDM ピンが MSEL 機能に使用される場合は、コンフィグレーション・スキームによっては他のコンフィグレーション機能もあります。MSEL 機能を持った SDM ピンが、使用するコンフィグレーション・スキームに必要な場合は、V_{CCIO_SDM} または GND にハードワイヤー接続する際に必ずプルアップまたはプルダウン抵抗を使用してください。

その他のコンフィグレーション・ピン

表 39. その他のコンフィグレーション・ピンのチェックリスト

番号	チェック欄	チェック項目
1		パワー・マネジメント機能が必要な場合は、複数のコンフィグレーション機能を持つ SDM ピンを使用します。
2		-V デバイスを使用する場合は、デバイスと VCC 電圧レギュレーター間の SmartVID 接続をイネーブルして、FPGA によってそのコア電圧要件の直接制御ができるようにしてください。ピン接続と実装については、インテル Stratix 10 デバイスファミリー・ピン接続ガイドラインおよび インテル Stratix 10 パワー・マネジメント・ユーザーガイドを参照してください。

パワー・マネジメント SDM ピンの多くには、複数のコンフィグレーション機能が、使用しているコンフィグレーション・スキームに応じて備えられています。一部の SDM ピンにはまた、パワー・マネジメント機能もあります。パワー・マネジメント機能が必要な場合、コンフィグレーションに使用する必要のない SDM ピンを選択し、パワー・マネジメント機能を実装してください。

ボード上の SDM ピンを外部コンフィグレーション・ホストまたはコンフィグレーション・デバイスに接続するには、使用しているコンフィグレーション・スキームに基づいて行います。コンフィグレーション・スキームを 1 つ以上使用する場合は、コンフィグレーション・ホストまたは SDM ピンに接続されているコンフィグレーション・デバイス間に競合がないことを確認してください。

関連情報

- [インテル Stratix 10 デバイスファミリー・ピン接続のガイドライン内、セキュア・デバイス・マネージャー \(SDM\) ピン](#)
デバイスおよび VCC 電圧レギュレーター間の SmartVID 接続を提供しています。
- [インテル Stratix 10 パワー・マネジメント・ユーザーガイド内、SmartVID](#)
SmartVID 機能実装に関する詳細情報を提供しています。

ボード関連の インテル Quartus Prime 設定

表 40. ボード関連の インテル Quartus Prime 設定のチェックリスト

番号	チェック欄	チェック項目
1		FPGA I/O ピンを正しく設定し、ボードデザイン中の機能のプランニングを行います。

インテル Quartus Prime 開発ソフトウェアの FPGA I/O ピンのオプションは、ボードデザイン時に考慮する必要があります。インテル Quartus Prime プロジェクトの作成時にこのオプションが正しく設定されていることを確認し、ボードデザイン時に機能のプランニングを行います。

未使用ピン

表 41. 未使用ピンのチェックリスト

番号	チェック欄	チェック項目
1		未使用の I/O ピンの予約状態を指定します。
2		インテル Quartus Prime 開発ソフトウェア生成の .pin ファイルのピン接続を慎重に確認します。RESERVED ピンは接続しないでください。

未使用ピンの状態を インテル Quartus Prime 開発ソフトウェアで指定してボードデザインに柔軟性を持たせるには、**Device and Pin Options** ダイアログボックスの **Unused Pins** カテゴリで、**Reserve all unused pins** に次の 5 つの許容可能な状態を選択します。

- **As inputs tri-stated**
- **As output driving ground**
- **As outputs driving an unspecified signal**
- **As input tri-stated with bus-hold circuitry**
- **As input tri-stated with weak pull-up**

一般的な設定では、未使用ピン設定の設定は **As inputs tri-stated with weak pull-up** です。シグナル・インテグリティを向上させるには、未使用ピンを **As output driving ground** に設定します。この設定によるインダクタンスの低減は、短いリターンパスの作成と隣接 I/O のノイズ低減によるものです。このアプローチは、ピアパスの多くで、デバイスに含まれる信号の輻輳が発生する場合は使用しないでください。

消費電力を削減するには、クロックピンおよびその他の未使用の I/O ピンを **As inputs tri-stated** に設定し、グラウンドに接続します。



シグナル・インテグリティの考慮事項

シグナル・インテグリティの考慮事項には、詳細なボードデザインのガイドラインのほか、VREF ピン、SSN、および I/O 終端に関するガイドラインなどがあります。

高速ボードデザイン

表 42. 高速ボードデザインのチェックリスト

番号	チェック欄	チェック項目
1		Board Design Resource Center を参照してください。

デザインに高速信号があり、特に インテル Stratix 10 GX/SX デバイスに高速トランシーバーが搭載されている場合、ボードデザインによってシステムのシグナル・インテグリティが大きく影響されます。

関連情報

- [サポートリソース：ボードデザイン](#)
シグナル・インテグリティおよびボードデザインに関する詳細情報を提供しています。
- [AN 528: PCB Dielectric Material Selection and Fiber Weave Effect on High-Speed Channel Routing](#)
高速ボード・スタックアップおよび信号配線レイヤーに関する詳細情報を提供しています。
- [AN 529: Via Optimization Techniques for High-Speed Channel Designs](#)
高速ボード・スタックアップおよび信号配線レイヤーに関する詳細情報を提供しています。
- [AN 530: Optimizing Impedance Discontinuity Caused by Surface Mount Pads for High-Speed Channel Designs](#)
高速ボード・スタックアップおよび信号配線レイヤーに関する詳細情報を提供しています。
- [AN 766: インテル Stratix 10 デバイス高速信号インターフェイス・レイアウトのデザイン・ガイドライン](#)

電圧リファレンス・ピン

表 43. 電圧リファレンス・ピンのチェックリスト

番号	チェック欄	チェック項目
1		VREF ピンは、ノイズが発生しないようにデザインします。

VREF ピンでの電圧変動が、入力のしきい値の感度に影響することがあります。

関連情報

インテル Stratix 10 汎用 I/O ユーザーガイド内、ガイドライン：VREF ソースと VREF ピン
VREF ピンおよび I/O 規格に関する詳細情報を提供しています。

同時スイッチング・ノイズ

表 44. 同時スイッチング・ノイズのチェックリスト

番号	チェック欄	チェック項目
1		デバイスに近いボードレイヤーの大規模なバス信号を分割し、クロストークを低減します。
2		2 つの信号レイヤーが隣り合っている場合は、可能であればトレースを直交に配線します。トレース幅の 2 倍から 3 倍の間隔をあけます。

SSN が懸念されるのは、あまりにも多くのピンが (近接して) 電圧レベルを同時に変化させる場合です。SSN によって生成されたノイズによってノイズマージンが減少し、誤ったスイッチングが発生することがあります。SSN はデバイスパッケージで支配的ですが、ボードレイアウトのプランニングを PCB ガイドラインのボードレイアウトの推奨事項に基づいて行うことでノイズを低減できます。

関連情報

サポートリソース：ボードデザイン

ノイズ低減に役立つ PCB ガイドラインおよびボードレイアウトの推奨事項に関する詳細情報を提供しています。

I/O 終端

表 45. I/O 終端のチェックリスト

番号	チェック欄	チェック項目
1		終端とインピーダンスの整合の確認を、選択した I/O 規格、特に電圧リファレンス形式の規格に対して行います。

電圧リファレンス形式の I/O 規格では、 V_{REF} と終端電圧 (V_{TT}) の両方が必要です。受信デバイスのリファレンス電圧は、送信デバイスの終端電圧に追従します。電圧リファレンス形式の各 I/O 規格には、固有の終端設定が必要です。

シングルエンド非電圧リファレンス形式の I/O 規格では終端は不要ですが、インピーダンス整合が反射の低減とシグナル・インテグリティの向上のために必要です。

インテル Stratix 10 のオンチップシリーズおよびパラレル終端では、外付けコンポーネントが不要になる利便性があります。また、外部プルアップ抵抗を使用して、SSTL や HSTL などの電圧リファレンス形式 I/O 規格を終端させることもできます。

差動 I/O 規格では、一般的に終端抵抗がレシーバーの 2 つの信号間に必要です。終端抵抗は、信号ラインの差動負荷インピーダンスと一致させてください。インテル Stratix 10 デバイスでは、LVDS を使用する場合にオプションのオンチップ差動抵抗が提供されます。

関連情報

インテル Stratix 10 汎用 I/O ユーザーガイド内、インテル Stratix 10 デバイスにおけるオンチップ I/O 終端

各 I/O 規格に対する OCT サポートの完全なリストおよび OCT の機能と制限事項に関する詳細情報を提供しています。

ボードレベル・シミュレーションと高度な I/O タイミング解析

表 46. ボードレベル・シミュレーションと高度な I/O タイミング解析のチェックリスト

番号	チェック欄	チェック項目
1		IBIS モデル (使用可能な場合) を使用して、ボードレベル・シミュレーションを実行します。
2		インテル Quartus Prime の高度な I/O タイミング解析用にボードトレース・モデルをコンフィグレーションします。

I/O シグナリングによってボード・セットアップのレシーバーしきい値レベルを確実に満たすようにするには、フルボード配線シミュレーションを IBIS モデルを使用したサードパーティー製のボードレベル・シミュレーション・ツールで実行します。



この機能が インテル Quartus Prime 開発ソフトウェアで使用可能な場合は、**Settings** ダイアログボックスの **EDA Tool Settings** の **Board-Level** ページで、**Board-level signal integrity analysis** から **IBIS** を選択します。

高速インターフェイスを備えた FPGA デバイスをボードデザインに組み込む場合、シグナル・インテグリティとボード配線の伝播遅延を知ることが、適切なシステム動作にとって不可欠です。ボードレベル・タイミングの解析は、I/O およびボードのプランニングの一部として、特に高速デザインで必要です。

選択した I/O 規格のボードトレース・モデルのコンフィグレーションを行い、インテル Quartus Prime 開発ソフトウェアで「ボード対応」のシグナル・インテグリティ・レポートを生成します。**Enable Advanced I/O Timing** が、**Settings** ダイアログボックスの **Timing Analyzer** のページでオンになっている場合、Timing Analyzer では、I/O バッファ、パッケージ、およびボードトレース・モデルのシミュレーション結果を使用して、より正確な I/O 遅延および追加レポートを生成し、信号動作のインサイトをシステムレベルで提供します。この高度なタイミングレポートをガイドとして使用し、I/O アサインメントおよびボードデザインを変更してタイミングとシグナル・インテグリティを向上させます。

関連情報

インテル Quartus Prime プロ・エディションユーザーガイド: PCB デザインツール内、サードパーティー・ツールを使用した I/O シグナル・インテグリティの解析の章

IBIS モデルを使用したボードレベル・シミュレーションに関する詳細情報を提供しています。

I/O およびクロックのプランニング

I/O およびクロックリソースのプランニングおよび割り当ては、ピン数が多く、高度なクロック管理機能を備えた インテル Stratix 10 デバイスでは重要なタスクです。さまざまな考慮事項が重要な理由は、使用可能な I/O リソースの効果的なプランニングを行って、使用率を最大限高め、シグナル・インテグリティに関連する問題を防ぐためです。優れたクロック管理システムもまた、FPGA デザインのパフォーマンスにとって重要です。

FPGA の I/O およびクロック接続は、システムの残りの部分やボードデザインに影響を与えるため、このような接続をデザイン・サイクルの早い段階でプランニングすることが重要です。

FPGA ピン・アサインメントの作成

表 47. FPGA ピン・アサインメント作成のチェックリスト

番号	チェック欄	チェック項目
1		インテル Quartus Prime Pin Planner を使用してピン・アサインメントを作成します。
2		インテル Quartus Prime Fitter のメッセージとレポートを使用して、ピン・アサインメントのサインオフを行います。
3		インテル Quartus Prime のピン・アサインメントが、スキマティック・ツールおよびボード・レイアウト・ツールのピン・アサインメントと一致していることを確認します。
4		Interface Planner を使用してインターフェイスおよびデバイス・ペリフェラルをプランニングします。デザインの合成後、Interface Planner を使用して、正当なデバイス・フロアプランを迅速に定義します。Interface Planner を使用したプランニングには、Interface Planner の初期化、プロジェクト割り当ての調整、ペリフェラル要素とクロックの配置、プラン制約の インテル Quartus Prime プロジェクトへのエクスポートなど含まれます。

インテル Quartus Prime Pin Planner の GUI を使用して、I/O バンク、VREF グループ、および差動ピンのペアを特定し、I/O プランニング・プロセスに役立てることができます。Pin Planner スプレッドシートのインターフェイスを右クリックし、**Pin Finder** をクリックして特定のピンを検索します。移行デバイスが選択されている場合、Pin Migration ビューでは、移行デバイスで機能を変更するピンをハイライト表示して、現在選択されているデバイスと比較します。

デザインフローでスプレッドシートを普段から使用している場合は、Microsoft Excel スプレッドシートをインテル Quartus Prime 開発ソフトウェアにインポートして I/O プランニング・プロセスを開始することができます。すべてのピンが割り当てられている場合、I/O アサインメントを含むスプレッドシート互換 (.csv) ファイルをエクスポートすることもできます。

インテル Quartus Prime 開発ソフトウェアでデザインをコンパイルする場合、Fitter の I/O Assignment Analysis では、アサインメントがすべてのデバイス要件を満たしていることを検証し、問題があればメッセージを生成します。

これでインテル Quartus Prime の設計者からピン位置情報を PCB 設計者に渡すことができます。インテル Quartus Prime 開発ソフトウェアとスキマティックおよびボードレイアウト・ツール間のピン・アサインメントを一致させて、デザインが配置されているボード上での正しい動作を確認する必要があります。ピン配置の変更が必要な場合は特にそうです。Pin Planner は、特定の PCB デザイン EDA ツールと統合されており、これらのツールからピン位置の変更を読み出して、提案された変更を確認することができます。デザインをコンパイルすると、インテル Quartus Prime 開発ソフトウェアでは .pin ファイルが生成されます。このファイルを使用して、各ピンがボード・スキマティックで正しく接続されていることを確認します。

関連情報

- [デバイスのパーティカル・マイグレーション \(10 ページ\)](#)
異なる集積度のインテル Stratix 10 デバイスへの移行に関する詳細情報を提供しています。
- [インテル Quartus Prime プロ・エディション・ユーザーガイド: デザイン制約内、デバイス I/O ピンの管理の章](#)
Pin Planner を使用した I/O アサインメントの作成方法に関する詳細を提供しています。
- [インテル Quartus Prime プロ・エディション・ユーザーガイド: PCB デザインツール内、Mentor Graphics* PCB デザインツールのサポートの章](#)
インテル Quartus Prime 開発ソフトウェアおよびサードパーティーの EDA ツール間での I/O 情報の受け渡しに関する詳細情報を提供しています。
- [インテル Quartus Prime プロ・エディション・ユーザーガイド: デザイン制約内、インターフェイス・プランニングの章](#)

早期ピン・プランニングおよび I/O アサインメントの解析

表 48. 早期ピン・プランニングおよび I/O アサインメントの解析のチェックリスト

番号	チェック欄	チェック項目
1		Create Top-Level Design File コマンドを I/O Assignment Analysis で使用して、I/O アサインメントをデザインの完成前にチェックします。

多くのデザイン環境で FPGA 設計者は、トップレベルの FPGA I/O ピンを早期にプランニングして、ボード設計者が PCB のデザインとレイアウトの開発を開始できるようにしたいと考えます。FPGA デバイスの I/O 機能とボードレイアウトのガイドラインは、ピンの位置やその他のタイプの割り当てに影響します。ボードデザインのチームが FPGA ピン配置を指定する場合は、ピン位置を FPGA 配置配線ソフトウェアでできるだけ早く確認して、ボードデザインの変更を回避することが重要です。

FPGA のピン・プランニングを早期に開始することによって、早期ボードレイアウトの信頼性が向上し、エラーの可能性が減少し、デザインの市場投入までの合計時間を短縮することができます。インテル FPGA の予備ピン配置の作成は、インテル Quartus Prime を使用して、ソースコードをデザインする前に行います。



デザインプロセスの早期段階でシステム・アーキテクトが持っている情報は、一般的には、標準 I/O インターフェイス (メモリーやバス・インターフェイスなど)、デザインで使用する IP コア、およびシステム要件により定義された I/O 関連のその他のアサインメントに関するものです。

Pin Planner の IP の作成およびインポート機能は、IP カタログとインターフェイス接続します。ユーザーは、これを使用して、I/O インターフェイスを使用するカスタム IP コアを作成およびインポートができます。PLL および LVDS ブロックの入力には、ダイナミック・フェーズ・アライメント (DPA) などのオプションを含めてください。これは、オプションによってピン配置規則が影響されるためです。I/O 関連情報をできるだけ多く入力したら、トップレベルのデザイン・ネットリスト・ファイルを生成します。これには、Pin Planner の **Create Top-Level Design File** コマンドを使用します。I/O 解析結果を使用して、ピン・アサインメントまたは IP パラメーターを変更します。確認プロセスは、I/O インターフェイスによってデザイン要件が満たされ、インテル Quartus Prime 開発ソフトウェアでのピンチェックに合格するまで繰り返します。

プランニングが完了すると、予備ピンの位置情報を PCB 設計者に渡すことができます。デザインが完成したら、インテル Quartus Prime Fitter によって生成されたレポートおよびメッセージを使用して、ピン・アサインメントの最終サインオフを行います。

関連情報

- [FPGA ピン・アサインメントの作成 \(33 ページ\)](#)
インテル Quartus Prime Pin Planner を使用した I/O ピン・アサインメントのプランニング、アサインメントおよび検証に関する詳細情報を提供しています。
- [インテル Quartus Prime プロ・エディション・ユーザーガイド: デザイン制約内、デバイス I/O ピンの管理の章](#)
I/O のアサインメントおよび解析に関する詳細情報を提供しています。

I/O 機能およびピン接続

インテル Stratix 10 I/O ピンは、使いやすさと迅速なシステム統合を実現すると同時に、高帯域幅を提供するようにデザインされています。独立したモジュラー I/O バンクは、パーティカル・マイグレーション用に共通バンク構造を持ち、高速 I/O の効率性と柔軟性に役立ちます。

次のガイドラインでは、I/O 機能とピン接続に関する情報を提供します。

関連情報

[インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン](#)
I/O ピンの位置および接続のガイドラインのリストを提供しています。

I/O シグナリング・タイプ

表 49. I/O シグナリング・タイプのチェックリスト

番号	チェック欄	チェック項目
1		I/O シグナリング・タイプのプランニングをシステム要件に基づいて行います。
2		ソフトウェアで、差動ピンペアのネガティブピン位置の割り当てができるようにします。

インテル Stratix 10 デバイスでは、幅広い業界 I/O 規格をサポートしています。これには、シングルエンド、電圧リファレンス形式のシングルエンド、および差動 I/O 規格が含まれます。次の一般的なガイドラインに従ってシグナリング・タイプを選択してください。

シングルエンド I/O シグナリングでは、シンプルなレール間インターフェイスが提供されます。その速度は、大きな電圧振幅とノイズによって制限されます。シングルエンド I/O では、システム内のリフレクションによって望ましくない影響が発生しない限り、終端は不要です。

電圧リファレンス形式のシグナリングでは、ピンからの同時スイッチング出力 (SSO) の影響が低減されると同時に、電圧レベルが変化します (例 : 外部メモリー・インターフェイス・データやアドレスバス)。また、電圧リファレンス形式のシグナリングでは、電圧スイングを低減してロジックの遷移速度を向上させ、終端要件のリフレクションによって発生するノイズを最小限に抑えます。ただし、追加の終端コンポーネントが、リファレンス電圧源 (V_{TT}) に必要になります。

差動シグナリングでは、シングルエンド形式および電圧リファレンス形式のシグナリングのインターフェイス・パフォーマンスの障壁を排除します。これは、優れた速度で、追加の反転密結合データペアを使用して行われます。また、差動シグナリングでは、クリーンなリファレンス電圧が回避されます。これは、より低いスウィング電圧とコモンモード・ノイズ除去能力を有するノイズ耐量によって可能になります。この実装に対する考慮事項に含まれるのは、サンプリング・クロック生成専用の PLL 要件および、反転ペアと非反転ペアとの間の位相差を排除するためのトレース長の一致です。

インテル Stratix 10 の I/O ピンは、ペアで構成され差動規格をサポートしています。各 I/O ピンのペアでは、差動入力または出力動作をサポートしています。例外として、差動入力動作のみをサポートする特定のクロックピンは除きます。デザイン・ソースコードでは、ピンを 1 つだけ定義して差動ペアを表し、ピン・アサインメントをペアの正の端に行います。差動 I/O 規格を指定すると、インテル Quartus Prime 開発ソフトウェアでは対応する負のピンを自動的に配置します。

選択可能な規格および柔軟性の高い I/O バンク

表 50. 選択可能な規格および柔軟性の高い I/O バンクのチェックリスト

番号	チェック欄	チェック項目
1		各 I/O ピンに適したシグナリング・タイプと I/O 規格を選択します。I/O バンクは I/O カラムに配置されています。各 I/O バンクには、独自の PLL、DPA、および SERDES 回路が含まれています。
2		適切な I/O 規格がターゲット I/O バンクでサポートされるようにします。
3		電圧レベルを共有する I/O ピンを同じ I/O バンクに配置します。
4		各 I/O バンクのすべての出力信号が、バンクの V_{CCIO} 電圧レベルでドライブアウトするようになっていることを確認します。
5		各 I/O バンクのすべての電圧リファレンス形式の信号が、バンクの V_{REF} 電圧レベルを使用するようになっていることを確認します。
6		LVDS およびトランシーバー機能の I/O バンクサポートを確認します。
7		インテル Stratix 10 TX 400 (1ST040E) デバイスを使用している場合、バンク 3A および 3D には制限があるので注意してください。この 2 つのバンクの I/O ピンでは、LVDS SERDES や EMIF はサポートしていません。また、LVDS、mini-LVDS、および RSDS I/O 規格をサポートするのは、この 2 つのバンク内の専用クロックピンのみです。
8		インテル Stratix 10 GX 400 (1SG040HF35) および SX 400 (1SX040HF35) デバイスを使用している場合、バンク 3A、3C、および 3D には制限があるので注意してください。この 3 つの I/O ピンでは、LVDSSERDES や EMIF はサポートしていません。さらに、バンク 3D は、最大 30 ピンに制限されており、1.8 V I/O 標準サポートのみです。バンク 3C は、3.0 V および 3.3V I/O のサポートだけに制限されています。LVDS、ミニ LVDS、および RSDS I/O 規格をサポートするのは、バンク 3A および 3D の専用クロックピンのみです。

インテル Stratix 10 I/O ピンは、モジュラー I/O バンクと呼ばれるグループにまとめられています。クロックやグローバル・コントロール信号などの信号には、必ず適切な専用のピン入力を使用してください。



ボードからは、各バンクに 1 つの V_{CCIO} 電圧レベルを供給してください。これは、バンク内の各 V_{CCIO} ピンに対して行います。各 I/O バンクへの電源供給はそのバンクの V_{CCIO} ピンによって行われます。また、各 I/O バンクは、他の I/O バンクの V_{CCIO} ピンから独立しています。単一の I/O バンクによってサポートされる出力信号は、 V_{CCIO} と同じ電圧で駆動されます。1 つの I/O バンクによって、I/O 規格が異なる入力信号をいくつでも同時サポートできます。

電圧リファレンス形式の I/O 規格に対応するため、各 I/O バンクでは、共通の V_{REF} バスに給電する複数の V_{REF} ピンをサポートしています。 V_{REF} ピンは、バンク内の I/O 規格に合った電圧に設定してください。各 I/O バンクで持つことができるのは、 V_{CCIO} 電圧レベルと V_{REF} 電圧レベルのみで、所定の時間に 1 つだけです。 V_{REF} ピンを電圧リファレンスとして使用しない場合は、汎用 I/O ピンとして使用することはできず、同じバンクの V_{CCIO} または GND に接続する必要があります。

I/O バンクでは、シングルエンドまたは差動規格を含む場合、電圧リファレンス規格をサポートします。ただしこれは、すべての電圧リファレンス規格が同じ V_{REF} 設定を使用している場合です。電圧リファレンス形式の双方向信号および出力信号のドライブアウトは、I/O バンクの V_{CCIO} 電圧レベルで行う必要があります。

I/O バンクが異なると、含まれている LVDS シグナリングのサポートも異なります。インテル Stratix 10 トランシーバー・バンクには追加サポートが含まれています。I/O バンクには、LVDS と 3 V の 2 種類があります。

LVDS I/O バンクでは、最大 1.8 V の差動およびシングルエンド I/O 規格をサポートしています。LVDS I/O ピンでは、真の差動 LVDS チャンネルのペアを形成します。各ペアでは、2 つのピンの間のパラレル入力/出力終端をサポートしています。各 LVDS チャンネルは、トランスミッターまたはレシーバーとして使用できます。

3 V I/O バンクによるサポートは、最大 3 V のシングルエンド I/O 規格のみです。隣接する各 I/O ペアでは、差動 SSTL および差動 HSTL I/O 規格もサポートしています。3 V I/O のシングルエンド出力では、DDR I/O IP のシングルエンド出力と同じ機能が備えられています。ただし、プログラマブル・プリエンファシス機能は含まれていません。

関連情報

- [クロックおよび PLL の選択 \(40 ページ\)](#)
- [Intel Stratix 10 General Purpose I/O User Guide 内、I/O and Differential I/O Buffers](#)
I/O および LVDS I/O 規格に使用可能なチャンネル数に関する詳細情報を提供しています。
- [Intel Stratix 10 General Purpose I/O User Guide 内、Guideline: I/O Standards Limitation for Intel Stratix 10 TX 400](#)
1ST040E デバイス I/O バンク 3A および 3D の制限を提供しています。
- [L- and H-Tile Transceiver PHY User Guide 内、Intel Stratix 10 Transceiver Bank Architecture の章](#)
トランシーバー・バンク関連機能に関する詳細情報を提供しています。
- [インテル Stratix 10 デバイス・データシート内、I/O 規格の仕様](#)
各 I/O 規格の電気的特性を提供しています。

メモリー・インターフェイス

表 51. メモリー・インターフェイスのチェックリスト

番号	チェック欄	チェック項目
1		外部メモリー・インターフェイス インテル Stratix 10 FPGA IP コアを各メモリー・インターフェイスに対して使用します。また、該当するドキュメントの接続ガイドライン/制限に従います。
2		DQS ピンと DQ ピンの実際の位置については必ずピンテーブルを確認してください。また、アドレスピンと制御ピンの位置については必ず EMIF ピンテーブルを確認してください。
3		インテル Stratix 10 TX 400 (1ST040E) のバンク 3A および 3D の I/O ピンでは、外部メモリー・インターフェイスはサポートしていません。このデバイスでは、この 2 つの I/O バンクを使用した外部メモリー・インターフェイスの実装はしないでください。

インテル Stratix 10 デバイスの効率的なアーキテクチャーにより、幅広い外部メモリー・インターフェイスを小さなモジュラー I/O バンクにすばやく簡単に適合させることができます。I/O バンクのうち インテル Stratix 10 デバイスでトランシーバー動作をサポートしないものでは、外部メモリー・インターフェイスをサポートします。ただし、DQS (データストローブまたはデータクロック) および DQ (データ) ピンは、EMIF でサポートされているバンクとしてデバイス・ピン・テーブルにリストされており、デバイスの特定の場所に固定されています。このピン位置を順守して、配線の最適化、スキューの最小化、マージンの最大化を行ってください。DQS ピンと DQ ピンの実際の位置については必ずピンテーブルを確認してください。また、アドレスピンと制御ピンの位置については必ず EMIF ピンテーブルを確認してください。

注意: 最大インターフェイス幅は、使用可能な I/O ピンおよび DQS または DQ グループの数に応じて、デバイスごとに異なります。達成可能なインターフェイス幅は、デザインに必要なアドレスピンとコマンドピンの数によっても変わります。適切な PLL、クロック、およびデバイス配線リソースが使用可能であることを確認するには、IP のフィッティングを インテル Quartus Prime 開発ソフトウェアで PCB サインオフ前に必ずテストしてください。

自己キャリブレーション型外部メモリー・インターフェイス IP コアは最適化され、インテル Stratix 10 I/O 構造を活用するようになっています。外部メモリー・インターフェイス IP コアを使用すると、外部メモリー・インターフェイス機能や物理インターフェイス (PHY) をシステムに最適な形で設定することができます。インテル・メモリー・コントローラー・インテル FPGA IP の機能を使用すると、外部メモリー・インターフェイス IP コアは自動インスタンス化されます。デバイスに複数のメモリー・インターフェイスをデザインする際、インテル FPGA IP コアを使用する場合は、一度デザインしてから複数回インスタンス化するのではなく、各インスタンスに一意的なインターフェイスを生成すると良好な結果が保証されます。

データストローブ DQS ピンおよびデータ DQ ピンの位置は、インテル Stratix 10 デバイスでは固定されています。デバイスのピン配置をデザインする前に、メモリー・インターフェイスのガイドラインを参照して、これらの信号およびその他のメモリー関連信号の接続に関する詳細および重要な制限事項を確認してください。

外部メモリー・インターフェイス IP コアでサポートされていないプロトコルの実装には、PHY Lite for Parallel Interfaces Intel Stratix 10 FPGA IP コアを使用します。

アドレスバンクおよびコマンドバンク内のアドレスピンおよびコマンドピンは、固定ピン配置方式に従わなければなりません。これは、IP コアで生成された <variation_name>_readme.txt ファイルで定義されています。ピンアウト方式は、メモリー・インターフェイスのトポロジーによって異なります。ピンアウト方式は、ハードウェア要件であり、従う必要があります。アドレスピンおよびコマンドピンの実装には 3 レーンが必要な方式と、4 レーンが必要な方式があります。



関連情報

- 外部メモリー・インターフェイス・IP-サポート・センターのページ
EMIF のデザインおよび実装における外部メモリー・インターフェイス (EMIF) のサポートに関する詳細情報を提供しています。
- PHY Lite for Parallel Interfaces Intel FPGA IP Core User Guide
PHY Lite for Parallel Interfaces インテル Stratix 10 FPGA IP コアに関する詳細情報を提供しています。
- 外部メモリー・インターフェイス・インテル Stratix 10 FPGA IP ユーザーガイド内、インターフェイス・ピン
DQS および DQS ピンに関する詳細情報を提供しています。
- インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン
- インテル FPGA デバイス用ピンアウトファイル

兼用ピンおよび特殊ピンの接続

表 52. 兼用ピンおよび特殊ピンの接続のチェックリスト

番号	チェック欄	チェック項目
1		兼用ピンを通常の I/O として使用する場合は、兼用ピンを設定し、制約を確認します。

インテル Stratix 10 デバイスでは、I/O の柔軟性を兼用コンフィグレーション・ピンによって実現します。兼用コンフィグレーション・ピンを汎用 I/O として使用するの、デバイス・コンフィグレーションの完了後です。各兼用ピンの設定の選択は、**Device and Pin Options** ダイアログボックスの **Dual-Purpose Pins** カテゴリで行います。コンフィグレーション・スキームに応じて、これらのピンの予約は、通常の I/O ピン、トライステートの入力、グラウンドを駆動する出力、または不特定の信号を駆動する出力として行います。

専用クロック入力では、プログラマブル・クロック配線ネットワークを駆動します。専用クロック入力を汎用入力ピンとして使用できるのは、クロックピンとして使用していない場合です。クロック入力を汎用入力として使用する場合、I/O レジスターでは ALM ベースのレジスターを使用します。これは、クロック入力ピンには専用 I/O レジスターが含まれていないためです。

デバイス全体のリセットピンおよびクリアピンは、イネーブルされていない場合は、デザイン I/O として使用できます。

インテル Stratix 10 I/O 機能

表 53. インテル Stratix 10 I/O 機能のチェックリスト

番号	チェック欄	チェック項目
1		使用可能なデバイスの I/O 機能を確認し、I/O インターフェイスに役立てます。これには、電流強度、スルーレート、I/O 遅延、オープンドレイン、バスホールド、プログラマブル・プルアップ抵抗、PCI* クランプダイオード、プログラマブル・プリエンファシスと V_{OD} があります。
2		オンチップ終端 (OCT) 機能を検討し、ボードスペースを節約します。
3		必要な終端方式が、すべてのピン位置に対してサポートされていることを確認します。
4		DPA、非 DPA またはソフト CDR の適切なモードを高速 LVDS インターフェイス用に選択します。

インテル Stratix 10 の双方向 I/O エLEMENT (IOE) 機能では、迅速なシステム統合をサポートすると同時に、内部ロジック能力とシステムレベルのパフォーマンスを最大限にするために必要な高帯域幅を提供しています。デバイス・インターフェイスの高度な機能では、デバイスとの高速データ転送を支援し、PCB の複雑性とコストを低減します。

インテルでは、IBIS または SPICE シミュレーションを実行して、デザイン設定を最適化することをお勧めします。

関連情報

- [インテル Stratix 10 汎用 I/O ユーザーガイド内、インテル Stratix 10 I/O のアーキテクチャーと機能](#)
インテル Stratix 10 I/O の機能及び使用に関する詳細情報を提供しています。
- [インテル Stratix 10 デバイス・データシート](#)
I/O 規格の仕様および I/O タイミングに関する詳細情報を提供しています。

クロックおよび PLL の選択

表 54. クロックおよび PLL の選択のチェックリスト

番号	チェック欄	チェック項目
1		正しい専用クロックピンおよび配線信号をクロック信号およびグローバル・コントロール信号に対して使用します。
2		デバイスの PLL をクロック管理に使用します。
3		各 PLL およびクロックピンの入力および出力配線接続を解析します。PLL 入力が専用クロックピンまたは別の PLL からのものであることを確認します。

クロック方式のプランニングの最初の段階は、システムクロック要件の決定です。デバイスで使用可能なクロックリソースを理解し、それに応じてデザインのクロック方式をプランニングします。タイミング・パフォーマンス要件と、特定のクロックによって駆動されるロジック量を考慮してください。

インテル Stratix 10 デバイスでは、低スキューかつ高ファンアウトの専用配線ネットワークを提供しています。

専用クロックピンでは、クロック・ネットワークを直接駆動し、他の I/O ピンよりも低いスキューが保証されます。専用配線ネットワークを使用して、予測可能な遅延のスキューが高ファンアウト信号に対してより少なくなるようにします。また、クロックピンおよびクロック・ネットワークを使用して、非同期リセットなどのコントロール信号を駆動することもできます。

クロック入力を特定の PLL に接続し、特定の低スキュー配線ネットワークを駆動します。各 PLL のグローバルリソースの可用性と各クロック入力ピンの PLL 可用性を解析します。

インテル Stratix 10 デバイスに含まれている専用リソースでは、信号の分配をファブリック全体にバランスのとれた遅延で行います。このリソースは、一般的にはクロック信号に使用されますが、他の信号に低スキュー要件がある場合も使用できます。インテル Stratix 10 デバイスでは、このリソースの実装は、プログラマブル・クロック配線として行われ、可変サイズの低スキュー・クロック・ネットワークの実装が可能になります。

システムによって必要とされるクロック信号またはコントロール信号が、ターゲットデバイスで使用可能なものよりも多くなる場合は、専用クロックリソースが不要になるケースを考慮してください。特に低ファンアウト信号と低周波信号で、クロック遅延とクロックスキューによってデザイン・パフォーマンスが大きく影響されない場合を考慮してください。インテル Quartus Prime Quartus Prime Assignment Editor で **Global Signal** アサインメントを使用してグローバル配線のタイプを選択するか、またはアサインメントを **Off** に設定して、信号によってグローバル配線リソースを使用しないように指定します。



関連情報

インテル Stratix 10 クロッキングおよび PLL ユーザーガイド内、インテル Stratix 10 のクロッキングおよび PLL のアーキテクチャーと機能の章
クロックリソース、およびクロックと PLL の機能に関する詳細情報を提供しています。

PLL 機能ガイドライン

表 55. PLL 機能ガイドラインのチェックリスト

番号	チェック欄	チェック項目
1		パラメーター・エディターで PLL 機能をイネーブルし、設定を確認します。

システム要件に基づいて、FPGA デザインに必要なクロック周波数、および FPGA で使用可能な入力周波数を定義します。これらの仕様を使用して PLL 方式を決定してください。インテル Quartus Prime パラメーター・エディターを使用して、設定を IOPLL Intel FPGA IP コアに入力し、その結果を確認して、特定の機能と入出力周波数を特定の PLL に実装できるかどうかを検証します。

インテル Stratix 10 デバイスには、I/O PLL に加えてフラクショナル PLL も含まれています。フラクショナル PLL のコンフィギュレーションは、整数またはエンハンスト・フラクショナル PLL として行います。

I/O PLL とフラクショナル PLL を使用すると、ボード上で必要なオシレーターの数を削減することができます。また、FPGA で使用するクロックピンの削減は、複数のクロック周波数を単一のリファレンス・クロックソースから合成することで実現できます。さらに、フラクショナル PLL は、トランシーバーの送信クロッキングに使用することもできます。

インテル Stratix 10 デバイスの PLL は豊富な機能を備えており、クロック・フィードバック・モード、スイッチオーバー、およびダイナミック・フェーズ・シフトなどの高度な機能をサポートしています。

関連情報

インテル Stratix 10 クロッキングおよび PLL ユーザーガイド内、PLL のアーキテクチャーと機能
PLL 機能に関する詳細情報を提供しています。

クロック・フィードバック・モード

表 56. クロック・フィードバック・モードのチェックリスト

番号	チェック欄	チェック項目
1		正しい PLL フィードバック補償モードを選択することを確認します。

インテル Stratix 10 PLL では、6 つの異なるクロック・フィードバック・モードをサポートしています。

関連情報

インテル Stratix 10 クロッキングおよび PLL ユーザーガイド内、クロック・フィードバック・モード
クロック・フィードバック・モードに関する詳細情報を提供しています。

クロック出力

表 57. クロック出力のチェックリスト

番号	チェック欄	チェック項目
1		PLL によって必要な数のクロック出力が提供されていることを確認し、専用クロック出力ピンを使用します。

クロック出力は、専用クロック出力ピンまたは専用クロック・ネットワークに接続できます。フラクショナル PLL には専用クロック出力ピンはありません。I/O PLL は、クロック・ネットワークまたは専用クロックピンに接続できます。

クロック・コントロール機能

表 58. クロック・コントロール機能のチェックリスト

番号	チェック欄	チェック項目
1		クロックの選択とパワーダウンにクロック・コントロール・ブロックを使用します。

インテル Stratix 10 デバイスで使用するクロック・コントロール機能は、クロック・ゲーティングとクロック分周器です。I/O PLL 出力からのクロックは動的にゲートされます。このクロック信号は、他のクロックソースとともに、ペリフェラル分散型クロック・マルチプレクサ (DCM) に送られます。ペリフェラル DCM では、クロック信号はまっすぐ通過するか、ルート・クロック・ゲートによってゲートされるか、またはクロック分周器で分周されます。

関連情報

インテル Stratix 10 クロッキングおよび PLL ユーザーガイド内、クロック管理機能
クロック管理機能に関する詳細情報を提供しています。

I/O 同時スイッチング・ノイズ

表 59. I/O 同時スイッチング・ノイズのチェックリスト

番号	チェック欄	チェック項目
1		電圧レベルを可能な限り同時に切り替えるピンの数を減らします。
2		差動 I/O 規格と低電圧規格を、高スイッチング I/O に対して使用します。
3		より低いドライブ強度を、高スイッチング I/O に対して使用します。デフォルトのドライブ強度設定は、デザイン上必要な設定よりも高い場合があります。
4		各バンク内の同時スイッチング出力ピンの数を減らします。可能な場合、出力ピンを複数のバンクに広げます。
5		スイッチング I/O をバンク全体に均等に分散させ、特定領域内のアグレッサの数を減らして、SSN を減らします (バンク使用率が 100% を十分に下回っている場合)。
6		同時スイッチング・ピンを、SSN の影響を受けやすい入力ピンから隔離します。
7		重要なクロックおよび非同期コントロール信号は、グランド信号の近くに配置し、大きなスイッチング・パスから離します。
8		I/O ピンが PLL の電源ピンから 1 本または 2 本分しか離れていない場合は、スイッチング速度が速いピン、またはドライブ強度の高いピンとして使用することは避けます。
9		スタガード出力遅延を使用して、出力信号を経時的にシフトするか、調整可能なスルーレート設定を使用します。
10		PLL 出力クロックが存在する I/O バンク内の非終端 SSO ピンの数を制限して、インテル Stratix 10 I/O PLL クロック出力ジッター・パフォーマンスの仕様を実現します。

SSN が懸念されるのは、あまりに多くの I/O が (近接して) 同時に電圧レベルを変更する場合です。I/O とクロック接続のプランニングを推奨事項に従って行います。

関連情報

- インテル Stratix 10 汎用 I/O ユーザーガイド内、インテル Stratix 10 デバイスのプログラマブル IOE 機能
プログラマブル IOE 機能に関する詳細を提供しています。



- インテル Stratix 10 のクロッキングおよび PLL ユーザーガイド
I/O PLL ジッターのパフォーマンスに関するガイドラインを提供しています。

セキュリティに関する考慮事項

表 60. セキュリティに関する考慮事項のチェックリスト

番号	チェック欄	チェック項目
1		デザインでデバイス・セキュリティ機能をイネーブルする必要があるかどうかを検討します。イネーブルする場合は、VCCFUSEWR_SDM レールに給電して認証ヒューズ管理に使用します。
2		デザインにビットストリーム暗号化が必要かどうか、また暗号化キーを Battery-Backed RAM (BBRAM) に格納するかどうかを検討します。その場合は、VCCBAT ピンへの給電をボード上のバッテリーを使用して行うようにプランニングします。
3		ライセンス条件については、使用可能なデバイスバリエーションの要件に最適なものを検討します。

インテル Stratix 10 デバイスの柔軟で堅牢なセキュリティ機能は、機密データ、知的財産、およびデバイス自体をリモート攻撃と物理攻撃の両方から保護するのに役立ちます。インテル Stratix 10 デバイスのセキュリティ機能には、次の 2 つの主要なカテゴリがあります。

- 認証 - 認証は、デバイスのファームウェアのほか、必要な場合はコンフィグレーション・ビットストリームが、信頼できるソースからのものであることを確認するのに役立ちます。デバイスのファームウェア認証は常に実行されます。インテル Stratix 10 デバイスで使用可能な他のセキュリティ機能を使用するには、所有者のビットストリーム認証をイネーブルしてください。
- 暗号化 - 暗号化は、所有者のコンフィグレーション・ビットストリーム内の機密情報を保護し、知的財産の盗難の脅威の軽減に役立ちます。

システムをデザインをする際に、デバイス・セキュリティ機能を利用する インテル Stratix 10 デバイスを使用する場合、プロビジョニングを検討し、機能のイネーブルと管理がデバイスの予想動作寿命にわたってできるようにしてください。所有者のビットストリーム認証をイネーブルするには、オーナー・ルート・キー・ハッシュを eFuse にプログラムする必要があります。デザイン・セキュリティ機能がイネーブルされているデバイスの場合、インテルでは、使用可能な最新のデバイス・ファームウェアに更新し、古いファームウェア ID を必要に応じてキャンセルすることを強くお勧めします。ファームウェアとデバイスデザイン ID のキャンセルは、eFuse で管理されます。したがって、デバイスのセキュリティ機能をイネーブルする場合は、適切な電力を VCCFUSEWR_SDM に供給してください。デバイスのデザイン・セキュリティ機能がイネーブルされている場合、セキュリティの脆弱性に対応できないのは、ヒューズが飛ばせない場合です。VCCFUSEWR_SDM の電源投入に関する詳細は、[インテル Stratix 10 デバイスファミリ・ピン接続ガイドライン](#)を参照してください。ファームウェア ID のキャンセルに関する詳細は、[Intel Stratix 10 Device Security User Guide](#)を参照してください。

他に考慮する必要がある点は、暗号化キーの格納および管理です。ビットストリーム暗号化が インテル Stratix 10 デバイス上でイネーブルされている場合、デバイスの暗号化キーの格納が必要です。暗号化キーは、Battery-Backed RAM (BBRAM) または eFuse に格納することができます。暗号化キーの eFuse への格納は永久的です。一方で、暗号化キーを BBRAM に格納すると、キーのワイプや再プロビジョニングが可能です。デザインで暗号化キーを BBRAM に格納する必要がある場合は、不揮発性バッテリーを VCCBAT ピンに接続してください。バッテリーを VCCBAT ピンに接続する方法に関する詳細は、[インテル Stratix 10 デバイスファミリ・ピン接続ガイドライン](#)を参照してください。

表 61. インテル Stratix 10 デバイスの認証および高度なセキュリティ機能のサポート

インテル Stratix 10 デバイスのデバイス・セキュリティ機能に関する詳細は、インテル販売代理店までお問い合わせください。

インテル Stratix 10 デバイスバリエーション	認証	高度なセキュリティ (暗号化を含む)
GX	あり	-AS サフィックスのデバイス
SX	あり	-AS サフィックスのデバイス
MX	あり	-AS サフィックスのデバイス
TX	あり	-AS サフィックスのデバイス
DX	あり	あり

関連情報

- [インテル Stratix 10 デバイスファミリー・ピン接続ガイドライン](#)
- [Intel Stratix 10 Device Security User Guide](#)
ファームウェア ID のキャンセルに関する詳細情報を提供しています。

デザインエントリー

複雑な FPGA デザインの開発において、デザイン手法、コーディング・スタイル、および IP コアの使用によって極めて大きな影響を受けるのは、デバイスのタイミング・パフォーマンス、ロジック使用率、コンパイル時間、およびシステムの信頼性です。デザインのプランニングおよび作成を行う一方で、階層型またはチームベースのデザインをプランニングして、デザインの生産性を向上させてください。

デザインの推奨事項

表 62. デザインの推奨事項のチェックリスト

番号	チェック欄	チェック項目
1		同期デザイン手法を使用します。クロック信号に注意します。

同期デザインでは、クロック信号によってすべてのイベントがトリガーされます。レジスターのタイミング要件がすべて満たされると、同期デザインは、すべてのプロセス、電圧、および温度 (PVT) 条件に対して予測可能で信頼性の高い方法で動作します。同期デザインは、異なるデバイスファミリーやスピードグレードに簡単に対応できます。

非同期デザイン手法の問題には、デバイス内の伝搬遅延への依存、不完全なタイミング解析、およびグリッチの可能性などがあります。クロック信号は、デザインのタイミング精度、パフォーマンス、信頼性に大きな影響を与えるので、特に注意してください。クロック信号に問題があると、デザインの機能およびタイミングの問題が起こる可能性があります。最適な結果を得るには、専用のクロックピンおよびクロック配線を使用してください。クロックの反転、乗算、および除算には、デバイスの PLL を使用します。クロックの多重化とゲーティングには、組み合わせロジックの代わりに、専用のクロック制御ブロックまたは PLL クロック切り替え機能を使用します。内部で生成されたクロック信号を使用する必要がある場合は、クロック信号として使用される任意の組み合わせロジックの出力を登録して、グリッチを低減します。例えば、クロックの分割に組み合わせロジックを使用する場合は、最終ステージのクロックは、分周器回路のクロックに使用されたクロック信号で行います。

関連情報

- [PLL ボードのデザイン・ガイドライン \(26 ページ\)](#)
クロックおよび PLL のデザインに関する詳細情報を提供しています。



- [インテル Quartus Prime プロ・エディションのユーザーガイド: デザイン上の推奨事項内、推奨デザイン・プラクティスの章](#)
デザインの推奨事項に関する詳細情報を提供しています。

IP コアの使用

表 63. IP コアの使用のチェックリスト

番号	チェック欄	チェック項目
1		IP コアをパラメーター・エディターで使用します。

インテルで提供しているパラメーター化が可能な IP コアは、インテルデバイスのアーキテクチャー向けに最適化されています。独自のロジックをコーディングする代わりに IP コアを使用すると、デザイン時間を短縮できます。さらに、インテルで提供している IP コアにより、論理合成とデバイス実装が効率化されます。IP コアのサイズをスケーリングし、パラメーターを使用してさまざまなオプションを設定できます。IP コアには、パラメーター化されたモジュール (LPM) のライブラリーとインテルデバイス固有の IP コアが含まれています。インテルおよびサードパーティーの IP コアおよびリファレンス・デザインを利用して、デザイン時間を短縮することもできます。インテル Quartus Prime IP カタログのユーザー・インターフェイスによって IP コアをカスタマイズすることができます。パラメーター・エディターを使用して IP コア・パラメーターを構築または変更して、すべてのポートとパラメーターを正しく設定する必要があります。

関連情報

- [IP の選択 \(6 ページ\)](#)
- [Documentation: User Guides](#)
特定の IP コアに関する詳細情報を提供しています。

リコンフィグレーション

表 64. リコンフィグレーションのチェックリスト

番号	チェック欄	チェック項目
1		ボード開発のリコンフィグレーション機能を検討します。

インテル Stratix 10 デバイスでは、トランシーバーと FPGA コアの変更を、デザインの他の部分の実行中でも容易に行うことができます。これには、ダイナミック・リコンフィグレーションとパーシャル・リコンフィグレーションをそれぞれ使用します。

インテル Stratix 10 デバイスでは、トランシーバーのさまざまな部分のダイナミック・リコンフィグレーションを、異なるプロトコル、データレート、および PMA 設定に対して行うことができます。これには、デバイスの電源を切ったり、隣接するトランシーバー・チャンネルを中断したりする必要はありません。この機能は、インテル Quartus Prime 開発ソフトウェアの今後のリリースで使用可能になる予定です。

パーシャル・リコンフィグレーションを使用を検討される場合は、最寄りのインテル販売代理店にお問い合わせください。

関連情報

- [Intel Stratix 10 Transceiver PHY User Guide 内、Reconfiguration Interface and Dynamic Reconfiguration の章](#)
ダイナミック・リコンフィグレーションに関する詳細情報を提供しています。

推奨 HDL コーディング・スタイル

表 65. 推奨 HDL コーディング・スタイルのチェックリスト

番号	チェック欄	チェック項目
1		メモリーおよび DSP ブロックなどのデバイス専用ロジックの推論には特に、推奨コーディング・スタイルに従いません。

HDL コーディング・スタイルは、プログラマブル・ロジック・デザインの結果の品質に大きな影響を与える可能性があります。インテルで推奨しているコーディング・スタイルを使用して、最適な合成結果を達成してください。メモリーおよびデジタル信号処理 (DSP) をデザインする場合は、デバイス・アーキテクチャを理解し、専用のロジックブロックのサイズとコンフィギュレーションを活用できるようにしてください。

関連情報

- [インテル Quartus Prime プロ・エディションのユーザーガイド: デザイン上の推奨事項内、推奨 HDL コーディング・スタイルの章](#)
 特定の HDL コーディング例および推奨事項を提供しています。その他のツール固有のガイドラインについては、合成ツールのドキュメントを参照してください。インテル Quartus Prime 開発ソフトウェアでは、Language Templates の HDL サンプルをテキストエディターの右クリックメニューから使用できます。
- [インテル Hyperflex アーキテクチャー高性能デザイン・ハンドブック](#)
 インテル Hyperflex™ 機能に関する詳細情報を提供しています。

デザインの実装、解析、最適化、および検証

デザインのソースコードを作成し、デバイス選択やタイミング要件などの制約を適用した後、合成ツールでは、そのコードを処理して、デバイス・アーキテクチャーの要素にマッピングします。インテル Quartus Prime Fitter では次に、配置配線を実行し、デザイン要素を特定のデバイスリソースに実装します。必要に応じて インテル Quartus Prime 開発ソフトウェアを使用し、デザインのリソース使用率の最適化、タイミング・クロージャーの達成、未変更デザインブロックのパフォーマンス維持、将来のイタレーションのためのコンパイル時間の短縮を行います。また、デザインの機能性の検証にシミュレーションを使用することもできます。このセクションでは、コンパイルフローのこれらのステージに関するガイドラインを示します。

合成ツールの選択

表 66. 合成ツールの選択のチェックリスト

番号	チェック欄	チェック項目
1		合成ツールを決定し、サポートされている正しいバージョンを使用します。

インテル Quartus Prime 開発ソフトウェアに含まれている高度で簡便な統合合成では、Verilog HDL および VHDL のほか、インテルのハードウェア記述言語 (AHDL) およびスキマティック・デザイン・エントリを完全にサポートしています。業界をリードするサードパーティー EDA 合成ツールを使用して、Verilog HDL または VHDL デザインを合成し、その結果の出力ネットリスト・ファイルのコンパイルをインテル Quartus Prime 開発ソフトウェアで行うこともできます。New Project Wizard または **Settings** ダイアログボックスの **EDA Tools Settings** ページでサードパーティーの合成ツールを指定し、正しい Library Mapping File (.lmf) を合成ネットリストに対して使用します。

インテルでは、サードパーティーの合成ツールの最新バージョンを使用することをお勧めしています。これは、ツールベンダーでは、新機能の追加、ツールの問題の修正、およびパフォーマンスの向上をインテルデバイスに対して継続的に行っているためです。



異なる合成ツールでは異なる結果が生成されます。アプリケーションに最適なツールを選択する場合は、アプリケーションとコーディング・スタイルに対して一般的なデザインを合成してみて結果を比較します。必ず インテル Quartus Prime 開発ソフトウェアで配置配線を実行して、正確なタイミング解析とロジック使用結果を得るようにしてください。

合成ツールによっては、インテル Quartus Prime プロジェクトを作成し、EDA ツール設定、デバイス選択、および合成プロジェクトで指定したタイミング要件などの制約を引き渡す機能があります。この機能を使用すると、インテル Quartus Prime プロジェクトを配置配線用にセットアップする際の時間が節約できます。

関連情報

- [使い始めユーザーガイド](#)：インテル Quartus Prime プロ・エディション内、合成ツールサポートされている合成ツールに関する詳細情報を提供しています。
- [インテル Quartus Prime プロ・エディション開発ソフトウェアおよびデバイス・サポート・リリースノート](#)
インテル Quartus Prime 開発ソフトウェアの当該バージョンで公式にサポートされている各合成ツールのバージョンの一覧です。

デバイスのリソース使用率レポート

表 67. デバイスのリソース使用率レポートのチェックリスト

番号	チェック欄	チェック項目
1		リソース使用率レポートをコンパイル後に確認します。

インテル Quartus Prime 開発ソフトウェアでのコンパイル後、デバイスリソース使用率の情報を確認して、将来、余分なロジック追加や他のデザイン変更によってフィッティングが難しくなるかどうかを判断します。コンパイルでフィッティング・エラーが生じた場合は、リソース使用率の情報は重要で、デザインのフィッティング問題の解析に使用します。

リソース使用率を決定するには、Compilation Report の **Flow Summary** セクションを参照して、総ロジック使用率を示す割合を確認します。これには、既存の接続またはロジックの使用により使用不可能なリソースの見積もりが含まれています。

インテル Stratix 10 デバイスでは、ロジック使用率が低いからといって ALM 使用率が低くなるわけではありません。さらに、デザインが 100% フルに近いとレポートされていても、余分なロジックのためのスペースが残っている場合があります。Fitter では、ロジックの配置が 1 つの ALM 内で可能だとしても、ALUT を異なる ALM で使用し、最適なタイミングと配置結果を得るようにします。ロジックがデバイス全体に広がっている可能性があるのは、このような結果を達成したときです。デバイスがいっぱいになると、Fitter では、1 つの ALM にまとめることができるロジックを自動検索します。

より詳しいリソース情報は、Compilation Report の **Fitter > Place** のセクションのレポートで表示できます。Fitter の **Resource Usage Summary** レポートでは、ロジック使用率情報を詳細分析し、完全に使用している ALM と部分的に使用している ALM 数を示します。また、各タイプのメモリーブロックのビット数などの他のリソース情報を提供します。レポートには、コンパイル中に発生した最適化について説明するものもあります。例えば、インテル Quartus Prime 統合合成を使用する場合、**Analysis & Synthesis > Partition <partition_name> > Optimization Results** のレポートの情報には、合成中に削除されたレジスターが含まれています。このレポートを使用して、部分的なデザインのデバイスリソース使用率を見積もり、レジスターがデザインの他の部分との接続の欠落が原因で削除されていないことを確認します。

インテル Quartus Prime メッセージ

表 68. インテル Quartus Prime メッセージのチェックリスト

番号	チェック欄	チェック項目
1		インテル Quartus Prime のすべてのメッセージ、特に警告およびエラーメッセージを確認します。

コンパイルフローの各段階で生成されるメッセージには、情報メモ、警告、重大な警告などが含まれています。メッセージを確認して、デザイン上の問題がないかどうかをチェックします。警告メッセージの重要性を理解し、デザインや設定を必要に応じて変更してください。インテル Quartus Prime のユーザー・インターフェイスでは、**Message** ウィンドウのタブを使用して、特定のタイプのメッセージのみを表示することができます。アクションの必要がないと判断した場合は、メッセージを非表示にできます。

関連情報

使い始めユーザーガイド：インテル Quartus Prime プロ・エディション内、プロジェクト・メッセージの表示

メッセージおよびメッセージの抑制に関する詳細情報を提供しています。

タイミング制約およびタイミング解析

表 69. デザイン仕様のチェックリスト

番号	チェック欄	チェック項目
1		すべてのクロック信号および I/O 遅延などのタイミング制約が完全かつ正確であることを確認します。
2		Timing Analyzer レポートをコンパイル後に確認して、タイミング違反がないようにします。
3		インテル Stratix 10 デバイスへのデータ供給時に、入力 I/O 時間の違反がないようにします。

FPGA デザインフローでは、正確なタイミング制約により、タイミング駆動の合成ソフトウェアおよび配置配線ソフトウェアで最適な結果が得られます。タイミング制約は、デザインでタイミング要件を確実に満たすために重要です。このタイミング要件によって表される実際のデザイン要件を満たすことで、デバイスが正しく動作します。インテル Quartus Prime 開発ソフトウェアでは、デザインの最適化および解析に、各デバイスのスピードグレードごとに異なるタイミングモデルを使用して、正しいスピードグレードに対するタイミング解析を実行する必要があります。タイミングパスを完全に制約、解析、および検証して要件を満たさないと、最終的にプログラムされたデバイスが期待どおりに動作しない可能性があります。

インテル Quartus Prime 開発ソフトウェアに含まれる インテル Quartus Prime Timing Analyzer は、強力な ASIC スタイルのタイミング解析ツールとして、デザイン内のすべてのロジックのタイミング・パフォーマンスを検証します。また、業界標準の Synopsys* Design Constraints (SDC) タイミング制約フォーマットをサポートし、使いやすい GUI とインタラクティブなタイミングレポートを備えています。高速ソース同期インターフェイスおよびクロック多重化デザイン構造の制約にとって理想的です。

総合的なスタティック・タイミング解析には、レジスター間、I/O および非同期リセットパスの解析が含まれています。デザイン内のすべてのクロックの周波数と関係を指定することが重要です。入出力遅延制約を使用して、外部デバイスまたはボードのタイミング・パラメーターを指定します。外部インターフェイス・コンポーネントの正確なタイミング要件を指定して、正確なシステムの意図を反映します。

Timing Analyzer では、スタティック・タイミング解析をシステム全体に対して実行し、データ要求時間、データ到達時間およびクロック到達時間を使用して、回路性能を検証し、発生する可能性があるタイミング違反を検出します。Timing Analyzer で決定するタイミング関係を満たして、デザインを正常に機能させる必要があります。



report_datasheet コマンドを使用して生成されるデータシート・レポートには、デザイン全体の I/O タイミング特性がまとめられています。

関連情報

インテル Quartus Prime プロ・エディションユーザーガイド：タイミング解析内、インテル Quartus Prime Timing Analyzer の章
タイミング解析に関する詳細情報を提供しています。

推奨されるタイミング最適化およびタイミング解析のアサインメント

表 70. 推奨されるタイミング最適化およびタイミング解析のアサインメントのチェックリスト

番号	チェック欄	チェック項目
1		Settings ダイアログボックスの Fitter Settings ページで Optimize multi-corner timing をオンにします。
2		create_clock と create_generated_clock を使用して、デザイン内のすべてのクロックの周波数および関係を指定します。
3		set_input_delay と set_output_delay を使用して、外部デバイスまたはボードのタイミング・パラメーターを指定します。
4		derive_clock_uncertainty を使用して、インタークロック、イントラクロック、および I/O インターフェイスの不確実性を自動適用します。
5		check_timing を使用して、デザインまたは適用された制約に関する問題のレポートを生成します。これには制約の欠落が含まれます。
6		非同期パスに対しては、set_false_path または set_clock_groups を使用してください。

以上のアサインメントと設定は、インテル Stratix 10 デバイスのデザインなどの大規模なデザインにとって重要です。

Optimize multi-corner timing オプションをオンにすると、デザインが最適化され、タイミング要件がすべてのタイミングプロセスのコーナーおよび動作条件で満たされます。したがって、このオプションをオンにすると、より堅牢なデザイン実装を PVT のバリエーション全体で作成するのに役立ちます。

Timing Analyzer .sdc 制約ファイルでは、次の推奨される制約をデザインに適用してください。

関連情報

インテル Quartus Prime プロ・エディションのユーザーガイド：Timing Analyzer 内、タイミング制約の使用
タイミング制約に関する詳細ガイドラインを提供しています。

エリアおよびタイミングの最適化

表 71. エリアおよびタイミングの最適化のチェックリスト

番号	チェック欄	チェック項目
1		タイミングの見積もりがフルコンパイルの実行前に必要な場合は、Fitter (Plan) を実行します。
2		インテル Quartus Prime の最適化機能を使用して、タイミング・クロージャーを実現したり、リソース使用率を改善したりします。
3		Timing Optimization Advisors を使用して、最適化設定を提案します。

この項では、インテル Quartus Prime 開発ソフトウェアの機能の一部を紹介します。この機能は、エリア (またはリソース使用率) およびタイミング・パフォーマンスの最適化に役立ちます。タイミング解析の結果、デザイン要件が満たされていないことがレポートされた場合は、デザインや設定を変更し、デザインを再コンパイルしてタイミング・クロージャを達成してください。コンパイル結果に不適合のメッセージが表示される場合は、変更を加えて、配置配線が正常に行われるようにしてください。

Fitter (Plan) を実行し、デザインのタイミング結果の見積もりを、ソフトウェアによる完全な配置配線の実行前に行います。**Processing > Start > Start Fitter (Plan)**をクリックし、初期コンパイル結果の生成前に、解析および合成を実行します。

物理合成最適化では、ネットリストの配置固有の変更を行って、特定のインテルデバイスの結果を向上させます。パフォーマンスの最適化は、**Compiler Settings** の **High Performance Effort** または **Superior Performance Optimization Mode** で行うことができます。このような最適化モードでは、**Advanced Fitter Settings** の **Advanced Physical Synthesis** がオンになります。このオプションをオンにした場合は、デザインの結果が向上していることを確認してください。このようなオプションが、デザインのタイミング要件を満たすために必要でない場合は、オプションをオフにしてコンパイル時間を短縮します。

Design Space Explorer II (DSE II) は、ユーティリティーとして、リソース、パフォーマンス、または消費電力最適化の目標に対して最適なプロジェクト設定を見つけるプロセスを自動化します。DSE II では複数シードを試みて、要件を満たすものを特定します。**Exploration Panel > Exploration mode** により、探索スペースを事前に定義し、デザインのパフォーマンス、改善範囲、または複数のコンパイルによる消費電力の削減をターゲットにすることができます。

Optimization Advisors で提供しているガイダンスの設定によって、デザインを最適化します。Tools メニューで、**Advisor > Timing Optimization Advisor** をクリックします。オプションを評価し、要件に合った設定を選択します。

関連情報

- [インテル Quartus Prime プロ・エディションのユーザーガイド: デザイン最適化内、エリア最適化の章](#)
追加の最適化機能に関する詳細情報を提供しています。
- [インテル Quartus Prime プロ・エディションのユーザーガイド: デザイン最適化内、タイミング収束と最適化の章](#)
追加の最適化機能に関する詳細情報を提供しています。
- [インテル Quartus Prime プロ・エディションのユーザーガイド: デザイン最適化内、ネットリストの最適化と物理合成の章](#)
追加の最適化機能に関する詳細情報を提供しています。
- [消費電力最適化 \(53 ページ\)](#)
- [Intel Quartus Prime Help](#)
Design Space Explorer に関する詳細情報を提供しています。



パフォーマンスの維持およびコンパイル時間の短縮

表 72. パフォーマンスの維持およびコンパイル時間の短縮のチェックリスト

番号	チェック欄	チェック項目
1		インクリメンタル・コンパイルを使用して、デザイン内の未変更ブロックのパフォーマンスを保持し、コンパイル時間を短縮します。
2		コンパイルに使用可能なプロセッサが複数ある場合は、パラレルコンパイルがイネーブルされていることを確認してください。
3		コンパイル時間を短縮する設定を提案する Compilation Time Advisor を使用します。

インクリメンタル・コンパイル機能を使用して、デザインの未変更部分へのロジックの保持、タイミング・パフォーマンスの維持、より効率的なタイミング・クロージャーの達成を図ります。インクリメンタル・コンパイル機能を使用してデザインを変更すると、デザイン反復時間を平均 60% 短縮することができます。

インテル Quartus Prime 開発ソフトウェアでは、複数のアルゴリズムをパラレルに実行し、複数のプロセッサを活用してコンパイル時間を短縮します。これは、1 つ以上のプロセッサをデザイン・コンパイルで使用可能な場合に適用します。**Parallel compilation** オプションの設定を **Settings** ダイアログボックスの **Compilation Process Settings** ページで行うか、**Options** ダイアログボックスのデフォルト設定の変更を、Tools メニューの **Processing** ページで行います。

Compilation Time Advisor のガイダンスの設定によって、デザインのコンパイル時間を短縮します。Tools メニューの **Advisors** にカーソルを合わせ、**Compilation Time Advisor** をクリックします。このような手法を使用してコンパイル時間を短縮すると、全体として結果の品質が低下することがあります。

インテル Hyperflex™ でのデザイン

表 73. インテル Hyperflex™ でのデザインのチェックリスト

番号	チェック欄	チェック項目
1		インテル Hyperflex™ 機能を使用してデザインを最適化し、パフォーマンスを向上させます。

インテル Hyperflex コア・アーキテクチャーでのレジスターの追加は、インターコネクト配線と FPGA 内の主要機能ブロックすべての入力の両方に対して行われます。このような追加レジスターはハイパーレジスターと呼ばれ、従来のレジスターとは異なります。従来のレジスターは、アダプティブ・ロジック・モジュール (ALM) にのみ存在します。ハイパーレジスターは、コア・パフォーマンスの大幅な向上の達成に役立ちます。

このパフォーマンスの向上を達成するためには、次のステップを使用して、デザインを最適化してください。

1. Hyper-Retiming
2. Hyper-Pipelining
3. Hyper-Optimization

関連情報

インテル Hyperflex アーキテクチャー高性能デザイン・ハンドブック

Hyper-Retiming、Hyper-Pipelining、および Hyper-Optimization に関する詳細情報を提供しています。

シミュレーション

表 74. シミュレーションのチェックリスト

番号	チェック欄	チェック項目
1		シミュレーション・ツールを指定し、サポートされている正しいバージョンとシミュレーション・モデルを使用します。

インテル Quartus Prime 開発ソフトウェアでは、RTL とゲートレベルの両方の機能シミュレーションをサポートしています。機能シミュレーションをデザインフローの初めに実行して、各デザインブロックのデザイン機能またはロジック動作を確認します。デザインのフルコンパイルは必要ありません。タイミング情報を含まない機能シミュレーション・ネットリストを生成します。

インテルでは、ModelSim* - Intel FPGA Starter Edition、およびより高パフォーマンスの ModelSim - Intel FPGA Edition を提供しています。これにより、高度なテストベンチ機能やその他の機能を活用することができます。加えて インテル Quartus Prime EDA Netlist Writer では、タイミング・ネットリスト・ファイルを生成し、他のサードパーティーのシミュレーション・ツール (Synopsys VCS、Cadence NC-Sim、Aldec Active-HDL など) をサポートします。シミュレーション・ツールの指定を **Settings** ダイアログボックスの **EDA Tools Settings** ページで行い、適切な出力シミュレーション・ネットリストを生成します。

サードパーティーのシミュレーション・ツールを使用する場合は、そのソフトウェアのバージョンは、お使いの インテル Quartus Prime 開発ソフトウェア・バージョンでサポートされているものを使用してください。インテル Quartus Prime Software Release Notes で一覧表示している各シミュレーション・ツールのバージョンは、その特定バージョンの インテル Quartus Prime 開発ソフトウェアで公式サポートされています。モデル・ライブラリーは、インテル Quartus Prime 開発ソフトウェア付属のものを使用してください。ライブラリーがバージョン間で変更された場合、シミュレーション・ネットリストとの不一致が発生する可能性があるためです。テストベンチを作成するには、Processing メニューの **Start** にカーソルを合わせ、**Start Test Bench Template Writer** をクリックします。

関連情報

- [サードパーティー・シミュレーション・ユーザーガイド：インテル Quartus Prime プロ・エディション内、Intel FPGA デザインのシミュレーションの章](#)
シミュレーション・ツールに関する詳細情報を提供しています。
- [インテル Quartus Prime プロ・エディション開発ソフトウェアおよびデバイス・サポート・リリースノート](#)
インテル Quartus Prime 開発ソフトウェアの当該バージョンで公式にサポートされている各合成ツールのバージョンの一覧です。

電力解析

表 75. 電力解析のチェックリスト

番号	チェック欄	チェック項目
1		コンパイル終了後、消費電力および放熱性の解析を Power Analyzer で行います。
2		正確な信号活動の提供には、できればゲートレベル・シミュレーション .vcd を使用して、正確な電力解析結果を得るようにします。
3		正確な動作条件を電力解析用に指定します。

デザインの完了前に、PTC を使用して消費電力を見積もります。デザインのコンパイル後、消費電力と放熱性の解析を インテル Quartus Prime Power Analyzer で行い、デザインが電源バジェットおよび熱バジェットに違反していないことを確認します。



デザインのコンパイル (デザインリソース、配置配線および I/O 規格に関する情報の提供) と、信号活動データ (トグルレートおよび静的確率) の提供が、Power Analyzer を使用するために必要です。信号活動データの導出は、シミュレーション結果、またはユーザー定義のデフォルトのトグルレートとベクトルレスの推定値からできます。解析に使用する信号活動は、実際の動作を反映したものでなければなりません。電力推定を最も正確に行うには、ゲートレベルのシミュレーション結果をサードパーティーのシミュレーション・ツールの .vcd 出力ファイルで使います。シミュレーション作業に含める必要があるのは、現実的な期間の一般的な入力ベクトルです。機能検証中に頻繁に使用されるコーナーケースではありません。推奨シミュレーター設定 (グリッチ・フィルタリングなど) を使用して良好な結果を得るようにしてください。

ほかに指定する必要があるのは、コア電圧、デバイスの電力特性、周囲温度と接合部温度、冷却ソリューション、ボードの熱モデルなどの動作条件です。適切な設定の選択を **Settings** ダイアログボックスの **Operating Settings and Conditions** ページで行います。

ダイナミック、スタティック、および I/O 熱消費電力を計算するには、Processing メニューの **Power Analyzer Tool** をクリックします。このツールで提供される信号活動のサマリーは、解析と信頼性メトリックに使用され、信号活動に対するデータソースの全体的な品質を反映します。

このレポートは、提供されたデータに基づく電力見積もりであり、電力仕様ではありません。デバイスの電源仕様については、必ずデータシートを参照してください。

関連情報

- [電力および熱の見積もり \(11 ページ\)](#)
- [シミュレーション \(52 ページ\)](#)
- [インテル Stratix 10 デバイス・データシート内の絶対最大定格電源仕様を提供しています。](#)
- [インテル Quartus Prime プロ・エディション・ユーザーガイド: 消費電力の解析と最適化内、消費電力の解析の章](#)
電力解析に関する詳細情報および信号活動情報を作成するためのシミュレーション設定の推奨事項を提供しています。

消費電力最適化

インテル Stratix 10 デバイスでは、最先端のプロセスと回路技術を主要回路およびアーキテクチャー技術革新と併用し、低消費電力と高パフォーマンスを達成します。

インテル Stratix 10 デバイスでダイナミック消費電力を削減するには、さまざまなデザインおよびソフトウェア手法を使用し、デザインを最適化します。

インテル Quartus Prime 開発ソフトウェアの消費電力最適化は、正確な電力解析結果に依存します。前項のガイドラインを使用して、ソフトウェアでの電力使用率最適化が、デザインの動作および条件に対して正しく行われていることを確認します。

デバイスおよびデザインの消費電力最適化の手法

表 76. デバイスおよびデザインの消費電力最適化の手法のチェックリスト

番号	チェック欄	チェック項目
1		推奨デザイン手法および インテル Quartus Prime オプションを使用して、デザインの消費電力最適化を必要に応じて行います。
2		最適化設定を提案する Power Optimization Advisor を使用します。

関連情報

- [インテル Stratix 10 パワー・マネジメント・ユーザーガイド内、消費電力削減手法](#)
消費電力削減手法に関する詳細情報を提供しています。
- [インテル Quartus Prime プロ・エディション・ユーザーガイド: 消費電力の解析と最適化内、消費電力最適化の章](#)
消費電力削減の詳細と追加のデザイン手法を提供しています。

デバイスのスピードグレード

表 77. デバイスのスピードグレードのチェックリスト

番号	チェック欄	チェックリストの項目
1		より高速なデバイス・スピードグレードの使用を検討します。

デザインに含まれているクリティカル・タイミング・パスの多くでハイパフォーマンス・モードが必要な場合、より高速なデバイス・スピード・グレードのデバイスが使用可能であればそれを使用することで消費電力を削減できる可能性があります。

クロック消費電力管理

表 78. クロック消費電力管理のチェックリスト

番号	チェック欄	チェック項目
1		クロック消費電力管理を最適化します。

クロックでは、ダイナミック消費電力の重要な部分を表します。これは、高いスイッチング活動と長いパスが理由です。インテル Quartus Prime 開発ソフトウェアでは、クロック配線の電力を自動最適化します。このときイネーブルするクロック・ネットワークは、ダウンストリーム・レジスターに供給する必要のある部分のみです。クロック・コントロール機能を使用して、クロック・ネットワークを動的にイネーブルまたはディスエーブルすることもできます。クロック・ネットワークがパワーダウンすると、そのクロック・ネットワーク供給のロジックはいずれもトグルしないため、デバイスの全体的な消費電力が削減されます。

LAB 全体のクロック消費電力を抑える際にクロックツリー全体をディスエーブルしないためには、LAB 全体のクロックイネーブル信号を使用して LAB 全体のクロックをゲートします。インテル Quartus Prime 開発ソフトウェアでは、レジスターレベルのクロックイネーブル信号を LAB レベルに自動昇格させます。

関連情報

- [インテル Stratix 10 クロッキングおよび PLL ユーザーガイド内、Stratix 10 クロック制御 IP コア](#)
クロック管理機能の使用に関する詳細情報を提供しています。

メモリーの消費電力削減

表 79. メモリーの消費電力削減のチェックリスト

番号	チェック欄	チェック項目
1		メモリー・クロッキング・イベント数を削減します。

メモリー・クロッキング・イベント数を削減し、メモリーの消費電力を低減します。クロック・ゲーティングまたはクロックイネーブル信号は、メモリーポートで使用できます。



関連情報

インテル Stratix 10 クロッキングおよび PLL ユーザーガイド内、クロック・ゲーティング
クロック・ゲーティングに関する詳細情報を提供しています。

I/O 消費電力のガイドライン

表 80. I/O 消費電力のガイドラインのチェックリスト

番号	チェック欄	チェック項目
1		I/O 消費電力のガイドラインを確認します。

I/O バッファのダイナミック消費電力は、合計負荷キャパシタンスに比例するため、キャパシタンスが低くなると消費電力が削減されます。

LVTTL や LVCMOS などの非終端 I/O 規格のレール間出力振幅は、 V_{CCIO} 電源電圧と同一です。ダイナミック電力は電圧の 2 乗に比例するため、より低い電圧の I/O 規格を使用してダイナミック消費電力を削減します。このような I/O 規格では、スタティック電力はほとんど消費しません。

ダイナミック電力もまた、出力遷移周波数に比例するため、SSTL などの抵抗終端型 I/O 規格を高周波アプリケーションに使用します。出力負荷電圧が変動するのは、バイアス点の周囲の V_{CCIO} よりも少ない量だけです。したがって、ダイナミック消費電力は、同様の条件下では、非終端 I/O よりも低くなります。

抵抗終端型 I/O 規格では、スタティック電力を大量に消費します。これは、電流が絶えず終端ネットワークに流れ込むためです。速度と波形の要件を満たす最低のドライブ強度を使用し、スタティック電力を最小限に抑えることが、抵抗終端型 I/O 規格を使用する場合に必要です。

外部デバイスによる使用電力は PTC での計算には含まれないため、システム消費電力の計算に別途含める必要があります。

インテル Quartus Prime の消費電力最適化の手法

表 81. インテル Quartus Prime の消費電力最適化の手法のチェックリスト

番号	チェック欄	チェック項目
1		消費電力の最適化に推奨されるデザイン手法と インテル Quartus Prime オプションを確認します。

インテル Quartus Prime 開発ソフトウェアで提供している合成とフィッティングにより、消費電力が最適化され、コア・ダイナミック消費電力が削減されます。

デザインの最適化をエリアに合わせて行うことで、消費電力の節約もできます。これは、使用するロジックブロックの数が少なくなるためです。したがって、一般的にスイッチング・アクティビティが少なくなります。デザインのソースコードを改善してパフォーマンスを最適化すると、消費電力も削減できます。DSE と Power Optimization Advisor を使用し、追加の提案をして、消費電力を削減します。

関連情報

インテル Quartus Prime プロ・エディション・ユーザーガイド: 消費電力の解析と最適化内、消費電力最適化の章

パワー・ドリブン・コンパイルおよび Power Optimization Advisor に関する詳細情報を提供しています。

Power Optimization Advisor

表 82. Power Optimization Advisor のチェックリスト

番号	チェック欄	チェック項目
1		最適化設定を提案する Power Optimization Advisor を使用します。

インテル Quartus Prime 開発ソフトウェアに含まれている Power Optimization Advisor では、特定の電力最適化のアドバイスと推奨事項を、現在のデザイン・プロジェクトの設定とアサインメントに基づいて行います。Tools メニューの **Advisors** にカーソルを合わせ、Power Optimization Advisor をクリックします。推奨される変更を実行した後、デザインを再コンパイルし、**Power Optimization Advisor** を実行して、その変更を消費電力結果で確認します。

インテル Stratix 10 デバイスのデザイン・ガイドラインのドキュメント改訂履歴

ドキュメント・バージョン	変更内容
2020.06.30	<ul style="list-style-type: none"> デバイス・コンフィグレーションのプランニングのチェックリストの表を更新しました。 <ul style="list-style-type: none"> インテル Stratix 10 GX10M デバイスのコンフィグレーションにチェック項目を追加しました。 nCONFIG の動作にチェック項目を追加しました。 デバイスの電源再投入およびリコンフィグレーションのセクションを追加しました。 チェック項目を更新し、Avalon-ST ×32 または×16 コンフィグレーション・スキームを使用する際の v_{ccio} に関するガイドラインをコンフィグレーション・ピンの電圧レベルのチェックリストの表に追加しました。 EPCQ-L のすべてのインスタンスを削除しました。このフラッシュデバイスは廃止されました。次のセクションのシリアルフラッシュの情報を更新しました。 <ul style="list-style-type: none"> シリアルコンフィグレーション・デバイス コンフィグレーション・ピンの電圧レベル 次のセクションで、SD/MMC デバイス・コンフィグレーションに関するガイドラインを削除しました。 <ul style="list-style-type: none"> SD/MMC フラッシュメモリのサポートをコンフィグレーション・ピンの電圧レベルのセクションから削除しました。 SDMMC_CFG_CCLK ピンをクロック・トレース・シグナル・インテグリティのセクションから削除しました。 Early Power Estimator (EPE) を Intel FPGA Power and Thermal Calculator (PTC) に変更しました。
2019.12.16	<ul style="list-style-type: none"> バンク 3A、3C、および 3D の I/O ピンのサポート制限にチェック項目を選択可能な規格および柔軟性の高い I/O バンクのチェックリストの表に追加しました。 セキュリティに関する考慮事項のセクションを追加しました。
2019.10.10	<ul style="list-style-type: none"> コンフィグレーション・ガイドラインおよび追加クロック要件に関するチェック項目をデバイス・コンフィグレーションのプランニングのチェックリストの表で更新しました。 LVDS SERDES の I/O ピンのサポート制限にチェック項目を選択可能な規格および柔軟性の高い I/O バンクのチェックリストの表に追加しました。 DQS および DQ ピンのチェック項目を更新し、EMIF に対する I/O ピンのサポート制限のチェック項目をメモリー・インターフェイスのチェックリストの表に追加しました。EMIF でサポートするバンクの DQS および DQ ピンの説明を更新しました。
2019.06.24	<ul style="list-style-type: none"> SmartVID デバイス用の PMBus 準拠電圧レギュレーターに関するチェック項目を電源ピンの接続および電源供給のチェックリストの表に追加しました。 PDN ウェブサイトへのリンクをデカップリング・コンデンサーのセクションに追加しました。 非終端 SSO ピンに関するチェック項目を I/O 同時スイッチング・ノイズのチェックリストの表に追加しました。
<i>continued...</i>	



ドキュメント・バージョン	変更内容
2019.04.02	<ul style="list-style-type: none"> インテル Stratix 10 Reset Release IP に関するチェック項目をデバイス・コンフィグレーションのプランニングのチェックリストの表に追加しました。 物理合成の最適化に関するガイドラインをエリアとタイミングの最適化のセクションで更新しました。
2018.09.24	<ul style="list-style-type: none"> PCIe、トランシーバー・チャンネル、HPS、広帯域メモリー (HBM2) IP コア、または SmartVID を使用するデザインのコンフィグレーション・ガイドラインおよび追加のクロック要件に関するチェック項目をデバイス・コンフィグレーションのプランニングのチェックリストの表に追加しました。 SmartVID 接続と VCC 電圧レギュレーターのチェック項目をその他のコンフィグレーション・ピンのチェックリストの表に追加しました。
2018.05.07	<ul style="list-style-type: none"> デバイスバリエーションのチェックリストの表のチェック項目を更新しました。 次のセクションにトランシーバーのドキュメントへのリンクを追加しました。 <ul style="list-style-type: none"> スピードグレード パーティカル・デバイス・マイグレーション トランシーバー・ボードのデザイン・ガイドライン NAND コンフィグレーション・スキームを削除しました。 次の IP コア名をインテルのブランド変更に従って変更しました。 <ul style="list-style-type: none"> Intel FPGA S10 Temperature Sensor IP コアを Temperature Sensor Intel Stratix 10 FPGA IP コアに変更しました。 Virtual JTAG IP コアを Virtual JTAG Intel FPGA IP コアに変更しました。 SLD_VIRTUAL_JTAG IP コアを SLD_VIRTUAL_JTAG Intel FPGA IP コアに変更しました。 Stratix 10 External Memory Interfaces IP コアを External Memory Interfaces Intel Stratix 10 FPGA IP コアに変更しました。 Stratix 10 Intel FPGA PHYLite for Parallel Interfaces IP コアを PHYLite for Parallel Interfaces Intel Stratix 10 FPGA IP コアに変更しました。 Intel FPGA IOPLL IP コアを IOPLL Intel FPGA IP コアに変更しました。 Stratix 10 Clock Control IP コアを Clock Control Intel Stratix 10 FPGA IP コアに変更しました。 LPM_CONSTANT IP コアを削除しました。インテル Stratix 10 デバイスではサポートされていません。

日付	バージョン	変更内容
2017年12月	2017.12.12	<ul style="list-style-type: none"> デザイン仕様のチェックリストの表のチェック項目を更新しました。 IP 選択のチェックリストの表のチェック項目を更新しました。 PLL およびクロック配線のチェックリストの表のチェック項目を更新しました。 ロジック、メモリー、および乗算器の集積度のセクションを更新しました。 デバイスのパーティカル・マイグレーションのチェックリストの表のチェック項目を追加しました。 熱管理の温度検知のセクションに外部 TSD 情報を追加しました。 熱情報を次のセクションに追加しました。 <ul style="list-style-type: none"> 早期消費電力見積もり 熱管理とデザイン 熱管理の温度検知 セクションのタイトルをデータ圧縮からコンフィグレーション・ビットストリーム圧縮に変更しました。 オプションのコンフィグレーション・ピンのセクションを更新しました。 Signal Tap エンベデッド・ロジック・アナライザーの説明をオンチップ・デバッグ・ツールのセクションに追加しました。 電源ピンの接続および電源供給のチェックリストの表のチェック項目を追加しました。 ボード関連の インテル Quartus Prime 設定チェックリストの表のチェック項目を更新しました。 メモリー・インターフェイスのセクションのリンクを更新しました。 兼用ピンおよび特殊ピンの接続のセクションを更新しました。 デザインエントリーのセクションを更新しました。 デザインの推奨事項のセクションのデザイン・アシスタントに関する情報を削除しました。

continued...



日付	バージョン	変更内容
		<ul style="list-style-type: none"> • リコンフィグレーションのセクションを更新しました。 • デザインの実装、解析、最適化、および検証のセクションのフォーマル検証に関する情報を削除しました。 • デバイスリソース使用率レポートのセクションのレポートの場所を更新しました。 • タイミング制約およびタイミング解析のセクションを更新しました。 • 推奨されるタイミング最適化およびタイミング解析アサインメントのチェックリストの表を更新しました。 <ul style="list-style-type: none"> – derive_pll_clocks のチェック項目を削除しました。 – set_false_path および set_clock_groups にチェック項目を追加しました。 • エリアおよびタイミングの最適化のセクションを更新しました。 • インテル Hyperflex でのデザインのセクションの Hyper-Register に関する説明を更新しました。 • シミュレーションのセクションの NativeLink に関する情報を削除しました。 • 次のセクションのプログラマブル電源タイラに関する情報を削除しました。 <ul style="list-style-type: none"> – 消費電力最適化 – デバイスのスピードグレード – インテル Quartus Prime 消費電力最適化の手法 • 次のセクションを削除しました。 <ul style="list-style-type: none"> – デバイス全体の出力イネーブルピン – レジスターのパワーアップ・レベルとコントロール信号 – フォーマル検証 • 次の用語を更新しました <ul style="list-style-type: none"> – Qsys を Platform Designer に変更しました。 – OpenCore Plus を Intel FPGA IP Evaluation Mode に変更しました。 – TimeQuest Timing Analyzer を Timing Analyzer に変更しました。 – Blueprint Platform Designer を Interface Planner に変更しました。 • IP 名をアルテラ PHYLite for Parallel Interfaces から PHY Lite for Parallel Interfaces に変更しました。 • インテルとして再ブランド化を行いました。
2017 年 2 月	2017.02.13	<ul style="list-style-type: none"> • 早期ピン・プランニングおよび I/O アサインメントの解析のセクションにおける Start I/O Assignment Analysis コマンドを削除しました。 • インクリメンタル・コンパイル機能を削除。以下のトピックを削除しました。 <ul style="list-style-type: none"> – 階層型およびチームベースのデザインのプランニング – デザイン・パーティションのプランニング – ボトムアップとチームベースのフローのプランニング – デザイン・フロアプランの作成 • 機能名を更新しました。 <ul style="list-style-type: none"> – SignalProbe を Signal Probe に変更しました。 – ツール名から PowerPlay のテキストを削除しました。
2016 年 10 月	2016.10.31	初版