

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

MI151014-1.6

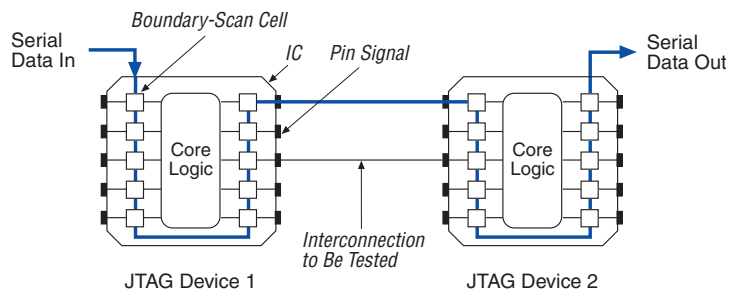
はじめに

プリント基板 (PCB) の複雑化に伴って、徹底したテストがますます重要になっています。表面実装パッケージおよび PCB 製造の進歩によってボードの小型化が進み、外部テスト・プローブや「Bed-of-nails」テスト治具などの従来型の試験方法の実装が困難になっています。その結果、PCB スペースの削減によるコストの節約が、従来型の試験方法のコスト増によって相殺されてしまうことがあります。

1980 年代、Joint Test Action Group (JTAG) は、後に IEEE Std. 1149.1 規格として標準化されたバウンダリ・スキャン・テストの規格を開発しました。このバウンダリ・スキャン・テスト (BST) アーキテクチャは、PCB 上に狭いリード間隔で実装されているコンポーネントを効率的にテストする機能を提供します。

この BST アーキテクチャでは、物理的なテスト・プローブを使用せずにピンの接続をテストすることができ、またデバイスの通常動作中に機能データをキャプチャできます。デバイスのバウンダリ・スキャン・セルは信号をピンに強制的に出力するか、あるいはピンまたはコア・ロジック信号からデータをキャプチャします。強制テスト・データはバウンダリ・スキャン・セルにシリアルにシフト・インされます。キャプチャされたデータはシリアルにシフト・アウトされ、外部で期待値と比較されます。図 13-1 に、バウンダリ・スキャン・テストの概念を示します。

図 13-1. IEEE Std. 1149.1 バウンダリ・スキャン・テスト



この章では、MAX[®] II デバイスで IEEE Std. 1149.1 BST 回路を使用する方法について説明します。トピックは以下のとおりです。

- 13-2 ページの「IEEE Std. 1149.1 BST アーキテクチャ」
- 13-5 ページの「IEEE Std. 1149.1 バウンダリ・スキャン・レジスタ」
- 13-7 ページの「IEEE Std. 1149.1 BST 動作コントロール」
- 13-19 ページの「JTAG チェインでの I/O 電圧のサポート」
- 13-20 ページの「プログラムされたデバイスに対する BST」
- 13-20 ページの「IEEE Std. 1149.1 BST 回路のデイセーブル」
- 13-21 ページの「IEEE Std. 1149.1 バウンダリ・スキャン・テストのガイドライン」
- 13-21 ページの「BSDL のサポート」

MAX II デバイスでは、BST に加えてイン・システム・プログラミング用 IEEE Std. 1149.1 コントローラを使用することができます。MAX II デバイスは、IEEE Std. 1149.1 Test Access Port (TAP) インタフェースを利用する IEEE 1532 プログラミングをサポートしています。ただし、この章では IEEE Std.1149.1 回路の BST 機能のみ説明します。

IEEE Std. 1149.1 BST アーキテクチャ

IEEE Std. 1149.1 BST モードで動作する MAX II デバイスは、TDI、TDO、TMS、および TCK の必須ピンを使用します。表 13-1 に、これらの各ピンの機能をまとめます。MAX II デバイスには、TRST ピンはありません。

表 13-1. IEEE Std. 1149.1 ピンの説明 (1 / 2)

ピン	説明	機能
TDI (1)	テスト・データ入力	命令、テストおよびプログラミング・データ用のシリアル入力ピン。データは TCK の立ち上がりエッジでシフト・インされます。
TDO	テスト・データ出力	命令、テストおよびプログラミング・データ用のシリアル出力ピン。データは TCK の立ち下がりエッジでシフト・アウトされます。このピンは、データがデバイスからシフト・アウトされない場合はトライ・ステートになります。
TMS (1)	テスト・モードの選択	TAP コントローラ・ステート・マシンの遷移を決定するコントロール信号を提供する入力ピン。ステート・マシン内での遷移は、TCK の立ち上がりエッジで発生します。このため、TCK の立ち上がりエッジの前に TMS を設定する必要があります。TMS は、TCK の立ち上がりエッジで評価されます。

ピン	説明	機能
TCK (2)	テスト・クロック入力	BST 回路へのクロック入力。立ち上がりエッジで発生する動作と、立ち下がりエッジで発生する動作があります。

表 13-1 の注:

- (1) TDI および TMS には内部ウィーク・プルアップ抵抗があります。
- (2) TCK ピンには、内部ウィーク・プルダウン抵抗があります。

IEEE Std. 1149.1 BST 回路には、以下のレジスタが必要です。

- 実行する処理の決定に使用されるインストラクション・レジスタとアクセス対象のデータ・レジスタ。
- TDI と TDO の間で最小長のシリアル・パスを設けるために使用される 1 ビット長のデータ・レジスタであるバイパス・レジスタ。
- デバイスのすべてのバウンダリ・スキャン・セルで構成されたシフト・レジスタであるバウンダリ・スキャン・レジスタ。

図 13-2 に、IEEE Std. 1149.1 回路の機能モデルを示します。

図 13-2. IEEE Std. 1149.1 ピン回路

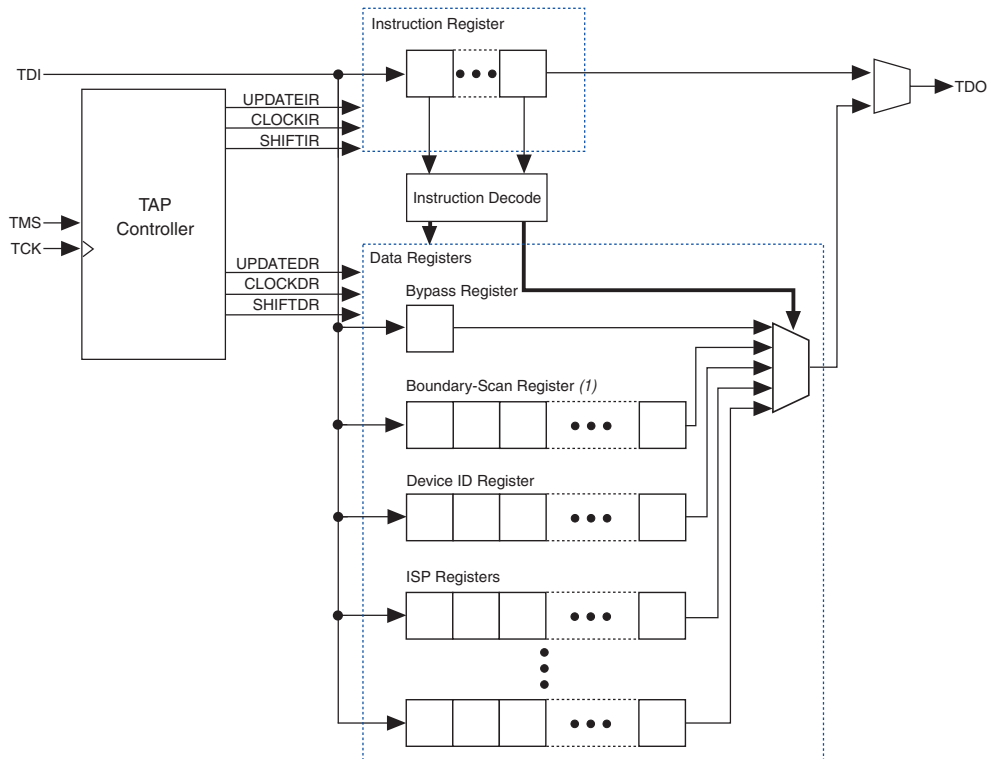


図 13-2 の注:

- (1) MAX II デバイスのバウンダリ・スキャン・レジスタの長さについては、「MAX II デバイス・ハンドブック」の「JTAG およびイン・システム・プログラマビリティ」の章を参照してください。

IEEE Std. 1149.1 バウンダリ・スキャン・テストは、13-7 ページの「IEEE Std. 1149.1 BST 動作コントロール」で説明する TAP コントローラによって制御されます。TMS および TCK ピンは、TAP コントローラを操作し、TDI および TDO ピンは、データ・レジスタにシリアル・パスを供給します。TDI ピンはインストラクション・レジスタにデータを供給し、それによってデータ・レジスタに対するコントロール・ロジックが生成されます。

IEEE Std. 1149.1 バウンダリ・ スキャン・ レジスタ

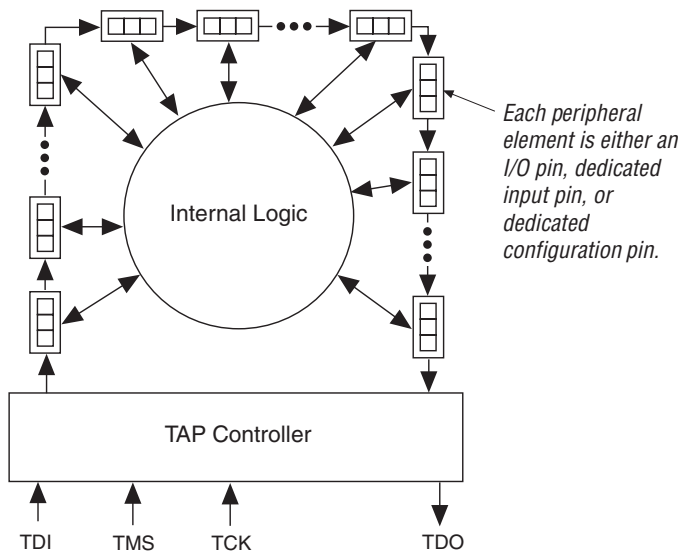
バウンダリ・スキャン・レジスタは、TDI ピンを入力、TDO ピンを出力として使用する大きなシリアル・シフト・レジスタです。バウンダリ・スキャン・レジスタは、MAX II デバイスの I/O ピンに関連付けられている 3 ビットのペリフェラル・エレメントで構成されています。バウンダリ・スキャン・レジスタを使用して、外部ピンの接続をテストしたり、内部データをキャプチャすることができます。



MAX II デバイスのバウンダリ・スキャン・レジスタの長さについては、「MAX II デバイス・ハンドブック」の「JTAG およびイン・システム・プログラマビリティ」の章を参照してください。

図 13-3 に、IEEE Std. 1149.1 デバイスの周辺にテスト・データをシリアルにシフトする方法を示します。

図 13-3. バウンダリ・スキャン・レジスタ



MAX II デバイスの I/O ピンのバウンダリ・スキャン・セル

4 本の JTAG ピンと電源ピンを除いて、MAXII デバイスのすべてのピン（クロック・ピンを含む）は、ユーザ I/O ピンとして使用でき、バウンダリ・スキャン・セル（BSC）を備えています。3 ビット BSC は、キャプチャ・レジスタのセットおよびアップデート・レジスタのセットで構成されています。キャプチャ・レジスタは OUTJ 信号と OEJ 信号で内部

表 13-2 に、MAX II デバイス内のすべてのバウンダリ・スキャン・セルのキャプチャおよびアップデート・レジスタの機能を示します。

ピン・タイプ	キャプチャ			ドライブ			注
	出力 キャプチャ・ レジスタ	OE キャプチャ・ レジスタ	入力 キャプチャ・ レジスタ	出力 アップ デート・ レジスタ	OE アップ デート・ レジスタ	入力 アップ デート・ レジスタ	
ユーザ I/O	OUTJ	OEJ	PIN_IN	PIN_OUT	PIN_OE	—	ユーザ・ クロック を含む

表 13-2 の注:

(1) TDI、TDO、TMS、TCK ピン、すべての VCC および GND ピン・タイプには、バウンダリ・スキャン・セルはありません。

JTAG ピンおよび電源ピン

MAX II デバイスは、専用の JTAG ピン (TDI、TDO、TMS、および TCK) と電源ピン (VCCINT、VCCIO、GNDINT、および GNDIO) にはバウンダリ・スキャン・セルを備えていません。

IEEE Std. 1149.1 BST 動作 コントロール

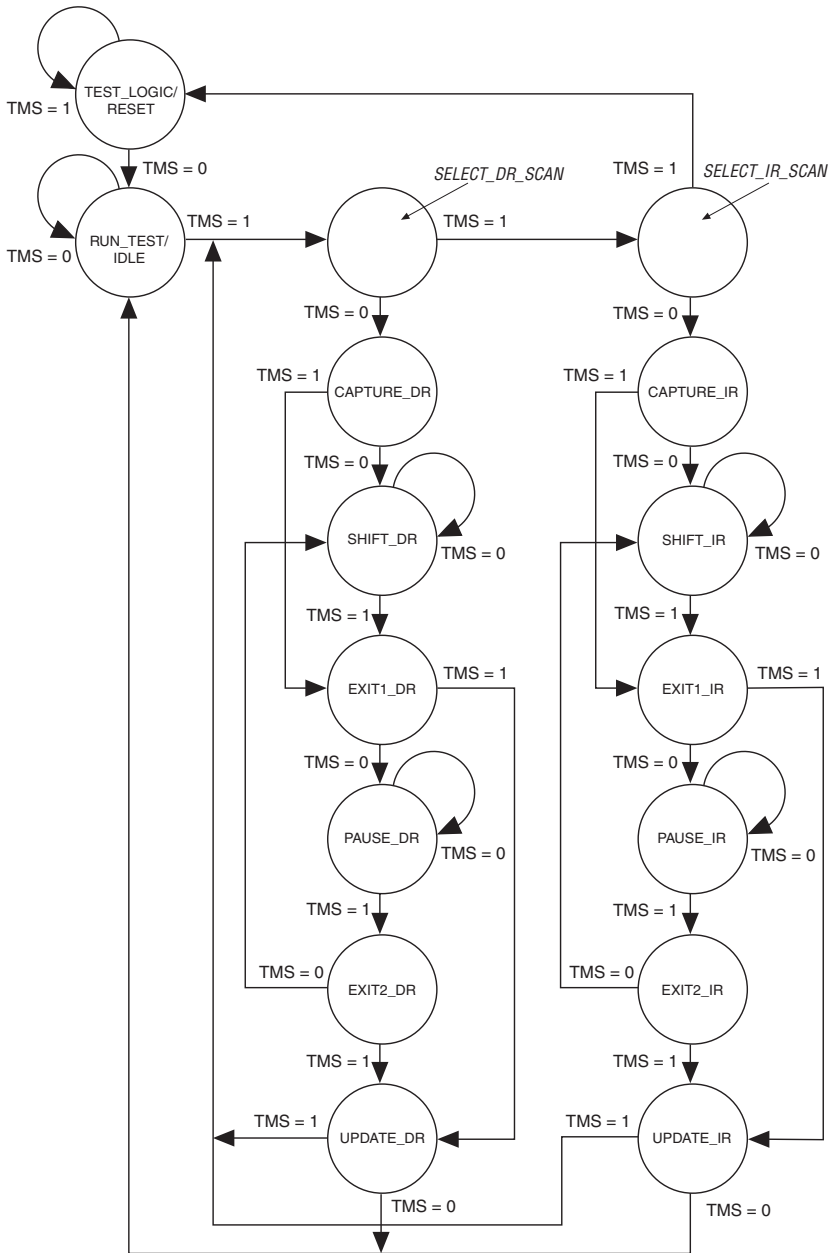
MAX II デバイスは、IEEE Std. 1149.1 BST 命令の SAMPLE/PRELOAD、EXTEST、BYPASS、IDCODE、USERCODE、CLAMP、および HIGHZ を実装しています。BST 命令の長さは 10 ビットです。これらの命令については、本章の後半で詳細に説明します。



BST 命令とそれらの命令コードの要約については、「MAX II デバイス・ハンドブック」の「JTAG およびイン・システム・プログラマビリティ」の章を参照してください。

IEEE Std. 1149.1 TAP コントローラは、TCK の立ち上がりエッジでクロックされる 16 ステートのステート・マシンで、TMS ピンを使用してデバイスの IEEE Std. 1149.1 動作を制御します。図 13-5 に TAP コントローラ・ステート・マシンを示します。

図 13-5. IEEE Std. 1149.1 TAP コントローラ・ステート・マシン



TAP コントローラが TEST_LOGIC/RESET ステートのときには、BST 回路はディセーブルされ、デバイスは通常の動作状態となり、インストラクション・レジスタは初期命令として IDCODE で初期化されます。デバイスのパワーアップ時には、TAP コントローラはこの TEST_LOGIC/RESET ステートで起動します。さらに、TAP コントローラは 5 TCK クロック・サイクルにわたって TMS を High に保持することによって、強制的に TEST_LOGIC/RESET ステートにすることもできます。TEST_LOGIC/RESET ステートになると、TAP コントローラは TCK がクロックされている間に TMS が High に保持されている限り、このステートのままです。図 13-6 に、IEEE Std. 1149.1 信号のタイミング要件を示します。

図 13-6. IEEE Std. 1149.1 のタイミング波形 注 (1)

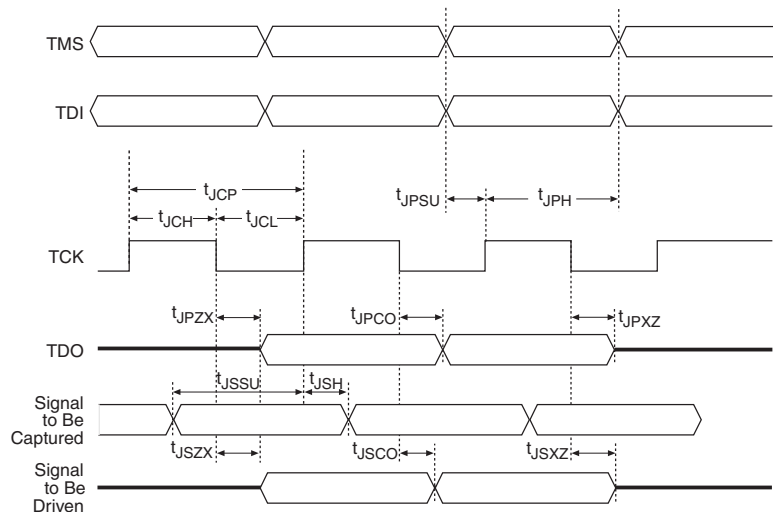
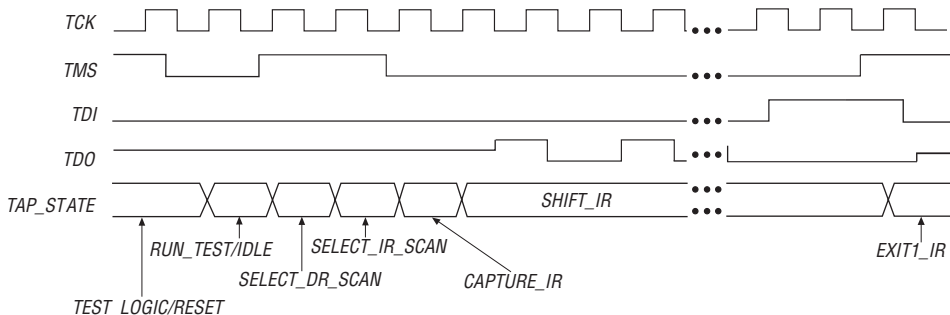


図 13-6 の注:

- (1) タイミング・パラメータ値については、「MAX II デバイス・ハンドブック」の「DC およびスイッチング特性」の章を参照してください。

IEEE Std. 1149.1 の動作を開始するには、TAP コントローラをシフト・インストラクション・レジスタ (SHIFT_IR) ステートに進めてインストラクション・モードを選択し、TDI ピンに適切なコードをシフト・インします。図 13-7 の波形図は、インストラクション・レジスタへのインストラクション・コードの入力を表しています。TCK、TMS、TDI、TDO の値と TAP コントローラのステートを示します。RESET ステートから、TMS にパターン 01100 がクロックされ、TAP コントローラを SHIFT_IR に進めます。

図 13-7. インストラクション・モードの選択



TDOピンは、SHIFT_IRおよびSHIFT_DRステートを除くすべてのステートでトライ・ステートになります。TDOピンは、いずれかのシフト・ステートに入った後の TCK の最初の立ち下がりエッジでアクティブになり、いずれかのシフト・ステートを終了した後の TCK の最初の立ち下がりエッジでトライ・ステートになります。

SHIFT_IR ステートがアクティブになると、TDO はトライ・ステートを抜け、インストラクション・レジスタの初期ステートが TCK の立ち下がりエッジでシフト・アウトされます。TDO は、SHIFT_IR ステートがアクティブになっている限り、継続してインストラクション・レジスタの内容をシフト・アウトします。TAP コントローラは、TMS が Low のときは SHIFT_IR ステートになったままです。

SHIFT_IRステートの間、TCKの立ち上がりエッジでTDIピン上のデータをシフトすることによって、命令コードが入力されます。オペコードの最終ビットは、次のステート EXIT1_IR がアクティブになると同時にクロックしなければなりません。つまり、EXIT1_IR は TMS 上でロジック High をクロックすると入力されます。EXIT1_IR ステートになると、TDO は再びトライ・ステートになります。TDO は、SHIFT_IR および SHIFT_DR ステートを除いて、常にトライ・ステートになります。命令コードが正しく入力されると、TAP コントローラは SAMPLE/PRELOAD、EXTTEST、または BYPASS の 3 つのモードのいずれかで、テスト・データのシリアル・シフトの実行に進みます。

MAX II デバイスの場合、TDI および TMS 用のウィーク・プルアップ抵抗と、TCK 用のプルダウン抵抗があります。ただし、JTAG チェーンでは内部プルアップ抵抗または内部プルダウン抵抗を持たないデバイスが存在する場合があります。この場合、BST またはイン・システム・プログラミング (ISP) 中に、TAP コントローラが意図しないステートに移行することを防ぐために、TMS ピンを High に (外部 10 kΩ 抵抗を通して)

プルアップ、TCK を Low に (1 k Ω 抵抗を通して) プルダウンすることを推奨します。TDI 信号の外部プルアップ抵抗の実装は、任意で構いません。

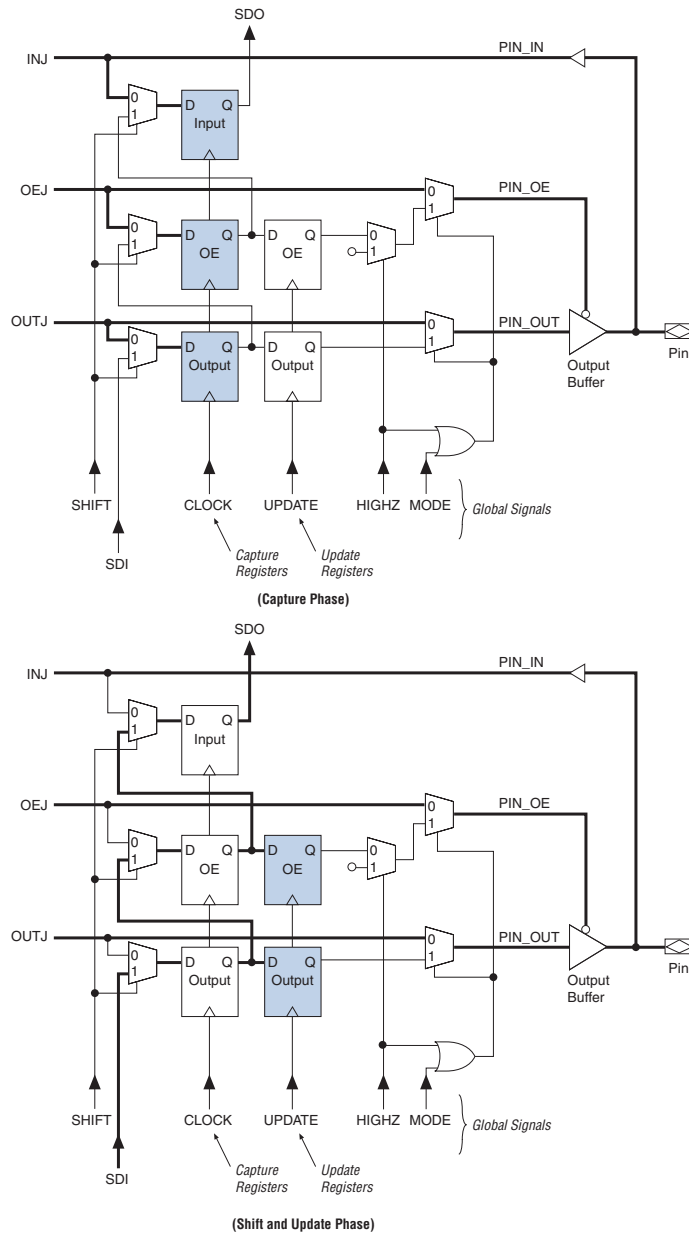


プルアップおよびプルダウン抵抗について詳しくは、「MAX II デバイス・ハンドブック」の「MAX II デバイスのイン・システム・プログラマビリティ・ガイドライン」の章を参照してください。

SAMPLE/PRELOAD インストラクション・モード

SAMPLE/PRELOAD インストラクション・モードを利用すると、通常のデバイス動作を中断することなく、デバイス・データのスナップショットを取得できます。ただし、このインストラクション・モードを使用する最も一般的な目的は、EXTEST 命令をロードする前にアップデート・レジスタにテスト・データをプリロードすることです。図 13-8 に、SAMPLE/PRELOAD モードのキャプチャ、シフト、およびアップデート・フェーズを示します。

図 13-8. IEEE Std. 1149.1 BST SAMPLE/PRELOAD モード



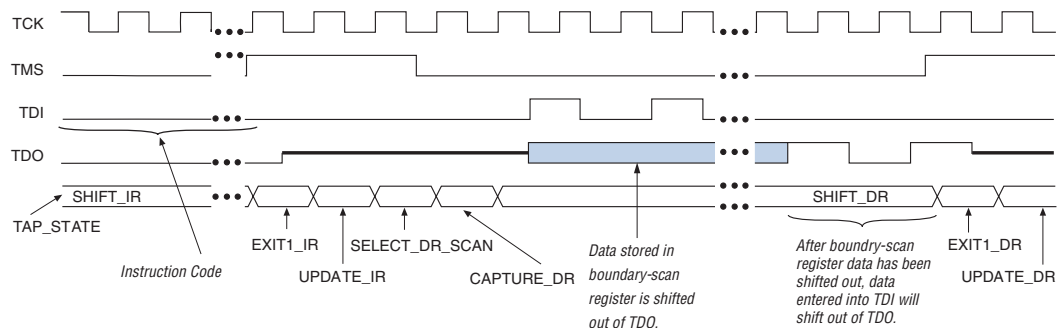
キャプチャ・フェーズでは、キャプチャ・レジスタの前に配置されたマルチプレクサがアクティブなデバイス・データ信号を選択し、このデータがキャプチャ・レジスタにクロックされます。アップデート・レジスタの出力にあるマルチプレクサは、デバイスの動作に影響を及ぼさないよう、アクティブ信号を選択します。シフト・フェーズ中には、デバイス周辺のキャプチャ・レジスタを通してデータをクロック駆動することによってバウンダリ・スキャン・シフト・レジスタが形成され、TDO ピンから出力されます。新しいテスト・データは同時に TDI にシフト・インされ、キャプチャ・レジスタの内容を置き換えることができます。アップデート・フェーズでは、キャプチャ・レジスタ内のデータはアップデート・レジスタに転送されます。このデータは次に、EXTEST インストラクション・モードで使用できます。

詳細は、13-14 ページの「EXTEST インストラクション・モード」を参照してください。

図 13-9 に、SAMPLE/PRELOAD 波形を示します。SAMPLE/PRELOAD 命令コードは、TDI ピンを通してシフト・インされます。TAP コントローラは、CAPTURE_DR ステートに進み、次に SHIFT_DR ステートに進みますが、TMS が Low に保持されていれば、このステートに留まります。TDO ピンからシフト・アウトされたデータは、キャプチャ・フェーズ後にキャプチャ・レジスタ内に格納されていたデータで構成されます。TDI ピンにシフトされた新しいテスト・データが、バウンダリ・スキャン・レジスタ全体をクロックされた後、TDO ピンに現れます。図 13-9 は、TDI にシフトされたテスト・データはキャプチャ・レジスタのデータがシフト・アウトされるまで TDO ピンに出力されないことを示しています。TMS が 2 連続 TCK クロック・サイクルの間 High に保持されると、TAP コントローラはアップデート・フェーズのために UPDATE_DR ステートに進みます。

バウンダリ・スキャン・テスト中に、デバイス出力のイネーブル機能がイネーブルにされても、DEV_OE ピンがアサートされていない場合、OE バウンダリ・スキャン・レジスタは、SAMPLE/PRELOAD 中にデバイスのコアからデータをキャプチャします。I/O ピンがトライ・ステート中でも、これらの値はハイ・インピーダンスではありません。

図 13-9. SAMPLE/PRELOAD シフト・データ・レジスタの波形

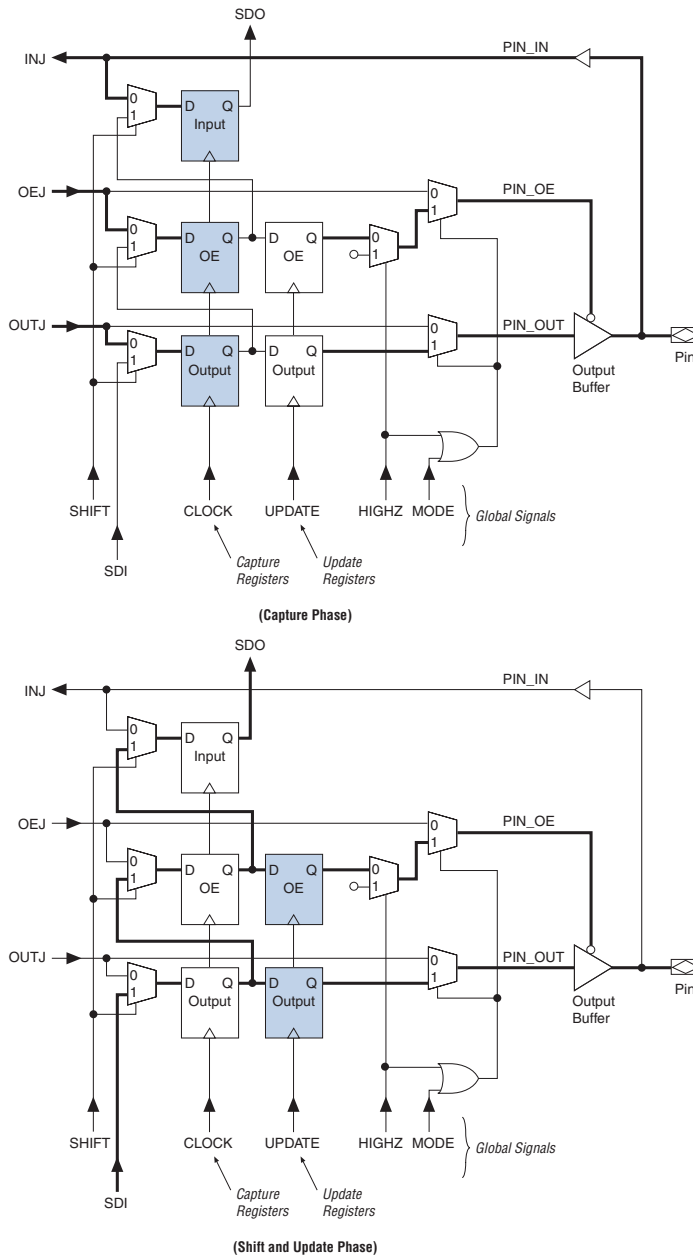


EXTEST インストラクション・モード

EXTEST インストラクション・モードでは、デバイス間の外部ピン接続をチェックするために使用されます。SAMPLE/PRELOAD モードとは異なり、EXTEST ではテスト・データを強制的にピン信号に出力できます。出力ピンに既知の High および Low のロジック・レベルを与えることによって、スキャン・チェーン内の任意のデバイスのピンでオープンおよび短絡を検出することができます。

図 13-10 に、EXTEST モードのキャプチャ、シフト、およびアップデート・フェーズを示します。

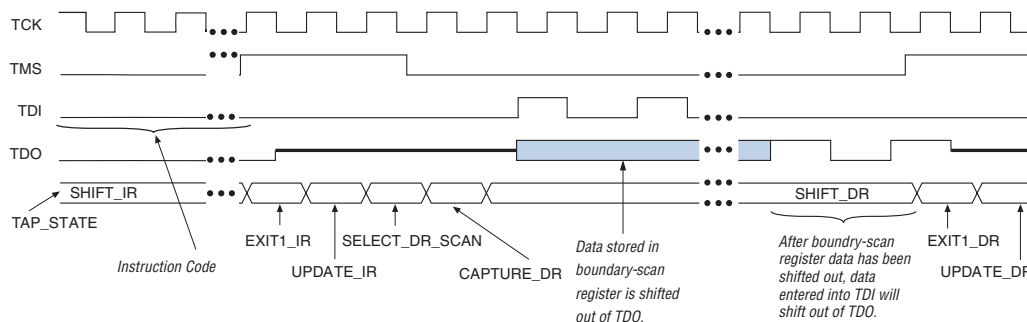
図 13-10. IEEE Std. 1149.1 BST EXTEST モード



EXTEST は、SAMPLE/PRELOAD とは異なる方法でデータを選択します。EXTEST は、出力および出力イネーブル信号のソースとして、アップデート・レジスタからデータを選択します。EXTEST 命令コードが入力されると、マルチプレクサはアップデート・レジスタを選択します。したがって、以前の EXTEST または SAMPLE/PRELOAD テスト・サイクルからこれらのレジスタに格納されたデータは、強制的にピン信号に供給できます。キャプチャ・フェーズでは、このテスト・データの結果はキャプチャ・レジスタに格納され、シフト・フェーズ中に TDO からシフト・アウトされます。新しいテスト・データは、アップデート・フェーズ中にアップデート・レジスタに格納できます。

図 13-11 の波形図は、EXTEST に対する命令コードが異なることを除いて、SAMPLE/PRELOAD 波形図と類似しています。TDO ピンからシフト・アウトされたデータは、キャプチャ・フェーズ後にキャプチャ・レジスタ内に格納されていたデータで構成されます。TDI ピンにシフト・インされた新しいテスト・データは、バウンダリ・スキャン・レジスタ全体をクロックされた後、TDO ピンに出力されます。

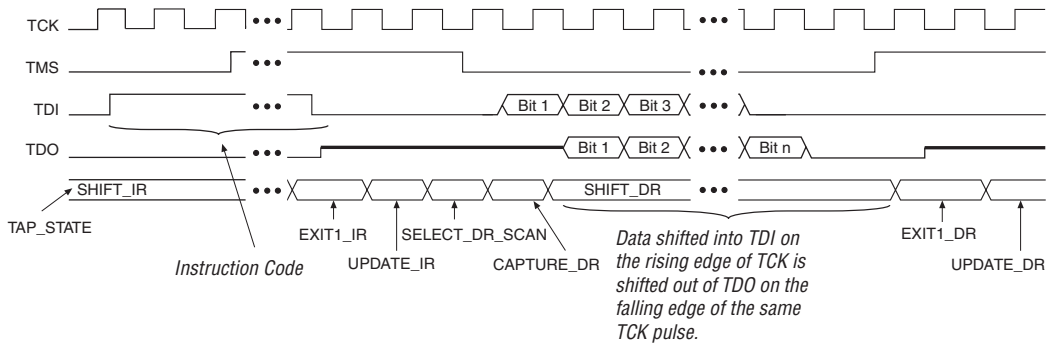
図 13-11. EXTEST シフト・データ・レジスタ波形



BYPASS インストラクション・モード

BYPASS インストラクション・モードは、1 のみで構成される命令コードでアクティブになります。図 13-12 の波形は、TAP コントローラが SHIFT_DR ステートのときに、スキャン・データがどのようにデバイスを通過するかを示します。このステートでは、データ信号は TCK の立ち上がりエッジの TDI からバイパス・レジスタにクロック・インされ、同じクロック・パルスの立ち下がりエッジの TDO でバイパス・レジスタからクロック・アウトされます。

図 13-12. BYPASS シフト・データ・レジスタ波形



IDCODE インストラクション・モード

IDCODE インストラクション・モードは、IEEE Std. 1149.1 チェインのデバイスを識別するために使用されます。IDCODE が選択されると、デバイス識別レジスタに 32 ビットのベンダ定義識別コードがロードされます。デバイス ID レジスタは、TDI ポートと TDO ポートの間に接続され、デバイスの IDCODE がシフト・アウトされます。



MAX II デバイスの IDCODE は、「MAX II デバイス・ハンドブック」の「JTAG およびイン・システム・プログラマビリティ」の章に記載されています。

USERCODE インストラクション・モード

USERCODE インストラクション・モードは、IEEE Std. 1149.1 チェインにあるデバイス内のユーザ電子署名 (UES) を確認するために使用されます。この命令が選択されると、TDI ポートと TDO ポートの間にデバイス識別レジスタが接続されます。ユーザ定義の UES は、32 ビット USERCODE レジスタから平行にデバイス ID レジスタにシフト・インされます。UES はデバイス ID レジスタを通してシフト・アウトされます。デバイスが正常にコンフィギュレーションされた後でのみ、USERCODE 情報を利用できます。

不揮発性 USERCODE データは、コンフィギュレーション・フラッシュ・メモリ (CFM) ブロックに書き込まれ、パワーアップ時に SRAM に書き込まれます。USERCODE 命令は、SRAM からデータ値を読み込みます。リアルタイム ISP 機能を使って CFM ブロックと USERCODE データを更新した場合、USERCODE インストラクションは新しい USERCODE データではなく、現在 SRAM に格納されている値を戻します。リアルタイム ISP アップデートの後にパワー・サイクルまたは強制 SRAM ダウンロードが起こった場合にのみ、CFM に格納された新しいデザインの USERCODE は SRAM に転送され、更新されたデータがリード・バックできます。

Quartus II ソフトウェアは、JTAG ユーザ・コードとしてプログラミング・ファイルのチェックサム値の使用を選択することができる **Auto Usercode** 機能を備えています。選択すると、チェックサムは USERCODE レジスタに自動的にロードされます。Assignments メニューの **Device** をクリックします。Device ダイアログ・ボックスの **Device and Pin Options** をクリックし、General タブをクリックします。**Auto Usercode** をオンにします。

CLAMP インストラクション・モード

CLAMP インストラクション・モードは、バイパス・レジスタが TDI ポートと TDO ポートの間でシリアル・パスとして選択されている間に、ピンからドライブされる信号の状態をバウンダリ・スキャン・レジスタから決定するために使用されます。出力ピンからドライブされるすべての信号のステートは、バウンダリ・スキャン・レジスタに保持されるデータによって完全に定義されます。ただし、I/O のウィーク・プルアップ抵抗または I/O バス・ホールドのいずれかを選択した場合、CRAMP がそれらに優先することはありません。

HIGHZ インストラクション・モード

HIGHZ インストラクション・モードは、すべてのユーザ I/O ピンを非アクティブなドライブ状態に設定するのに使用されます。これらのピンは新しい JTAG 命令が実行されるまでトライ・ステートになります。この命令が選択されると、TDI ポートと TDO ポート間にバイパス・レジスタが接続されます。I/O のウィーク・プルアップ抵抗または I/O バス・ホールドのいずれかを選択した場合、HIGHZ がそれらに優先することはありません。

JTAG チェイン での I/O 電圧の サポート

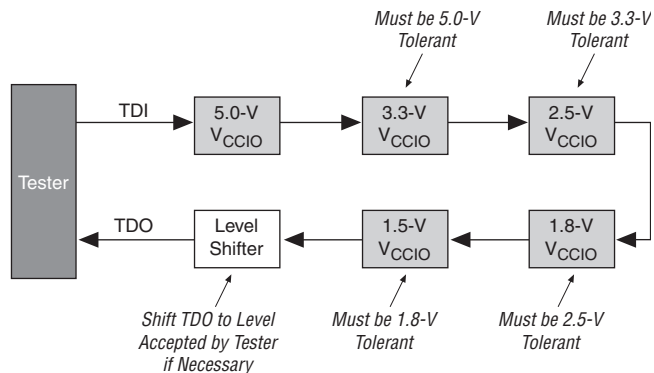
JTAG チェインには、様々なアルテラ・デバイスまたはアルテラ以外のデバイスを混在させることができます。ただし、チェーンに異なる V_{CCIO} レベルを持つデバイスが含まれる場合は注意が必要です。デバイスの TDO ピンは、デバイスの V_{CCIO} に基づく電圧レベルでドライブ・アウトします。MAX II デバイスの場合、TDO ピンは、I/O バンク 1 の V_{CCIO} の基づく電圧レベルでドライブ・アウトします。デバイスは、それぞれの V_{CCIO} レベルが異なる場合でも互いに通信できます。例えば、3.3 V は 5.0-V V_{CCIO} デバイスの TTL レベル入力に対する最小 V_{IH} を満たすため、3.3 V V_{CCIO} デバイスは 5.0-V V_{CCIO} デバイスにドライブできます。MAX II デバイスの JTAG ピンは、I/O バンク 1 の V_{CCIO} 電圧に応じて、1.5 V、1.8 V、2.5 V、または 3.3 V 入力レベルをサポートできます。



MultiVolt™ I/O サポートについて詳しくは、「MAX II デバイス・ハンドブック」の「MAX II アーキテクチャ」の章を参照してください。

デバイスの V_{CCIO} レベルが異なる場合は、デバイス間にレベル・シフタを挿入して、JTAG ピンの TDI および TDO ラインをインタフェースできます。可能な場合は、 V_{CCIO} レベルの高いデバイスが V_{CCIO} レベルが同じかそれより低いデバイスをドライブするよう JTAG チェインを構築してください。このような方法で JTAG チェインを構築すると、TDO レベルを JTAG テスタの許容レベルにシフトするためにのみレベル・シフタが必要になります。図 13-13 に、複数の電圧が混在する JTAG チェインとレベル・シフタをチェーンに挿入する方法を示します。

図 13-13. 電圧レベルが混在した JTAG チェイン



プログラムされたデバイスに対する BST

プログラムされたデバイスでは、デザイン・ファイル内で出力専用設定されている I/O ピンに対して、入力バッファはデフォルトでオフになっています。入力バッファがオフのときに、プログラムされたデバイスの出力ピンをデフォルトの BSDL ファイルでサンプリングすることはできません。プログラムされたデバイスの入力バッファを常にイネーブするように Quartus II ソフトウェアを設定すると、デバイスはバウンダリ・スキャン・テストを行うプログラムされていないデバイスと同様に動作し、デザインの出力ピン上のサンプリング機能が使用できます。これにより、未使用入力バッファは常にオンになるため、スタンバイ電流がわずかに増加する場合があります。

1. Assignments メニューの **Settings** をクリックします。
2. **Category** から **Assembler** を選択します。
3. **Always Enable Input Buffers** をオンにします。

IEEE Std. 1149.1 BST 回路のディセーブル

MAX II デバイスの IEEE Std. 1149.1 BST 回路は、デバイスのパワーアップ時にイネーブされます。この回路は BST または ISP に使用できるため、これらの機能が使用される場合にのみイネーブしなければなりません。この項では、IEEE Std. 1149.1 回路をディセーブルにして、必要のないときに回路が誤ってイネーブされないようにする方法を説明します。

表 13-3 に、専用の IEEE Std. 1149.1 ピンを備えた MAX II デバイスで JTAG をディセーブルするのに必要なピン接続を示します。

表 13-3. IEEE Std. 1149.1 回路のディセーブル			
JTAG ピン (1)			
TMS	TCK	TDI	TDO
VCC (2)	GND (3)	VCC (2)	オープンのまま

表 13-3 の注：

- (1) MAX II デバイスの JTAG をディセーブルするソフトウェア・オプションはありません。JTAG ピンは専用ピンです。
- (2) VCC はバンク 1 の V_{CCIO} を指します。
- (3) TCK 信号は High に接続することもできます。TCK を High に接続した場合、TMS が TCK の前に High にプルアップされることをパワーアップ条件で保証しなければなりません。TCK を Low にプルダウンすると、このパワーアップ条件が回避されます。

IEEE Std. 1149.1

バウンダリ・ スキャン・ テストの ガイドライン

IEEE Std. 1149.1 デバイスでバウンダリ・スキャン・テストを実行するときは、下記のガイドラインを使用します。

- SHIFT_IR ステートの最初のクロック・サイクル中に、10 ビットの 1010101010 などのパターンが TDO ピンを通してインストラクション・レジスタからシフト・アウトされない場合、TAP コントローラは適切なステートに達していません。この問題を解決するには、以下の手順のいずれかを実行します。
 - TAP コントローラが正常に SHIFT_IR ステートに達したことを確認します。TAP コントローラを SHIFT_IR ステートに進めるには、RESET ステートに戻り、TMS ピンにコード 01100 をクロックします。
 - デバイスの VCC、GND、JTAG ピンへの接続を確認します。
- EXTEST モードに入るときに、既知のデータがデバイス・ピンに確実に現れるように、最初の EXTEST テスト・サイクルの前に SAMPLE/PRELOAD テスト・サイクルを実行します。OEJ アップデート・レジスタに 0 が含まれている場合、OUTJ アップデート・レジスタのデータがドライブ・アウトされます。システム内の他のデバイスとの競合を回避するために、ステートは既知で正しくなければなりません。
- ISP の間は、EXTEST および SAMPLE/PRELOAD テストは実行しないでください。これらの命令は、ISP の前後でサポートされますが、ISP 中はサポートされません。



問題が解決されない場合は、アルテラ・アプリケーションにお問い合わせください。

BSDL の サポート

VHDL のサブセットである BSDL は、テスト可能な IEEE Std. 1149.1 BST 対応デバイスの機能を記述できる構文を提供します。テスト・ソフトウェア開発システムは、BSDL ファイルをテスト生成、解析、障害診断、およびイン・システム・プログラミングに使用します。

詳細情報または IEEE Std. 1149.1 準拠の MAX II デバイス用 BSDL ファイルの入手については、アルテラのウェブサイト (www.altera.co.jp) を参照してください。

まとめ

MAX II デバイスで利用可能な IEEE Std. 1149.1 BST 回路は、リード間隔の狭いデバイスを搭載したシステムをテストするためのコスト効果が高く効率的な方法を提供します。アルテラおよび他社の IEEE Std. 1149.1 準拠デバイスを搭載した回路ボードは、EXTEST、SAMPLE/PRELOAD、および BYPASS モードを使用して、デバイス間のピン接続を内部でテストし、デバイス動作をチェックするシリアル・パターンを作成できます。



Institute of Electrical and Electronics Engineers, Inc. IEEE Standard Test Access Port and Boundary-Scan Architecture (IEEE Std. 1149.1-2001). New York: Institute of Electrical and Electronics Engineers, Inc., 2001.

参考資料

この章では以下のドキュメントを参照しています。

- 「MAX II デバイス・ハンドブック」の「DC およびスイッチング特性」の章
- 「MAX II デバイス・ハンドブック」の「MAX II デバイスのイン・システム・プログラマビリティ・ガイドライン」の章
- 「MAX II デバイス・ハンドブック」の「JTAG およびイン・システム・プログラマビリティ」の章
- 「MAX II デバイス・ハンドブック」の「MAX II アーキテクチャ」の章

改訂履歴

表 13-4 に、本資料の改訂履歴を示します。

表 13-4. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 v1.6	<ul style="list-style-type: none"> ● 図 13-14 を削除。 ● 図 13-6 を更新。 ● 「参考資料」の項を追加。 	—
2006 年 12 月 v1.5	改訂履歴を追加。	—
2006 年 8 月 v1.4	IEEE Std. 1149.1 BST 動作 コントロールの項を更新。	—
2006 年 7 月 v1.3	「プログラムされたデバイスに対する BST」の項を更新。	—
2005 年 6 月 v1.2	<ul style="list-style-type: none"> ● USERCODE インストラクション・モードの項にパラグラフを追加。 ● 新しい項、プログラムされたデバイスに対する BST を追加。 	—
2005 年 1 月 v1.1	14 章から変更。内容の変更はなし。	—
2004 年 3 月 v1.0	初版	—

