

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

MI151013-1.6

はじめに

「Time-to-Market」に対する要求の高まりに伴い、デザイン・エンジニアは開発と製造を問題なく進めるために、高度なシステム・レベルの製品を必要とします。イン・システム・プログラマビリティ (ISP) を備えたプログラマブル・ロジック・デバイス (PLD) は、開発時間の短縮、イン・フィールド・アップグレードと製造フローの簡略化、在庫コストの低減、およびプリント基板 (PCB) テスト機能の改善に役立ちます。アルテラの ISP 対応 MAX II デバイスは、IEEE Std. 1149.1 JTAG (Joint Test Action Group) インタフェースを介してイン・システムでプログラムおよび再プログラムできます。このインタフェースによって、MAX II デバイスをプログラムし、PCB の機能を 1 つの製造ステップでテストできるため、テスト時間や組み立てコストを低減できます。この章では、ISP を使用して適切にデザインするための以下の内容のガイドラインを説明します。

- 11-1 ページの「全体的な ISP ガイドライン」
- 11-6 ページの「IEEE Std. 1149.1 信号」
- 11-8 ページの「シーケンシャル・プログラミングと同時プログラミングの比較」
- 11-10 ページの「ISP トラブルシューティング・ガイドライン」
- 11-13 ページの「エンベデッド・プロセッサを使用した ISP」
- 11-14 ページの「イン・サーキット・テスタによる ISP」

全体的な ISP ガイドライン

この項では、ISP 対応 MAX II デバイスを適切にデザインするためのガイドラインを示します。どのデザイン実装でもこれらのガイドラインに従うことが必要です。

動作条件

各 MAX II デバイスには、適正動作に必要なパラメータ定格、または動作条件がいくつかあります。MAX II デバイスは、ユーザ・モードではこれらの条件を超えることがあり、その場合も正しく動作しますが、イン・システム・プログラミング中はこれらの条件を超えないようにしなければなりません。イン・システム・プログラミング中に動作条件のいずれかに違反すると、プログラミング障害が発生したり、デバイスが不正にプログラムされることがあります。ISP が機能するには、すべての I/O バンクの V_{CCIO} とデバイスの V_{CCINT} を完全にパワーアップする必要があります。

ISP 電圧

イン・システム・プログラミング中は、デバイスのフラッシュ・セルが確実に正しくプログラムされるように、デバイス動作条件表に規定される V_{CCINT} および V_{CCIO} レベルを V_{CCINT} および V_{CCIO} ピン上で維持する必要があります。 V_{CCINT} および V_{CCIO} の使用は、コマーシャルおよびインダストリアル温度範囲の製品の両方に適用されます。

入力電圧

「MAX II デバイス・ファミリ・データシート」では、絶対最大定格表および推奨動作条件表に MAX II デバイスの入力電圧仕様を記載しています。絶対最大定格表の入力電圧は、デバイスが恒久的な損傷を受けずに許容できる最大電圧を表します。

推奨動作条件表は、デバイスが正常に動作するための電圧範囲を規定しています。イン・システム・プログラミング中に遷移するすべてのピンがグランドまたは V_{CC} オーバーシュートを発生しないことを確認してください。通常、オーバーシュート問題は自走クロックまたはイン・システム・プログラミング中にトグル可能なデータ・バスで発生します。1.0 V を超えるオーバーシュートを持つすべてのピンに直列終端が必要です。



MAX II デバイスと終端に対する推奨動作条件および絶対最大定格について詳しくは、「MAX II デバイス・ハンドブック」の「[DC およびスイッチング特性](#)」の章および「[AN 75: 高速ボード設計](#)」をそれぞれ参照してください。

イン・システム・プログラミング中の UFM 操作

MAX II UFM にアクセス（書き込みまたは消去）可能なデザインでは、UFM のすべての消去または書き込み操作が必ず ISP セッション（スタンダアロン検証、検査、セキュリティ・ビットの設定、および UFM の内容の読み出しを含む）の開始前に完了する必要があります。デバイスが回復不可能な状態になる可能性があるため、UFM の消去または書き込み操作の実行中には、絶対に ISP セッションを開始しないでください。ただし、この制限は UFM の読み出し操作には適用されません。

MAX II デバイスに対する ISP 動作の試行前に、UFM の消去または書き込み操作を確実に完了できない場合、リアルタイム ISP 機能をイネーブルにする必要があります。この機能を適切に使用すると、UFM/ISP 操作の競合を防止するのに役立ちます。リアルタイム ISP 機能をイネーブルにすると、Quartus® II ソフトウェアまたは Jam™ (.jam) /Jam Byte-Code (.jbc) ファイルは、500 ms 待機してから動作を開始します。この

待機時間は、1 つの UFM セクタを消去するのに要する時間と同じです (つまり、リアルタイム ISP プログラミング・アルゴリズムは、前に開始された UFM 消去シーケンスが完了するまで待機します)。

ただし、リアルタイム ISP 機能を使用している場合、この間は他の UFM 操作は許可されません (アドレス・シフト、データ・シフト、および読み出し、書き込み、または消去操作は不可)。これは、`altufm_none` メガファンクションの `RTP_BUSY` 信号をモニタすることによって制御できます。リアルタイム ISP が動作中の場合、UFM ブロックの `RTP_BUSY` 出力信号は `High` に変化します。この信号をモニタして、リアルタイム ISP が完了するまで、ロジック・アレイからすべての UFM 操作を停止させることが確実にできます。このユーザ生成コントロール・ロジックは、自動生成ロジックを持たない `altufm_none` メガファンクションに対してのみ必要になります。`altufm` メガファンクションのその他のインタフェース (`altufm_parallel`、`altufm_spi`、`altufm_i2c`) は、`RTP_BUSY` 信号を自動的にモニタし、リアルタイム ISP 動作が進行中の場合に UFM に対する操作を中止するコントロール・ロジックを備えています。

イン・システム・プログラミングの割り込み

アルテラは、プログラミング・プロセスへの割り込みを推奨していません。ただし、MAX II デバイスには正常なプログラム・シーケンスの最後でのみ設定される `ISP_DONE` ビットがあります。I/O ピンはこのビットが設定されている場合のみドライブ・アウトします。これによって、部分的にプログラムされたデバイスがドライブ・アウトしたり、予期しない動作を行うことを防止します。

MultiVolt デバイスおよびパワーアップ・シーケンス

イン・システム・プログラミングまたはバウンダリ・スキャン・テスト中に JTAG 回路が正しく動作するには、JTAG チェイン内のすべてのデバイスが同じ状態にあることが必要です。したがって、複数の電源電圧を持つシステムでは、チェイン内のすべてのデバイスが完全にパワーアップされるまで、JTAG ピンをテスト・ロジック・リセット状態に維持する必要があります。複数の電源を使用するシステムでは、すべての電圧レベルを同時に供給できないため、この手順は特に重要です。

MAX II デバイスは、MultiVolt 機能を備えているので、 V_{CCINT} や各 I/O バンクに対する V_{CCIO} など、複数の電源を使用できます。 V_{CCINT} は JTAG 回路に電源を供給します。 V_{CCIO} は、入力ピンと TDO などの出力ピンの出力ドライバに電源を供給します。したがって、2 つの電源電圧を使用する場合、両方の電源がオンになるまで、JTAG 回路をテスト・ロジック

ク・リセット状態に維持する必要があります。JTAG ピンをテスト・ロジック・リセット状態に維持しない場合、イン・システム・プログラミング・エラーが発生することがあります。

V_{CCINT} より前の V_{CCIO} のパワーアップ

V_{CCINT} より前に V_{CCIO} がパワーアップされると、JTAG 回路はアクティブにならず、TDO がトライ・ステートになります。JTAG 回路がアクティブでなくても、JTAG チェインの次のデバイスが V_{CCIO} と同じトレースでパワーアップされた場合、その JTAG 回路はテスト・ロジック・リセット状態に留まる必要があります。TMS 信号と TCK 信号はすべて共通のため、チェーン内のすべてのデバイスでディセーブルする必要があります。したがって、TCK を Low にプルダウン、TMS を High にプルアップすることによって、JTAG ピンをディセーブルする必要があります。

イン・システム・プログラミング中にトライ・ステートになる I/O ピン

デフォルトでは、すべてのデバイス I/O ピンはイン・システム・プログラミング中にトライ・ステートになります。さらに、MAX II デバイスは、ISP 中にウィーク・プルアップ抵抗を提供します。このウィーク・プルアップ抵抗の目的は、トライ・ステートの I/O ピン上で外部プルアップ抵抗を不要にすることです。

信号をドライブするために使用される、イン・システム・プログラミング中に特定の値（例えば、出力イネーブルまたはチップ・イネーブル信号）を必要とするピンに対しては、MAX II デバイスで利用可能なイン・システム・プログラミング・クランプ機能またはリアルタイム ISP 機能を使用できます。これら 2 つの機能を利用すると、各 I/O ピンはイン・システム・プログラミング中に特定の状態に確実に固定されます。



詳細については、「MAX II デバイス・ハンドブック」の「[JTAG およびイン・システム・プログラマビリティ](#)」の章の「[イン・システム・プログラミング・クランプ](#)」および「[リアルタイム ISP](#)」の項を参照してください。

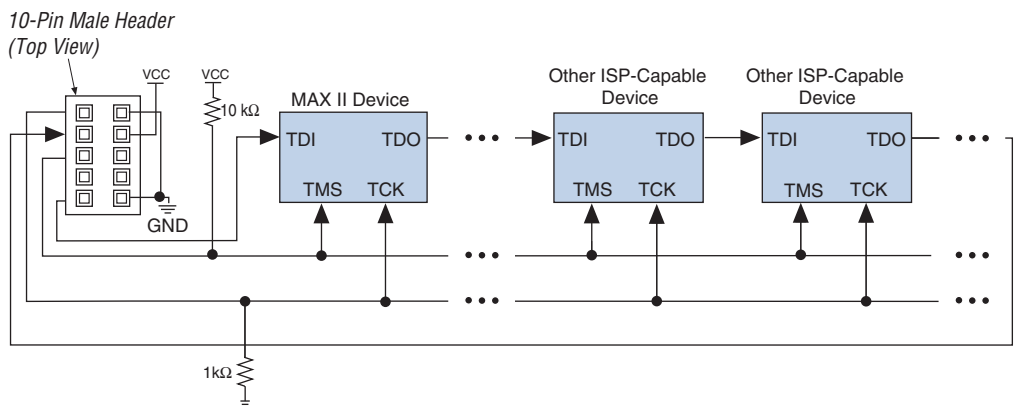
イン・システム・プログラミング中の JTAG ピンの プルアップおよびプルダウン

イン・システム・プログラミング・モードで動作する MAX II デバイスには、TDI、TDO、TMS、および TCK の 4 本のピンが必要です。各ピンの詳細な説明と機能は、「MAX II デバイス・ハンドブック」の「MAX II デバイスの IEEE 1149.1 (JTAG) バウンダリ・スキャン・テスト」の章に記載されています。

4 本の JTAG ピンのうちの 3 本は、内部ウィーク・プルアップまたはプルダウン抵抗を備えています。TDI ピンと TMS ピンは内部ウィーク・プルアップ抵抗を備えており、TCK ピンは内部ウィーク・プルダウン抵抗を備えています。ただし、JTAG チェインでのデバイス・プログラミングの場合、内部プルアップ抵抗または内部プルダウン抵抗を持たないデバイスが存在する場合があります。アルテラは、10 k Ω の外部抵抗を使用して TMS を High にプルアップ、1 k Ω の外部抵抗を使用して TCK を Low にプルダウンすることを推奨しています。MAX II デバイスの TDI 信号を外部抵抗でプルアップするのはオプションです。

図 11-1 に、JTAG チェインの TMS と TCK に対する外部プルアップおよびプルダウン抵抗を示します。TDO ピンには、内部プルアップ抵抗やプルダウン抵抗がなく、外部プルアップ抵抗やプルダウン抵抗も必要としません。

図 11-1. JTAG チェインの TMS と TCK に対する外部プルアップ抵抗および外部プルダウン抵抗



TCKから入力がある場合でも、TAPコントローラをTEST_LOGIC/RESET状態に維持するためにTMSピンはHighにプルアップされます。TCKにHighのパルスが生成されないようにするために、TCKピンはパワーアッ

中には Low にプルダウンされます。プルアップ抵抗への電源供給が増加すると、TCK が High のパルスを生成し、それによって TAP コントローラが予期しない状態に変化する可能性があるため、TCK を High にプルアップすることは推奨されません。

IEEE Std. 1149.1 信号

この項では、IEEE Std. 1149.1 (JTAG) インタフェースを使用したプログラミングのガイドラインを示します。

TCK 信号

大部分のイン・システム・プログラミング障害は、TCK 信号のノイズによって発生します。立ち上がりエッジまたは立ち下がりエッジ遷移時のノイズによって、IEEE Std. 1149.1 Test Access Port (TAP) コントローラに不正にクロックが供給される可能性があります。不正なクロックが発生すると、ステート・マシンが不定状態に遷移し、イン・システム・プログラミング障害の原因になることがあります。

さらに、TCK 信号はチェイン内のすべての IEEE Std. 1149.1 デバイスをパラレルにドライブしなければならないため、信号のファンアウトが大きくなることがあります。ファンアウトの大きいその他のユーザ・モード・クロックと同様に、クロック・ツリーを活用して、シグナル・インテグリティを維持する必要があります。クロック・インテグリティの問題によって発生する代表的なエラーには、無効な ID メッセージ、ブランク・チェック・エラー、検証エラーなどがあります。

アルテラは、内部ウィーク・プルダウン抵抗または外部 1 k Ω 抵抗を使用して、TCK 信号を Low にプルダウンすることを推奨しています。

高速 TCK エッジがボード・インダクタンスと結合すると、オーバーシュート問題が発生することがあります。この組み合わせが生じる場合、トレース上のインダクタンスを低減するか、または低速なスルー・レートの TTL (Transistor-to-Transistor Logic) ドライバ・チップを選択することによって、スイッチング・レートを低くする必要があります。アルテラは、エッジ・レートを低速化する目的で抵抗とコンデンサ (RC) の回路網を使用することを推奨していません。これはデバイスの入力仕様に違反する可能性があるためです。ほとんどの場合、ドライバ・チップを使用すると、エッジ・レートが過度に低下することを回避できます。アルテラは、パワーアップ時にグリッチを発生しないドライバ・チップの使用を推奨しています。

ダウンロード・ケーブルを使用したプログラミング

MAX II デバイスは、MasterBlaster™、ByteBlasterMV™、ByteBlaster™ II、または USB Blaster ダウンロード・ケーブルを使用してプログラムできます。Quartus II ソフトウェア・プログラマを搭載した PC または UNIX

ワークステーションを使用すると、ダウンロード・ケーブルを介して Programmer Object File (.pof)、Jam™ ファイル (.jam)、または Jam Byte-Code ファイル (.jbc) を MAX II デバイ스에ダウンロードできます。

ダウンロード・ケーブルを使用していて、JTAG チェインに 3 個以上のデバイスが含まれている場合、アルテラはチェインにバッファを追加することを推奨しています。ノイズを最小にするには、遷移が低速なバッファを選択する必要がありますが、その場合も遷移レートが必ず JTAG チェインの TCK 性能要件に適合するようにしてください。

ダウンロード・ケーブルを延長する必要がある場合は、標準の PC パラレル・ポートまたは USB ポート・ケーブルをダウンロード・ケーブルに取り付けることができます。ダウンロード・ケーブルの 10 ピン・ヘッダ部分は延長しないでください。ケーブルのこの部分を延長すると、ノイズやイン・システム・プログラミングの問題が発生することがあります。



ダウンロード・ケーブルによって、プログラミング時間が異なります。MasterBlaster、ByteBlasterMV、ByteBlaster II、または USB Blaster ダウンロード・ケーブルについては、[「MasterBlaster Serial/USB Communications Cable User Guide」](#)、[「ByteBlasterMV Download Cable User Guide」](#)、[「ByteBlaster II Download Cable User Guide」](#)、または [「USB-Blaster Download Cable User Guide」](#) を参照してください。

IEEE Std. 1149.1 回路のディセーブル

デフォルトでは、MAX II デバイスの JTAG 回路には JTAG 専用ピンと専用回路があるため、常にイネーブルされています。JTAG 回路は、ISP およびバウンダリ・スキャン・テストの間はイネーブルにし、それ以外は常にディセーブルにしなければなりません。ISP またはバウンダリ・スキャン・テスト (BST) 回路を使用しないデザインでは、IEEE Std. 1149.1 回路をディセーブルすることを推奨します。

JTAG 回路をディセーブルするために、TMS を High にプルアップ、TCK を Low にプルダウンすることを推奨します。TCK を Low にプルダウンすると、パワーアップ・シーケンス中に TCK に立ち上がりエッジが発生することはありません。TCK を High にプルアップできますが、まず TMS を High にプルアップする必要があります。先に TMS を High にプルアップすると、TCK に立ち上がりエッジが発生しても、JTAG ステート・マシンがテスト・ロジック・リセット状態から遷移することはありません。



IEEE 1149.1 回路のディセーブルについて詳しくは、「MAX II デバイス・ハンドブック」の「IEEE 1149.1 (JTAG バウンダリ・スキャン・テスト)」の章の「IEEE Std. 1149.1 BST 回路のディセーブル」の項を参照してください。

異なる電圧レベルにおける動作

JTAG チェイン内のデバイスが異なる電圧で動作する場合、デバイスの出力電圧仕様は、後続デバイスの入力電圧仕様を満たす必要があります。デバイスがこの基準に適合しない場合は、レベル・シフタなどの付加的な回路を追加して、電圧レベルを調整する必要があります。例えば、5.0 V デバイスが 2.5 V デバイスをドライブする場合、2.5 V デバイスの入力電圧仕様を満たすように、5.0 V デバイスの出力電圧を調整する必要があります。

JTAG チェインのすべてのデバイスは互いに結線されているため、デバイスのチェインを適切にプログラムするには、最初のデバイスの TDO 出力が後続デバイスの TDI 入力電圧仕様を満たすようにする必要があります。

すべての MAX II デバイスには、MultiVolt I/O 機能が搭載されているため、これらのデバイスは異なる電圧を使用するシステムにインタフェースすることができます。すべての MAX II デバイスは、3.3 V、2.5 V、1.8 V、または 1.5 V の I/O 動作に設定できます。MAX II デバイスの JTAG ピンは、これらの電圧レベルをサポートしています。各 V_{CCIO} 電圧に対する I/O 規格の互換性については、「MAX II デバイス・ハンドブック」の「MAX II アーキテクチャ」の章を参照してください。例えば、 V_{CCIO1} が 3.3 V の場合、JTAG 入力ピンは 1.8 V または 1.5 V 信号を入力できません。

シーケンシャル・プログラミングと同時プログラミングの比較

この項では、シーケンシャル・プログラミングおよび同時プログラミングを使用して、複数のデバイスをプログラムする方法について説明します。シーケンシャル・プログラミングおよび同時プログラミングに対する JTAG チェインの設定は類似しており、プログラミング・アルゴリズムのみ異なります。

シーケンシャル・プログラミング

シーケンシャル・プログラミングとは、チェイン内の複数のデバイスを一度に 1 デバイスずつプログラミングするプロセスです。チェイン内の最初のデバイスのプログラミングが完了すると、次のデバイスがプログラムされます。このシーケンスは、JTAG チェイン内の指定されたデバイスがすべてプログラムされるまで継続されます。デバイスはプログラ

ムされた後はバイパス・モードになり、チェーン内の後続デバイスにデータを渡すことができます。チェーン内のデバイスは、すべてのデバイスがプログラムされるまでユーザ・モードに入りません。

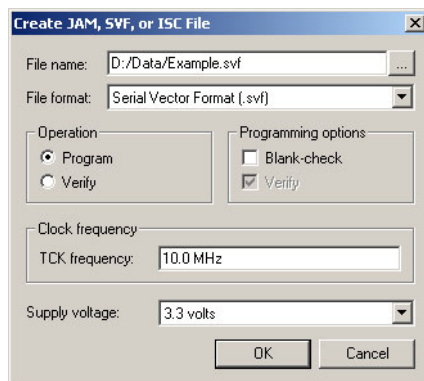
同時プログラミング

同時プログラミングは、同じファミリー（MAX II ファミリーなど）のデバイスを並列にプログラムするために使用します。プログラミング時間は、チェーン内で最大のデバイスをプログラムするのに必要な時間より多少長いだけで、シーケンシャル・プログラミングと比べてはるかに短時間です（プログラミング時間は、すべてのデバイスを個別にプログラムする時間の合計に等しくなる）。データ・シフトのクロック・レートを増やすと、さらに多くの時間を節約できます。

デバイスの同時プログラミングは、Quartus II ソフトウェアで作成された Serial Vector Format ファイル（.svf）、Jam ファイル、または JBC ファイルを使用して実行できます。図 11-2 を参照してください。

1. Tools メニューの **Programmer** をクリックします。
2. **Add File** をクリックし、デバイスごとにプログラミング・ファイルを選択します。
3. File メニューの **Create/Update** をポイントし、**Create JAM, SVF, or ISC File** をクリックします。
4. File format リストでファイルを指定します。
5. **OK** をクリックします。

図 11-2. JAM、SVF、または ISC ファイルの作成



ISP トラブルシュー ティング・ ガイドライン

この項では、ISP に関連する問題を解決するためのヒントをいくつか示します。

無効 ID およびデバイスが認識されないメッセージ

イン・システム・プログラミング時の最初のステップは、デバイスのシリコン ID をチェックすることです。シリコン ID が一致しない場合、Invalid ID または Unrecognized Device エラーが発生します。このエラーの一般的な原因を以下に示します。

- ダウンロード・ケーブルが正しく接続されていない
- TDO が接続されていない
- JTAG チェインが不完全
- TCK 信号のノイズ
- Jam Player の移植が不適切

ダウンロード・ケーブルが正しく接続されていない

ダウンロード・ケーブルがパラレルまたは USB ポートに正しく接続されていない場合、またはボードから電源が供給されていない場合は、エラーが発生します。



MasterBlaster、ByteBlasterMV、ByteBlaster II、または USB Blaster ダウンロード・ケーブルの取り付けについては、「[MasterBlaster Serial/USB Communications Cable User Guide](#)」、「[ByteBlasterMV Download Cable User Guide](#)」、「[ByteBlaster II Download Cable User Guide](#)」、または「[USB-Blaster Download Cable User Guide](#)」を参照してください。

TDO が接続されていない

チェイン内の 1 つのデバイスの TDO ポートが接続されていない場合は、エラーが発生します。イン・システム・プログラミング中に、JTAG チェイン内の各デバイスに JTAG ピンを通してデータをシフト・インおよびシフト・アウトする必要があります。したがって、各デバイスの TDO ポートは後続デバイスの TDI ポートに接続し、最後のデバイスの TDO ポートはダウンロード・ケーブルの TDO ポートに接続しなければなりません。

JTAG チェインが不完全

JTAG チェインが不完全な場合は、エラーが発生します。エラーが不完全な JTAG チェインのために発生しているかどうかを確認するには、オシロスコープを使用して、チェーン内の各デバイスから出力されるベクトルをモニタします。イン・システム・プログラミング中に、各デバイスの TDO ポートがトグルしない場合、JTAG チェインは不完全です。

TCK 信号のノイズ

TCK 信号のノイズは、イン・システム・プログラミング・エラーにおいて最も一般的な原因です。立ち上がりエッジまたは立ち下がりエッジでの遷移にノイズがあると、IEEE Std. 1149.1 TAP コントローラに不適切なクロック供給が行われ、ステート・マシンが失われて、イン・システム・プログラミングが失敗します。ノイズのある TCK 信号の対処方法について詳しくは、[11-6 ページの「TCK 信号」](#)を参照してください。

Jam Player の移植が不適切

Jam Player がプラットフォームに正しく移植されていない場合は、エラーが発生します。エラーが Jam Player によって発生しているかどうかを確認するには、Jam ファイルを使用して IDCODE 命令をターゲット・デバイスに発行します。Jam ファイルを使用して IDCODE 命令をロードし、次に IDCODE の値をシフト・アウトすることができます。このテストでは、JTAG チェインが正しく設定されているかどうか、JTAG チェインに対して正しく読み出しと書き込みが実行できるかどうかを確認します。

アルテラのウェブサイトから [idcode.zip](#) ファイルをダウンロードして、[idcode.jam](#) ファイルを入手できます。

トラブルシューティングのヒント

この項では、ISP の問題を解決するためのいくつかのヒントを提供します。

JTAG チェイン接続の検証

イン・システム・プログラミングが正常に動作するには、JTAG チェイン内の物理的なデバイス数が Quartus II ソフトウェアでレポートされる数と一致しなければなりません。以下のステップは、JTAG チェインが適切に接続されていることを検証するための簡単な方法を示しています。

1. Quartus II ソフトウェアで、Programmer を開きます。
2. Programmer で **Auto Detect** をクリックします。Quartus II ソフトウェアは、JTAG チェイン上で検出されたデバイス数をレポートします。これに失敗する場合は、JTAG チェインが分断されていないことを確認します。

イン・システム・プログラミング中の V_{CC} レベルのチェック

オシロスコープを使用して、JTAG チェイン上の V_{CCINT} 信号をモニタし、トリガを該当するデバイス・ファミリ・データシートの推奨動作条件表に記載された最小 V_{CC} レベルに設定します。イン・システム・プログラミング中にトリガが発生する場合、デバイスは既存の電源から供給されている電流以上の電流量を必要としていると考えられます。既存の電源を容量の大きい電源に交換してみてください。

パワーアップに関する問題

パワーアップ中に過剰な電圧または電流が I/O ピンに供給されると、JTAG チェイン内のデバイスの 1 つがラッチ・アップを起こすおそれがあります。デバイスを手で触れて、高温になっていないか確認します。高温のデバイスは、ラッチ・アップが発生して損傷している可能性があります。この場合は、すべての電圧源をチェックして、過剰な電圧または電流がデバイスに供給されていないか確認します。次に、影響を受けたデバイスを交換し、再度プログラムしてみます。

JTAG ピン上のランダム信号

通常の動作中、各デバイスの TAP コントローラは、テスト・ロジック・リセット状態になければなりません。デバイスを強制的にこの状態に戻すには、TMS 信号を High にプルアップし、TCK クロック信号を 6 回パルス生成します。このとき、デバイスが正常にパワーアップされた場合は、より高いプルダウン抵抗を TCK 信号に追加する必要があります。

ソフトウェアの問題

イン・システム・プログラミング中の障害は、Quartus II ソフトウェアに関係していることもあります。ソフトウェア関連の問題は、アルテラのウェブサイト (www.altera.co.jp) のサポート・センタの Find Answers セクションに記載されています。データベースで、イン・システム・プログラミングの障害となるソフトウェア問題に関連する情報を検索してください。

エンベデッド・プロセッサを使用した ISP

この項では、Jam STAPL (Standard Test and Programming Language) とエンベデッド・プロセッサを使用して、ISP 対応デバイスをプログラムするためのガイドラインを示します。

プロセッサおよびメモリ要件

Jam Byte-Code Player は 8 ビット以上のプロセッサをサポートし、ASCII Jam Player は 16 ビット以上のプロセッサをサポートしています。Jam Player は、予測可能な方式でメモリを使用します。この方式では、アップデートが Jam ファイルに限定されるため、イン・フィールド・アップグレードが簡単になります。Jam Player のメモリには、ROM とダイナミック・メモリ (RAM) の両方が使用されます。ROM は Jam Player バイナリおよび Jam ファイルの格納に使用され、ダイナミック・メモリは Jam Player が呼び出されたときに使用されます。



Jam Player が必要とする RAM および ROM の最大容量を推定する方法については、「MAX II デバイス・ハンドブック」の「[エンベデッド・プロセッサを利用したISP用Jam STAPLの使用](#)」の章を参照してください。

Jam Player の移植

アルテラ Jam Player (Byte-Code バージョンおよび ASCII バージョン) は、PC のパラレル・ポートで動作します。Jam Player は、`jamstub.c` または `jbistub.c` ファイル (それぞれ ASCII Jam Player または Jam Byte-Code Player に対応) を変更するだけでプロセッサに移植できます。その他のファイルはすべて同じです。Jam Player が不適切に移植された場合、Unrecognized Device エラーが発生します。このエラーの原因として最も一般的なものを以下に示します。

- Jam Player を移植した後、TDO の値が極性を反転して読み出されることがあります。この問題は、Jam Player のデフォルト I/O コードが PC のパラレル・ポートの使用を想定しているために発生する場合があります。
- TMS および TDI 信号は TCK の立ち上がりエッジでクロック制御されますが、出力は TCK の立ち下がりエッジまで変化しません。この状況では、TCK クロック半サイクルの遅延が生じます。立ち上がりエッジ上で TDO の遷移が予期される場合、データは 1 クロック分オフセットされているように見えます。

- アルテラは、レジスタを使用して出力の遷移を同期させることを推奨しています。さらに、プロセッサのデータ・ポートには、レジスタを使用して出力信号を同期させるものもあります。例えば、PC のパラレル・ポートの読み出しと書き込みは、レジスタを読み書きすることによって実現します。JTAG チェインに対して読み出しと書き込みを行うときには、これらのレジスタの使用を考慮する必要があります。これらのレジスタを正しく考慮しないと、値が予想値よりも進んだり遅れることとなります。

イン・ サーキット・ テストによる ISP

MAX II デバイスは、イン・サーキット・テストを介して、イン・システムでプログラムすることも可能です。Agilent の 3070 イン・サーキット・テストを使用した MAX II デバイスのイン・システム・プログラミングについて詳しくは、「MAX II デバイス・ハンドブック」の「[エンベデッド・プロセッサを利用した ISP 用 Jam STAPL の使用](#)」の章を参照してください。

まとめ

本書に記載されている内容は、開発経験およびアルテラが解決したお客様の問題に基づいています。イン・システム・プログラミング問題の解決に関する詳細は、アルテラ・アプリケーションにお問い合わせください。

参考資料

この章では以下のドキュメントを参照しています。

- 「AN 75: 高速動作ボードの設計」
- 「ByteBlasterMV Download Cable User Guide」
- 「ByteBlaster II Download Cable User Guide」
- 「MAX II デバイス・ハンドブック」の「DC およびスイッチング特性」の章
- 「MAX II デバイス・ハンドブック」の「MAX II デバイスの IEEE 1149.1 (JTAG) バウンダリ・スキャン・テスト」の章
- 「MAX II デバイス・ハンドブック」の「JTAG およびイン・システム・プログラマビリティ」の章
- 「MasterBlaster Serial/USB Communications Cable User Guide」
- 「USB-Blaster ダウンロード・ケーブル・ユーザガイド」
- 「MAX II デバイス・ハンドブック」の「エンベデッド・プロセッサを利用した ISP 用 Jam STAPL の使用」の章

改訂履歴

表 11-1 に、本資料の改訂履歴を示します。

日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 v1.6	<ul style="list-style-type: none"> ● 「イン・システム・プログラミング中の JTAG ピンの プルアップおよびプルダウン」の項を更新。 ● 「参考資料」の項を追加。 	外部抵抗による TDI のプルアップはオプションです。
2006 年 12 月 v1.5	改訂履歴を追加。	—
2006 年 8 月 v1.4	図 11-1 を修正。	—
2005 年 1 月 v1.3	12 章から 11 章に変更。内容の変更はなし。	—
2004 年 12 月 v1.2	「イン・システム・プログラミング中の UFM 操作」の項を追加。	—
2004 年 6 月 v1.1	プルアップ抵抗値の変更。テキストの更新。	—

