

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

MI151004-2.0

はじめに

MAX[®] II デバイスは、ホット・プラグインまたはホット・スワップとしても知られるホット・ソケット（活線挿抜）およびパワー・シーケンスをサポートします。設計者は、システム・バスに影響を与えることなく、システム動作中に MAX II ボードを取り付けたり、取り外すことができます。ホット・ソケット機能によって、3.3 V、2.5 V、1.8 V、および 1.5 V デバイスが混在するプリント基板（PCB）上でコンポーネントを使用する際の複雑さが低減されます。

以下に、MAX II のホット・ソケット機能の特長を示します。

- ボードまたはデバイスの挿抜
- 任意のパワーアップ・シーケンスのサポート
- ホット・インサート中のシステム・バスへの影響がない I/O バッファ

この章は、以下の項で構成されています。

- [4-1 ページの「MAX II のホット・ソケット仕様」](#)
- [4-7 ページの「パワー・オン・リセット回路」](#)

MAX II の ホット・ ソケット仕様

MAX II デバイスは、外付け部品や特別なデザイン要件なしで、上記のホット・ソケットに必要な 3 つの機能をすべて提供します。ホット・ソケット仕様は以下のとおりです。

- デバイスを損傷させることなく、パワーアップ前（パワーアップ時）またはパワーダウン前（パワーダウン時）にデバイスをドライブできます。
- I/O ピンはパワーアップ時にトライ・ステートを維持します。デバイスはパワーアップ前またはパワーアップ時にドライブ・アウトしないため、動作中の他のバスに影響しません。
- 信号ピンは V_{CCIO} または V_{CCINT} 電源をドライブしません。デバイスの I/O ピンへの外部入力信号は、デバイスの内部バスを通して、 V_{CCIO} または V_{CCINT} 電源に供給されません。これは、 V_{CCINT} が GND に維持された場合、すべてのデバイス I/O ピンにあてはまります。特定の I/O バンクでも、その I/O バンクの V_{CCIO} 電源が GND に維持された場合にあてはまります。

デバイスはパワーアップ前にドライブ可能

パワーアップまたはパワーダウン前、またはその間に、デバイスに損傷を与えることなく、MAX II デバイスの I/O ピンおよび GCLK [3..0] ピンに信号を入力することができます。MAX II デバイスは、任意のパワーアップ・シーケンスまたはパワーダウン・シーケンス (V_{CCIO1} 、 V_{CCIO2} 、 V_{CCIO3} 、 V_{CCIO4} 、 V_{CCINT}) をサポートし、システム・レベルのデザインを簡素化します。

I/O ピンはパワーアップ時にトライ・ステートを維持

ホット・ソケットをサポートしないデバイスは、パワーアップ前またはパワーアップ時にドライブ・アウトして、システム動作に割り込んだり、競合を引き起こす可能性があります。ホット・ソケットの状態では、MAX II デバイスの出力バッファは、システムのパワーアップ時にオフになります。また、MAX II デバイスは、デバイスが完全にコンフィギュレーションされて適切な動作状態になるまではドライブ・アウトしません。電圧投入について詳しくは、4-7 ページの「パワー・オン・リセット回路」を参照してください。

V_{CCIO} または V_{CCINT} 電源をドライブしない信号ピン

MAX II デバイスには、パワーアップ前またはパワーアップ時に、I/O ピン、GCLK [3..0] ピンから V_{CCIO} または V_{CCINT} ピンへの電流経路はありません。MAX II デバイスは、システム・ボードの動作を中断または妨害することなく、パワーアップされたシステム・ボードに取り付ける（またはシステム・ボードから取り外す）ことができます。MAX II デバイスは、ホット・ソケット時にバックプレーンのシグナル・インテグリティに最小限の影響しか与えません。

AC および DC 仕様

V_{CCIO} と V_{CCINT} は、任意のシーケンスでパワーアップまたはパワーダウンできます。ホット・ソケット中、I/O ピンのキャパシタンスは 8 pF 未満です。MAX II デバイスは、次のホット・ソケット仕様に適合しています。

- ホット・ソケット DC 仕様: $|I_{IOPIN}| < 300 \mu\text{A}$
- ホット・ソケット AC 仕様: $|I_{IOPIN}| < 8 \text{ mA}$ (10 ns 以下の場合)



MAX II デバイスは、ホット・ソケット時にラッチ・アップの影響は受けません。TCK JTAG 入力ピンが、ホット・ソケット中に High にドライブされると、そのピンの電流が上記の仕様を超える可能性があります。

I_{IOPIN} は、デバイスの任意のユーザ I/O ピンの電流です。AC 仕様は、デバイスのパワーアップまたはパワーダウン時に適用されます。この仕様では、ピンのキャパシタンスは考慮されていますが、ボード・トレースおよび外部負荷キャパシタンスは考慮されていません。トレース、コネクタ、および負荷に対する追加のキャパシタンスを個別に考慮する必要があります。パワーアップ・トランジェントによるピーク電流の期間は、10 ns 以下です。

DC 仕様は、パワーアップまたはパワーダウン状態でデバイスへのすべての VCC 電源が安定している場合に適用されます。

MAX II デバイスの ホット・ ソケット機能

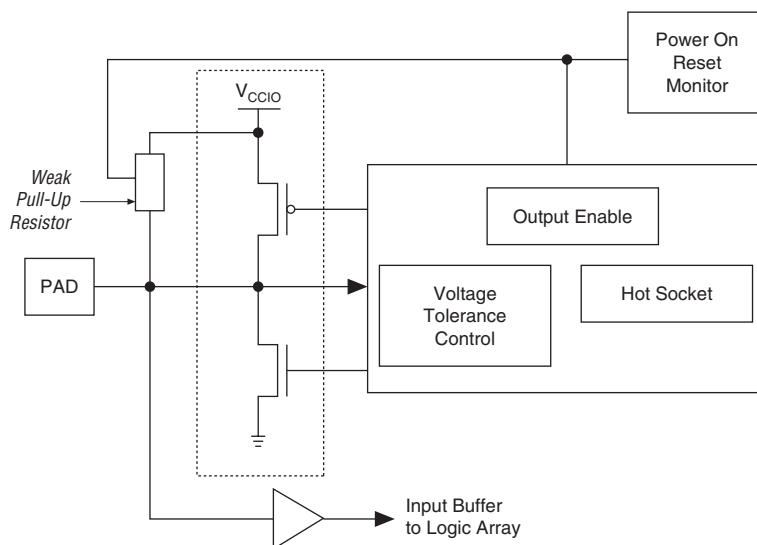
ホット・ソケット機能により、出力バッファはパワーアップ時 (V_{CCINT} または V_{CCIO} 電源のいずれか) またはパワーダウン時にオフ (トライ・ステート) になります。ホット・ソケット回路は、 V_{CCINT} または V_{CCIO} のいずれかがスレッシュホールド電圧より低くなると、内部 HOTSCKT 信号を生成します。HOTSCKT 信号によって出力バッファが遮断されるため、ピンを通して DC 電流がリークすることはありません (ウィーク・プルアップ・リーク電流を除く)。 V_{CC} が非常にゆっくり上昇する場合、パワー・オン・リセット (POR) 信号がリリースされて、デバイスのコンフィギュレーションが完了した後も、 V_{CC} は依然として比較的低い電圧のままです。



コンフィギュレーションが完了した場合でも、 V_{CCINT} は推奨動作範囲内であることを確認します。

各 I/O およびクロックピンには、[図 4-1](#) に示す回路があります。

図 4-1. MAX II デバイスのホット・ソケット回路のブロック図



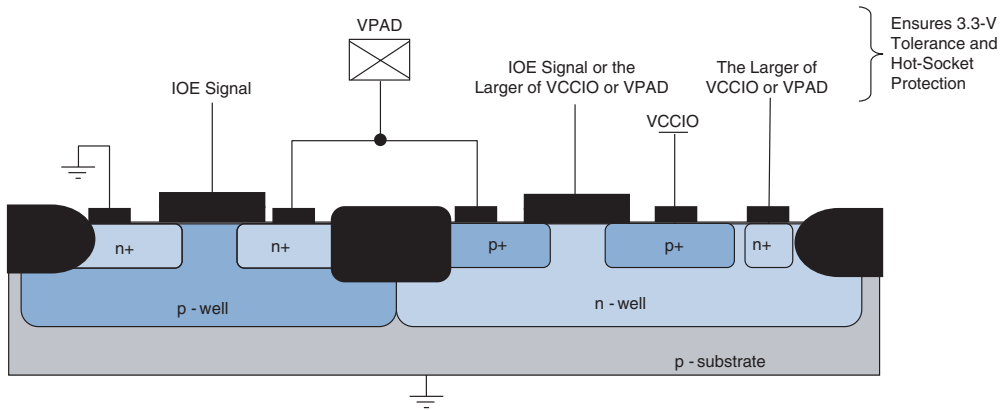
POR 回路は、 V_{CCINT} および V_{CCIO} 電圧レベルをモニタし、デバイスが SRAM ロジックのフラッシュ・メモリ・コンフィギュレーションを完了するまで I/O ピンをトライ・ステートに維持します。I/O ピンから V_{CCIO} へのウィーク・プルアップ抵抗 (R) は、ダウンロード中に I/O ピンがフローティング状態にならないようにイネーブルされます。3.3 V トレランス・コントロール回路は、 V_{CCIO} または V_{CCINT} (あるいはその両方) に給電される前に I/O ピンを 3.3 V でドライブすることができ、デバイスが完全に給電されていない場合や動作状態でない場合に I/O ピンのドライブ・アウトを防止します。ホット・ソケット回路は、デバイスに給電される前に外部信号によって I/O ピンがドライブされた場合に、I/O ピンから内部で V_{CCIO} と V_{CCINT} に給電されるのを防止します。



5.0 V トレランスについては、「MAX II デバイス・ハンドブック」の「多電圧システムにおける MAX II デバイスの使用」の章を参照してください。

図 4-2 に、MAX II デバイス I/O バッファのトランジスタ・レベルの断面図を示します。このデザインでは、 V_{CCIO} に V_{CCINT} より先に給電された場合、または I/O パッド電圧が V_{CCIO} より高い場合には、出力バッファはドライブしません。これはホット・ソケット中の突発的な電圧スパイクにも適用されます。 V_{PAD} リーク電流によって、3.3 V トレランス回路のキャパシタンスが充電されます。

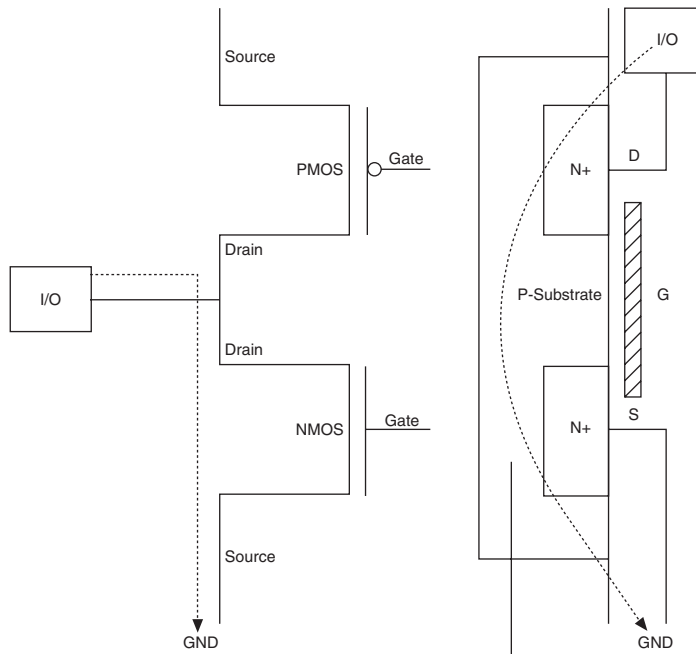
図 4-2. MAX II デバイス I/O バッファのトランジスタ・レベル図



I/O ピンの CMOS 出力ドライバは、本質的に静電気放電 (ESD) 保護されています。ESD 電圧ストライクに対しては、正電圧ザップおよび負電圧ザップの 2 つのケースについて検討する必要があります。

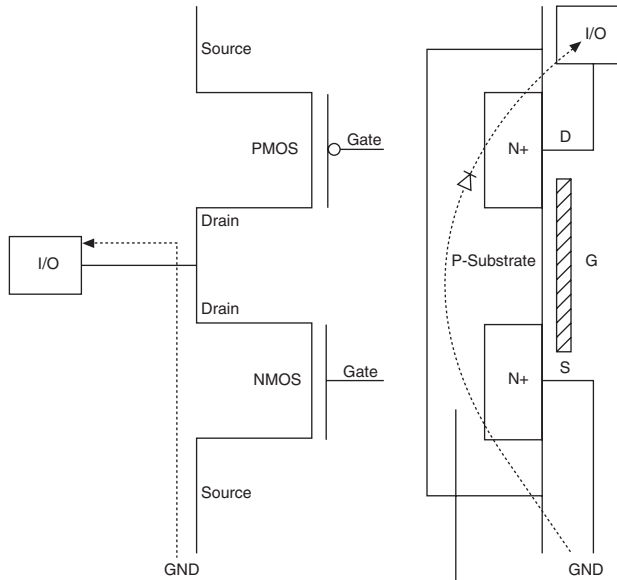
正の ESD 電圧ザップは、ESD の充電イベントによって I/O ピンに正電圧が存在する場合に発生します。この正の ESD 電圧ザップは、N チャネル・ドレインの N+ (ドレイン) /P 基板接合部の破壊を引き起こす可能性があり、N+ (ドレイン) /P 基板 /N+ (ソース) 真性バイポーラ・トランジスタが導通して、I/O ピンから GND に ESD 電流が放電されます。破線 (図 4-3 を参照) は、正の ESD ザップ時の ESD 電流放電経路を示しています。

図 4-3. 正電圧ザップ時の ESD 保護



I/O ピンが -0.7 V (0.7 V はダイオード両端の電圧降下) より低い電圧のピンで負の ESD ザップを受け取ると、真性 P 基板 /N+ ドレイン・ダイオードが順バイアスされます。したがって、放電 ESD 電流経路は、[図 4-4](#) に示すとおり、GND から I/O ピンになります。

図 4-4. 負電圧ザップ時の ESD 保護



パワー・オン・リセット回路

MAX II デバイスは、パワーアップ時の V_{CCINT} および V_{CCIO} 電圧レベルに対する POR 回路を備えています。POR 回路は、これらの電圧をモニタし、不揮発性コンフィギュレーション・フラッシュ・メモリ (CFM) ブロックから SRAM ロジックへのダウンロードをトリガし、このプロセスの実行前および実行中に I/O ピンを (ウィーク・プルアップ抵抗をイネーブルして) トライ・ステートに維持します。MAX II デバイスがユーザ・モードに入ると、POR 回路は I/O ピンをユーザ機能に解放します。MAX II (MAX IIZ 以外) デバイスの POR 回路は、電圧降下状態を検知できるよう、 V_{CCINT} の電圧レベルを継続してモニタします。MAX IIZ デバイスの POR 回路は、デバイスがユーザ・モードに入った後 V_{CCINT} 電圧レベルをモニタしません。詳細は以下の項で説明されています。

パワーアップ特性

MAX II デバイ스에電源が投入されると、POR 回路が V_{CCINT} をモニタし、最大電圧 1.7 V (MAX IIG および MAX IIZ デバイスの場合は 1.55 V) で SRAM ダウンロードを開始します。この電圧を基準にすると、SRAM ダウンロードおよびユーザ・モードへの移行には、デバイス集積度に応

じて $200\ \mu\text{s} \sim 450\ \mu\text{s}$ (最大) の時間が必要です。この期間は、「MAX II デバイス・ハンドブック」の「DC およびスイッチング特性」の章のパワーアップ・タイミングの項で t_{CONFIG} として規定されています。

ユーザ・モードへの移行は、すべての V_{CCIO} バンクに十分な動作電圧が供給されているかどうかでゲートされます。 V_{CCINT} および V_{CCIO} が同時に給電された場合、デバイスは t_{CONFIG} 仕様以内にユーザ・モードに入ります。 V_{CCINT} から t_{CONFIG} 以上の時間が経過した後に V_{CCIO} に給電された場合、デバイスはすべての V_{CCIO} バンクに給電されてから $2\ \mu$ 経過するまでは、ユーザ・モードに入りません。

MAX II および MAX IIG デバイスでは、ユーザ・モード時に POR 回路が継続して V_{CCINT} (V_{CCIO} は対象外) の電圧レベルをモニタします。ユーザ・モード中に V_{CCINT} 電圧が $1.4\ \text{V}$ 以下に低下した場合、POR 回路は SRAM をリセットして、I/O ピンをトライ・ステートにします。 V_{CCINT} が再び $1.7\ \text{V}$ (MAX IIG デバイスの場合は $1.55\ \text{V}$) に上昇すると、SRAM ダウンロードが再開され、 t_{CONFIG} 時間が経過した後、デバイスは動作を開始します。

MAX IIZ デバイスでは、POR 回路は、デバイスがユーザ・モードに入った後 V_{CCINT} および V_{CCIO} 電圧レベルをモニタしません。ユーザ・モード中に V_{CCINT} 電圧が $1.4\ \text{V}$ 以下に低下した場合、デバイスの機能は保証されず、 V_{CCINT} および V_{CCIO} が給電される前にユーザは V_{CCINT} を $0\ \text{V}$ に最低 $10\ \mu\text{s}$ パワーダウンしなくてはなりません。 V_{CCINT} が $0\ \text{V}$ から再びおよそ $1.55\ \text{V}$ まで上昇すると、SRAM ダウンロードが再開され、 t_{CONFIG} 時間が経過した後、デバイスは動作を開始します。

図 4-5 に、パワーアップからユーザ・モードに遷移する間、およびユーザ・モードからパワーダウンまたは電圧降下状態に変化する間の MAX II、MAX IIG、および MAX IIZ デバイスの POR を示します。

図 4-5. MAX II、MAX IIG、および MAX IIZ デバイスのパワーアップ特性 注 (1)、(2)

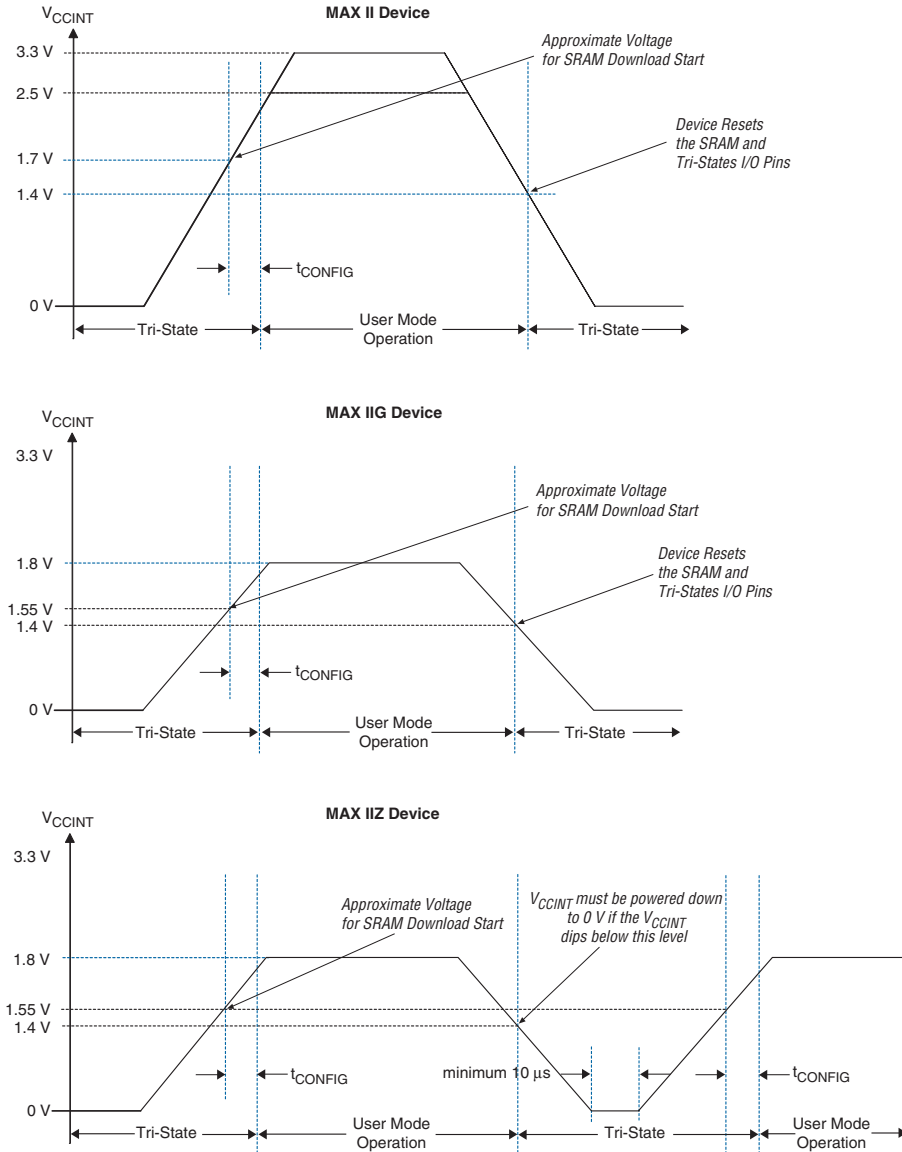


図 4-5 の注：

- (1) 時間スケールは相対的に表されています。
- (2) 図 4-5 では、すべての V_{CCIO} バンクは、ここに示す V_{CCINT} プロファイルと同時に給電されるものと仮定しています。同時に給電されない場合は、すべての V_{CCIO} バンクに給電されるまで、 t_{CONFIG} が延長されます。



SRAM のコンフィギュレーション後に、デバイス内のすべてのレジスタはクリアされ、I/O のトライ・ステートが解放される前にユーザ機能に解放されます。トライ・ステートが解放された後にクリアを解放するには、DEV_CLRn ピン・オプションを使用します。パワーアップ・コンフィギュレーション時間を超えてトライ・ステートを維持するには、DEV_OE ピン・オプションを使用します。

参考資料

この章では以下のドキュメントを参照しています。

- 「MAX II デバイス・ハンドブック」の「DC およびスイッチング特性」の章
- 「MAX II デバイス・ハンドブック」の「多電圧システムにおける MAX II デバイスの使用」の章

改訂履歴

表 4-1 に、本資料の改訂履歴を示します。

表 4-1. 改訂履歴		
日付 & ドキュメント・バージョン	変更内容	概要
2007 年 12 月 v2.0	<ul style="list-style-type: none"> ● 「MAX II デバイスのホット・ソケット機能」の項を更新。 ● 「パワー・オン・リセット回路」の項を更新。 ● 図 4-5 を更新。 ● 「参考資料」の項を追加。 	MAX II Z 情報の追加による更新。
2006 年 12 月 v1.5	改訂履歴を追加。	—
2006 年 2 月 v1.4	<ul style="list-style-type: none"> ● 「MAX II のホット・ソケット仕様」の項を更新。 ● 「AC および DC 仕様」の項を更新。 ● 「パワー・オン・リセット回路」の項を更新。 	—
2005 年 6 月 v1.3	ページ 4-2 の AC および DC 使用を更新。	—
2004 年 12 月 v1.2	パワーアップ特性の項に情報を追加。 図 4-5 を更新。	—
2004 年 6 月 v1.1	図 4-2 を修正。	—