



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>


この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

MV51005-1.0

この章では、デバイスやシステムを損傷させることなく、Altera® デバイスを他電圧システムに実装する方法について説明します。

ディープ・サブミクロン・プロセスの技術的進歩に伴い、半導体デバイスの電源電圧レベルが低下したため、システム・ボード上のデバイスが 5.0 V、3.3 V、2.5 V、1.8 V、1.5 V、および 1.2 V といった多数の異なる電源電圧を使用できるデザイン環境が実現しました。

システム・ボード上の多様なデバイスに接続するために、MAX V デバイスは MultiVolt I/O インタフェースを搭載しており、これによって複数の電圧が混在するデザイン環境内のデバイスが MAX II デバイスと直接通信できます。MultiVolt インタフェースは、電源電圧 (V_{CCINT}) を出力電圧 (V_{CCIO}) から分離するため、MAX II デバイスは同じプリント基板 (PCB) 上の異なる電圧レベルを使用して、他のデバイスにインタフェースすることが可能です。1.8 V 入力は、MAX V デバイス・コアに直接電源供給します。

 ホット・ソケットおよびパワー・オン・リセット (POR) については、「MAX V デバイスのホット・ソケットおよびパワー・オン・リセット」の章を参照してください。

この章は、以下の項で構成されています。

- 5-1 ページの「I/O 規格」
- 5-2 ページの「MultiVolt I/O 動作」
- 5-3 ページの「5.0-V デバイスの互換性」
- 5-7 ページの「5.0-V 互換を実現するための推奨動作条件」
- 5-8 ページの「パワーアップ・シーケンス」

I/O 規格

MAX V デバイスの I/O バッファはプログラムが可能で、広範囲の I/O 電圧規格をサポートします。MAX V デバイスの各 I/O バンクは、異なる I/O 規格に準拠するようにプログラムできます。すべての I/O バンクは、以下の規格でコンフィギュレーションできます。

- 3.3-V LVTTTL/LVCMOS
- 2.5-V LVTTTL/LVCMOS
- 1.8-V LVTTTL/LVCMOS
- 1.5-V LVCMOS
- 1.2-V LVCMOS
- エミュレートされた LVDS 出力 (LVDS_E_3R)
- エミュレートされた RSDS 出力 (RSDS_E_3R)

© 2010 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



シュミット・トリガ入力オプションは、3.3-V および 2.5-V の I/O 規格でサポートされます。I/O バンク 3 には、5M1270Z および 5M2210Z デバイスの 3.3-V PCI I/O 規格インタフェース機能も含まれます。図 5-1 に、MAX V デバイスでサポートされる I/O 規格を示します。

図 5-1. MAX V デバイスでサポートされる I/O 規格 (注 1), (2), (3), (4), (5))

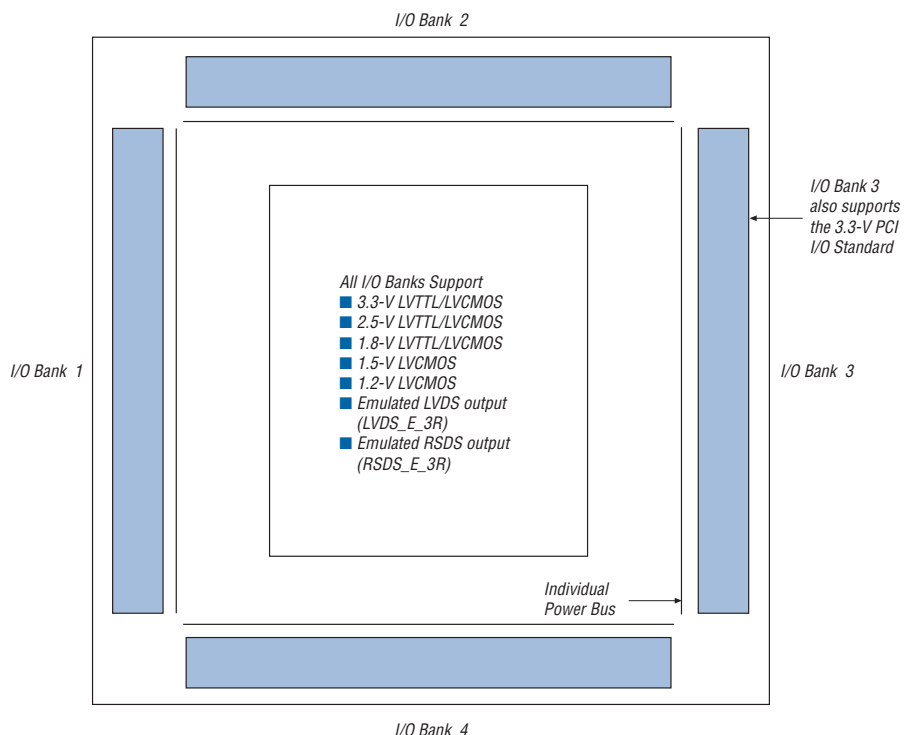


図 5-1 の注:

- (1) 図 5-1 はシリコン・ダイの上面図です。
- (2) 図 5-1 は参考図です。正確なピン配置については、ピン・リストおよび Quartus® II ソフトウェアを参照してください。
- (3) 5M40Z, 5M80Z, 5M160Z, 5M240Z, および 5M570Z デバイスには、2 つの I/O バンクしかありません。
- (4) 3.3-V PCI I/O 規格は、5M1270Z および 5M2210Z デバイスでのみサポートされています。
- (5) 3.3-V および 2.5-V の I/O 規格でのシュミット・トリガ入力オプションは、すべての I/O ピンに対してサポートされています。

MultiVolt I/O 動作

MAX V デバイスは、デバイスのコアと I/O ブロックが別々の電源電圧でパワーアップできます。VCCINT ピンは、デバイス・コアに電源を供給し、VCCIO ピンはデバイス I/O バッファに電源を供給します。VCCINT ピンは、MAX V デバイスに対しては 1.8 V でパワーアップされます。MultiVolt 機能を備えた I/O バンクに対応する VCCIO ピンはすべて、同じ電圧レベル (5.0 V、3.3 V、2.5 V、1.8 V、1.5 V、または 1.2 V など) から供給する必要があります。図 5-2 には、MAX V デバイスのための多電圧システムの実装方法を示します。

図 5-2. MAX V デバイスを使用した多電圧システムの実装 (注 1),(2)

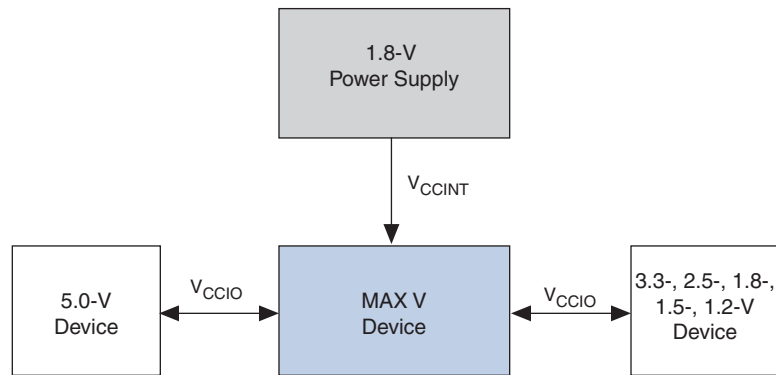


図 5-2 の注:

- (1) V_{CCIO}=3.3 V の場合、MAX V デバイスは 5.0 V の TTL (トランジスタ・トランジスタ・ロジック) 入力をドライブできます。5.0 V CMOS をドライブするには、内部 I/O クランプ・ダイオードと外部抵抗を使用したオープン・ドレイン設定が必要です。
- (2) MAX V デバイスは、5M1270Z および 5M2210Z デバイスに外部抵抗および内部 PCI クランプ・ダイオードを使用して、5.0 V 耐圧を実現できます。

5.0-V デバイスの互換性

MAX V デバイスは、MAX V デバイスの V_{CCIO} ピンを 3.3 V に接続することによって、5.0 V TTL デバイスをドライブできます。3.3 V インタフェースの出力 High 電圧 (V_{OH}) が 5.0-V TTL デバイスの最小 High レベル電圧 2.4 V を満たすために、これが可能です。

MAX V デバイスの出力を 5.0-V CMOS デバイスの入力に直接接続した場合、MAX II デバイスは 5.0-V CMOS デバイスと正しく連携できないことがあります。MAX V デバイスの V_{OUT} が V_{CCIO} よりも高い場合、PMOS プルアップ・トランジスタは、そのピンが High をドライブしていれば導通し続け、外部プルアップ抵抗が信号を 5.0V にプルアップするのを防止します。MAX V デバイスの出力を 5.0-V CMOS デバイス互換にするには、I/O クランプ・ダイオードをイネーブルにして、外部にプルアップ抵抗を接続します。

図 5-3 には、MAX V デバイスと 5.0 V CMOS デバイスとの互換性を示します。

図 5-3. MAX V デバイスと 5.0-V CMOS デバイスとの互換性

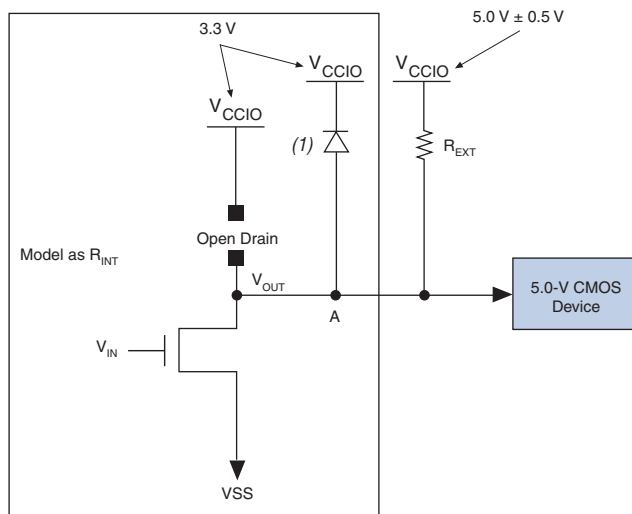


図 5-3 の注:

(1) このダイオードはパワーアップ後のみアクティブになります。MAX V デバイスは、パワーアップ前に 5.0 V でドライブされる場合、外部ダイオードを必要とします。

MAX V デバイスは、パワーアップ前に 5.0 V でドライブされる場合、外部ダイオードを必要とします。オープン・ドレイン・ピンは High レベルをドライブすることではなく、Low またはトライ・ステートのみドライブします。オープン・ドレイン・ピンがアクティブのときには、Low レベルをドライブします。オープン・ドレイン・ピンが非アクティブの場合、ピンはトライ・ステートになり、トレースは外部抵抗によって 5.0 V にプルアップされます。I/O クランプ・ダイオードをイネーブルする目的は、MAX V デバイスの I/O ピンを保護することです。I/O クランプ・ダイオードに 3.3 V V_{CCIO} を供給すると、ポイント A の電圧は 4.0 V にクランプされ、トレース電圧が 4.0 V を超えた場合の MAX V デバイスの信頼性限界値に適合します。5.0 V 入力は入力仕様の範囲内なので、デバイスは正常に動作します。



I/O クランプ・ダイオードは、5M1270Z および 5M2210Z の I/O バンク 3 でのみサポートされます。5M1270Z および 5M2210Z デバイス内の他の I/O バンク、また 5M40Z、5M80Z、5M160Z、5M240Z、および 5M570Z デバイス内の I/O ピンには外部保護ダイオードが必要です。

プルアップ抵抗値は、信号の立ち上がり時間に対応するよう小さく、かつ MAX V デバイスの IOL (出力 Low) 仕様に違反しないよう大きくなければなりません。

MAX V デバイスの最大 IOL は、I/O 出力のプログラマブル・ドライブ強度に依存します。表 5-1 に、MAX V デバイスに対する 3.3-V LVTTTL/LVCMOS I/O 規格で利用可能なプログラマブル・ドライブ強度の設定を示します。Quartus II ソフトウェアでは、デフォルト設定は最大電流強度です。PCI I/O 規格は常に 20 mA で設定され、別の設定はありません。

表 5-1. 3.3-V LVTTTL/LVCMOS のプログラマブル・ドライブ強度

I/O 規格	I_{OH}/I_{OL} の電流の強度設定 (mA)
3.3-V LVTTTL	16
	8
3.3-V LVCMOS	8
	4

R_{EXT} に必要な値を計算するには、まず MAX V デバイスのオープン・ドレイン・トランジスタのモデルを計算します。この出力抵抗 (R_{EXT}) は、 V_{OL} を I_{OL} で除算してモデル化できます ($R_{EXT} = V_{OL}/I_{OL}$)。表 5-2 に、MAX V デバイスに対する 3.3-V LVTTTL/LVCMOS I/O 規格の最大 V_{OL} を示します。

 I/O 規格の仕様については、「[DC and Switching Characteristics for MAX V Devices](#)」の章を参照してください。

表 5-2. 3.3-V LVTTTL/LVCMOS の最大 V_{OL}

I/O 規格	電圧 (V)
3.3-V LVTTTL	0.45
3.3-V LVCMOS	0.20

MAX V デバイスの I_{OL} 仕様に違反しないように R_{EXT} を選択します。 R_{EXT} の必要なプルアップ抵抗値は、式 $R_{EXT} = (V_{CC}/I_{OL}) - R_{INT}$ を使用して計算できます。例えば、I/O ピンがドライブ強度 16 mA を持つ 3.3-V LVTTTL としてコンフィギュレーションされている場合、最大電源電圧 (V_{CC}) を 5.5 V とすると、 R_{EXT} の値は以下のとおり計算できます。

式 5-1.

$$R_{EXT} = \frac{(5.5 \text{ V} - 0.45 \text{ V})}{16 \text{ mA}} = 315.6 \Omega$$

この抵抗値の計算では、ワースト・ケース条件を想定しています。 R_{EXT} の値は、デバイス・コンフィギュレーションのドライブ強度に従って調整できます。さらに、システムで電源電圧レベルに広範囲の変動がない場合は、状況に応じてこれらの計算を調整できます。

MAX V デバイスは、3.3 V、32 ビット、66-MHz PCI に準拠しているため、入力回路は 4.0 V の最大 High レベル入力電圧 (V_{IH}) を受け入れます。5.0-V デバイスで MAX V デバイスをドライブするには、MAX V デバイスと 5.0 V デバイスの間に抵抗 (R_2) を接続する必要があります。

図 5-4 に、5.0-V デバイスを使用した MAX V PCI 準拠デバイスをドライブする方法を示します。

図 5-4. 5.0 V デバイスを使用した MAX V PCI 準拠デバイスのドライブ

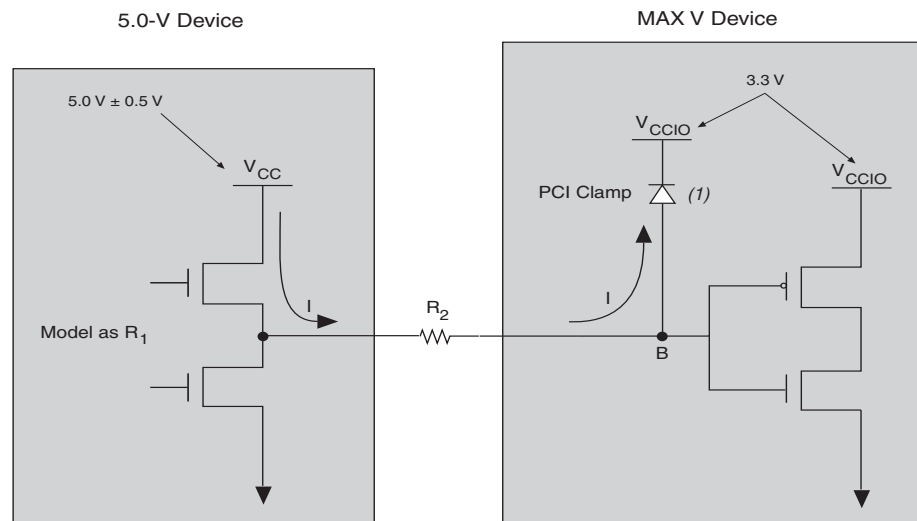


図 5-4 の注:

(1) このダイオードはパワーアップ後のみアクティブになります。MAX V デバイスは、パワーアップ前に 5.0 V でドライブされる場合、外部ダイオードを必要とします。

MAX V デバイスの V_{CCIO} が 3.3 V で、I/O クランプ・ダイオードがイネーブルされている場合、図 5-4 のポイント B での電圧は 4.0 V になり、トレース電圧が 4.0 V を超えた場合の MAX V デバイスの信頼性限界値に適合します。5.0 V デバイスからの大きな電流の流入を制限するために、 R_2 は、高速信号が立ち上がり時間に対応するよう小さく、かつトレースをドライブするデバイスの High レベル出力電流 (I_{OH}) 仕様に違反しないよう大きくなければなりません。

R_2 に必要な値を計算するには、まず 5.0-V デバイスのプルアップ・トランジスタのモデルを計算します。この出力抵抗 (R_1) は、5.0-V デバイスの電源電圧 (V_{CC}) を I_{OH} で除算 (つまり $R_1 = V_{CC}/I_{OH}$) して、モデル化できます。

図 5-5 に、5.0 V デバイスの標準的な出力ドライブ特性の例を示します。

図 5-5. 5.0-V デバイスの出力ドライブ特性

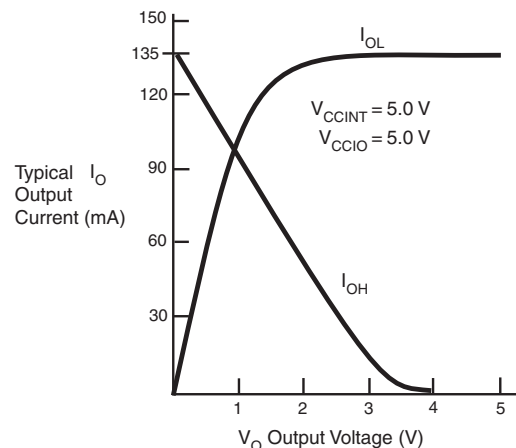


図 5-5 に示すとおり、 $R_1 = 5.0 \text{ V}/135 \text{ mA}$ です。

通常データシートに示す値は、標準的な動作条件に基づくものです。保護帯域用にデータシートの値から 20% を減算します。前の例から 20% を減算すると、 R_1 の値は 30 です。

MAX V デバイスの I_{OH} 仕様に違反しないように R_2 を選択します。例えば、上記のデバイスの最大 I_{OH} が 8 mA の場合、PCI クランプ・ダイオードを使用すると、 $V_{IN} = V_{CCIO} + 0.7 \text{ V} = 3.7 \text{ V}$ になります。5.0-V デバイスの最大電源負荷 (V_{CC}) を 5.5-V とすると、 R_2 の値は以下のとおり計算できます。

式 5-2.

$$R_2 = \frac{(5.5 \text{ V} - 3.7 \text{ V}) - (8 \text{ mA} \times 30 \Omega)}{8 \text{ mA}} = 194 \Omega$$

この解析では、ワースト・ケース条件を想定しています。システムで電源電圧レベルに広範囲の変動がない場合は、状況に応じてこれらの計算を調整できます。

MAX V デバイスの 5.0-V デバイス許容差を実現するには、I/O クランプを使用する必要があります。このクランプはパワーアップ後にのみアクティブになるため、5.0 V 信号はデバイスがコンフィギュレーションされるまで、デバイスにドライブできない場合があります。I/O クランプ・ダイオードは、5M1270Z および 5M2210Z デバイスの I/O バンク 3 でのみサポートされます。5M1270Z および 5M2210Z デバイス内の他の I/O バンク、また 5M40Z、5M80Z、5M160Z、5M240Z、および 5M570Z デバイス内の I/O ピンには外部保護ダイオードが必要です。

5.0-V 互換を実現するための推奨動作条件

前述のとおり、5.0-V 許容差は、外部直列 / プルアップ抵抗でイネーブルされる I/O クランプ・ダイオードでサポートできます。デバイスの I/O バッファの長期の信頼性を保証するために、最大クランプ電流に基づいて MAX V I/O をドライブする信号デューティ・サイクルに制約があります。表 5-3 に、PCI クランプ電流の処理機能を備えた 3.3-V の V_{CCIO} に対する最大信号デューティ・サイクルを示します。


表 5-3. 最大信号デューティ・サイクル

V_{IN} (V) (1)	I_{CH} (mA) (2)	最大デューティ・サイクル (%)
4.0	5.00	100
4.1	11.67	90
4.2	18.33	50
4.3	25.00	30
4.4	31.67	17
4.5	38.33	10
4.6	45.00	5

表 5-3 の注:

(1) V_{IN} は、パッケージ・ピンでの電圧です。

(2) The I_{CH} is calculated with a 3.3-V V_{CCIO} . I_{CH} は 3.3-V の V_{CCIO} を使用して計算されます。 V_{IN} の値が同じであれば、 V_{CCIO} の値が高くなるほど、 I_{CH} の値は低くなります。

 MAX V の入力ピンで 30% を超える信号に対して、アルテラは長期の信頼性を保証するために、3.0 V の V_{CCIO} 電圧を推奨しています。デューティ・サイクルが 30% 未満の信号に対しては、 V_{CCIO} 電圧は 3.3 V にすることができます。

パワーアップ・シーケンス

MAX V デバイスは、パワー・シーケンスの制御が困難な多電圧環境でも動作するように設計されています。したがって、MAX V デバイスはあらゆるパワーアップ・シーケンスにも対応できるように設計されています。 V_{CCINT} または V_{CCIO} のいずれかで最初にデバイスに電源を供給でき、3.3-V、2.5-V、1.8-V、1.5-V または 1.2-V の入力信号は、 V_{CCINT} または V_{CCIO} が印加される前に、特別な対策がなくてもデバイスをドライブできます。MAX V デバイスは、 V_{CCINT} レベルよりも高い V_{CCIO} 電圧レベルで動作できます。

異なる電源から MAX V デバイスに V_{CCIO} および V_{CCINT} が供給された場合、 V_{CCIO} と V_{CCINT} 間の遅延が生じることがあります。両方の電源が推奨動作範囲になるまで、ユーザー・モードには入りません。 V_{CCINT} がパワーアップされると、IEEE Std. 1149.1 JTAG (Joint Test Action Group) 回路がアクティブになります。TMS および TCK が V_{CCIO} に接続されても、 V_{CCIO} がパワーアップされていない場合、JTAG 信号はフローティング状態のままです。このように、TCK が変化すると、ステート・マシンは不定の JTAG ステートに遷移し、 V_{CCIO} が最終的にパワーアップされたときに誤動作することがあります。パワーアップ・シーケンス中に JTAG ステートをディセーブルするには、TCK をプル・ダウンして、TCK に偶発的な立ち上がりエッジが発生しないようにします。

改訂履歴

表 5-4 に、本資料の改訂履歴を示します。

表 5-4. 改訂履歴

日付	バージョン	変更内容
2010年12月	1.0	初版。