



この翻訳版ドキュメントのメンテナンスは終了しております。

この文書には、古いコンテンツや商標が含まれている場合があります。

最新情報につきましては、次のリンクから英語版の最新資料をご確認ください。

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

Please take note that this document is no longer being maintained. It may contain legacy content and trademarks which may be outdated.

Please refer to English version for latest update at

<https://www.intel.com/content/www/us/en/programmable/documentation/lit-index.html>

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

MV51003-1.1

本章では、MAX[®] V デバイスの電気的およびスイッチング特性について説明します。電気的特性は動作条件および消費電力を含んでいます。また、本章では、タイミング・モデルおよび仕様についても説明します。

MAX V デバイスが持つ性能と信頼性を最高のレベルに維持するには、この章で説明する DC およびスイッチング条件について十分な配慮が必要です。

この章は、以下の項で構成されています。

- 3-1 ページの「動作条件」
- 3-9 ページの「消費電力」
- 3-10 ページの「タイミング・モデルと仕様」

動作条件

表 3-1 ~ 表 3-15 に、MAX V デバイスの絶対最大定格、推奨動作条件、DC 特性、およびその他の仕様を示します。

絶対最大定格

表 3-1 に、MAX V デバイス・ファミリの絶対最大定格を示します。

表 3-1. MAX V デバイス・ファミリの絶対最大定格 (注 1), (2)

シンボル	パラメータ	条件	Min	Max	単位
V _{CCINT}	内部電源電圧	GND に対して	-0.5	2.4	V
V _{CCIO}	I/O 電源電圧	—	-0.5	4.6	V
V _I	DC 入力電圧	—	-0.5	4.6	V
I _{OUT}	ピンあたりの DC 出力電流	—	-25	25	mA
T _{STG}	保存温度	バイアスなし	-65	150	°C
T _{AMB}	周囲温度	バイアス時 (3)	-65	135	°C
T _J	ジャンクション温度	TQFP および BGA パッケージのバイアス時	—	135	°C

表 3-1 の注：

- (1) 詳細については、「[Operating Requirements for Altera Devices Data Sheet](#)」を参照してください。
- (2) 表 3-1 に記載された条件を超えると、デバイスに致命的な損傷を与える可能性があります。また、デバイスを絶対最大定格で長期間動作させると、デバイスに悪影響を与える可能性があります。
- (3) 「バイアス時」の条件について詳しくは、表 3-2 を参照してください。



推奨動作条件

表 3-2 に、MAX V デバイス・ファミリの推奨動作条件を示します。

表 3-2. MAX V デバイスの推奨動作条件

シンボル	パラメータ	条件	Min	Max	単位
V_{CCINT} (1)	内部ロジックおよび ISP (イン・システム・プログラミング) 用の 1.8 V 電源電圧	MAX V デバイス	1.71	1.89	V
V_{CCIO} (1)	3.3 V 動作の I/O バッファ用電源電圧	—	3.00	3.60	V
	2.5 V 動作の I/O バッファ用電源電圧	—	2.375	2.625	V
	1.8 V 動作の I/O バッファ用電源電圧	—	1.71	1.89	V
	1.5 V 動作の I/O バッファ用電源電圧	—	1.425	1.575	V
	1.2 V 動作の I/O バッファ用電源電圧	—	1.14	1.26	V
V_I	入力電圧	(2)、(3)、(4)	-0.5	4.0	V
V_O	出力電圧	—	0	V_{CCIO}	V
T_J	動作ジャンクション温度	コマーシャル温度範囲	0	85	°C
		インダストリアル温度範囲	-40	100	°C

表 3-2 の注：

- JTAG またはロジック・アレイを使用した MAX V デバイスの ISP やユーザー・フラッシュ・メモリ (UFM) プログラミングは、推奨動作条件の範囲外では保証されません (例えば、UFM に対する潜在的な書き込み / プログラミング・シーケンス中に、システム内で電圧低下状態が発生した場合、ユーザは UFM の内容を再度読み込んで、書き込みデータを検証することが推奨されます)。
- 最低 DC 入力は、-0.5 V です。過渡時には、入力電流が 100 mA 未満、期間が 20 ns 未満であれば、入力電圧は -2.0 V までアンダーシュートが許されます。
- 過渡時に、入力デューティ・サイクルごとに、入力電圧が下記の電圧までオーバーシュートしてもかまいません。DC の場合はデューティ・サイクル 100% と等価です。5.0 V トレランスについては、[「Using MAX V Devices in Multi-Voltage Systems」](#)の章を参照してください。
 V_{IN} 最大デューティ・サイクル
 4.0 V 100% (DC)
 4.1 V 90%
 4.2 V 50%
 4.3 V 30%
 4.4 V 17%
 4.5 V 10%
- クロック、I/O、および JTAG ピンを含むすべてのピンは V_{CCINT} と V_{CCIO} が給電される前にドライブされる可能性があります。

プログラミング / イレース仕様

表 3-3 に、MAX V デバイス・ファミリのプログラミング / イレース仕様を示します。

表 3-3. MAX V デバイスのプログラミング / イレース仕様

パラメータ	ブロック	Min	Typ	Max	単位
消去および再プログラムのサイクル数	UFM	—	—	1000 (1)	サイクル
	コンフィギュレーション・フラッシュ・メモリ (CFM)	—	—	100	サイクル

表 3-3 の注：

- この値は、コマーシャル・グレードのデバイスに適用されます。インダストリアル・グレード・デバイスの場合、この値は 100 サイクルとなります。

DC 特性

表 3-4 に、MAX V デバイス・ファミリの DC 特性を示します。

表 3-4. MAX V デバイスの DC 特性 (注 1) (1 of 2)

シンボル	パラメータ	条件	Min	Typ	Max	単位
I_I	入力ピンのリーク電流	$V_I = V_{CCIO\ max} \sim 0\ V$ (2)	-10	—	10	μA
I_{OZ}	トライ・ステート I/O ピンのリーク電流	$V_O = V_{CCIO\ max} \sim 0\ V$ (2)	-10	—	10	μA
$I_{CCSTANDBY}$	V_{CCINT} 供給電流 (スタンバイ時) (3)	5M40Z、5M80Z、5M160Z、および 5M240Z (コマーシャル温度範囲) (4)、(5)	—	25	90	μA
		5M240Z (コマーシャル温度範囲) (6)	—	27	96	μA
		5M40Z、5M80Z、5M160Z、および 5M240Z (インダストリアル温度範囲) (5)、(7)	—	25	139	μA
		5M240Z (インダストリアル温度範囲) (6)	—	27	152	μA
		5M570Z (コマーシャル温度範囲) (4)	—	27	96	μA
		5M570Z (インダストリアル温度範囲) (7)	—	27	152	μA
		5M1270Z および 5M2210Z	—	2	—	mA
$V_{SCHMITT}$ (8)	シュミット・トリガのヒステリシス (9)	$V_{CCIO} = 3.3\ V$	—	400	—	mV
		$V_{CCIO} = 2.5\ V$	—	190	—	mV
$I_{CCPOWERUP}$	V_{CCINT} 供給電流 (パワーアップ時) (10)	MAX V デバイス	—	—	40	mA
R_{PULLUP}	ユーザー・モードおよび ISP 時の I/O ピンのプルアップ抵抗値	$V_{CCIO} = 3.3\ V$ (11)	5	—	25	k Ω
		$V_{CCIO} = 2.5\ V$ (11)	10	—	40	k Ω
		$V_{CCIO} = 1.8\ V$ (11)	25	—	60	k Ω
		$V_{CCIO} = 1.5\ V$ (11)	45	—	95	k Ω
		$V_{CCIO} = 1.2\ V$ (11)	80	—	130	k Ω

表 3-4. MAX V デバイスの DC 特性 (注 1) (2 of 2)

シンボル	パラメータ	条件	Min	Typ	Max	単位
I_{PULLUP}	I/O がプログラムされていないときの I/O ピンのプルアップ抵抗電流	—	—	—	300	μA
C_{IO}	ユーザー I/O ピンの入力キャパシタンス	—	—	—	8	pF
C_{GCLK}	兼用 GCLK/ ユーザー I/O ピンの入力キャパシタンス	—	—	—	8	pF

表 3-4 の注：

- (1) 標準値は、 $T_A = 25^\circ C$ 、 $V_{CCINT} = 1.8 V$ 、 $V_{CCIO} = 1.2, 1.5, 1.8, 2.5$ 、または $3.3 V$ の条件のときのものです。
- (2) この値は通常のデバイス動作用に指定されたものです。パワーアップの過程では値が変わる場合があります。これはすべての V_{CCIO} 設定 ($3.3, 2.5, 1.8, 1.5$ 、および $1.2 V$) に適用されます。
- (3) $V_I =$ グランド、無負荷、入力のトグルなし。
- (4) コマーシャル温度範囲は $0^\circ C \sim 85^\circ C$ であり、電流は $85^\circ C$ のときに最大になります。
- (5) 5M240Z デバイスの T144 パッケージには適用されません。
- (6) 5M240Z デバイスの T144 パッケージにのみ適用されます。
- (7) インダストリアル温度範囲は $-40^\circ C \sim 100^\circ C$ であり、電流は $100^\circ C$ のときに最大になります。
- (8) この値は、コマーシャルおよびインダストリアル温度範囲デバイスに適用されます。拡張温度範囲デバイスでは、 $V_{SCHMITT}$ の標準値は、 $V_{CCIO} = 3.3 V$ で $300 mV$ 、 $V_{CCIO} = 2.5 V$ で $120 mV$ です。
- (9) すべての I/O 規格では、入力信号の立ち下り時間が $200 ns$ 以上になると、TCK 入力は高周波なパルス・グリッチに敏感になります。
- (10) t_{CONFIG} タイムの最大期間のピーク電流値です。
- (11) 外部ソースが V_{CCIO} よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗値が低下します。

出力ドライブ特性

図 3-1 に、MAX V デバイスの標準ドライブ強度特性を示します。

図 3-1. MAX V デバイスの出力ドライブ特性 (注 1)

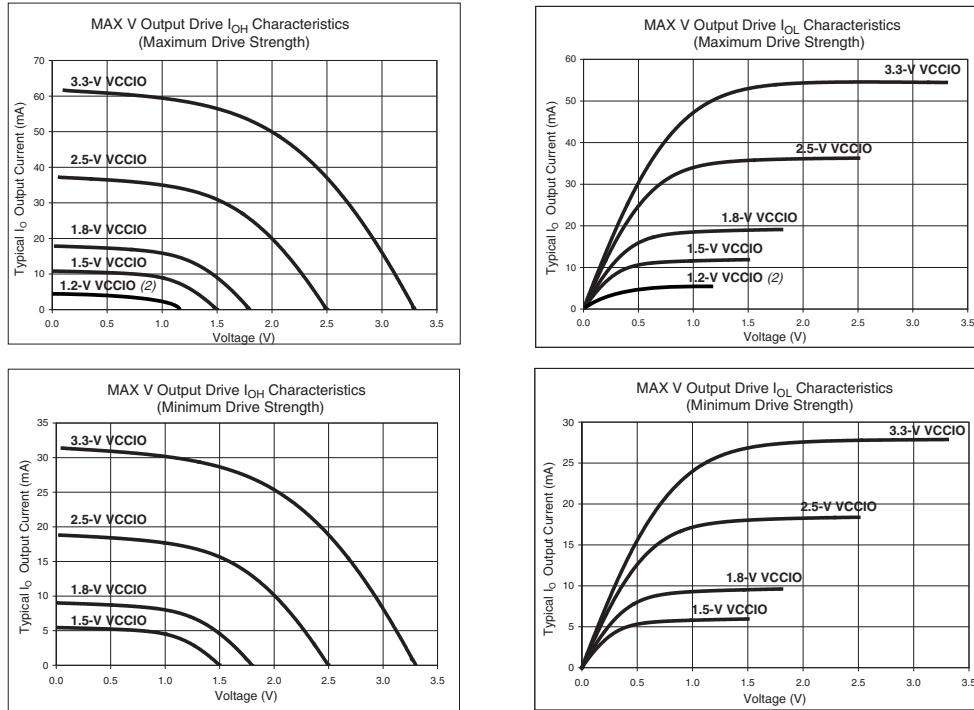


図 3-1 の注：

- (1) ピンあたりの DC 出力電流は、1 ページの表 3-1 に表記された絶対最大定格に依存します。
- (2) 1.2 V の V_{CCIO} は最大ドライブ強度にのみ適用されます。

I/O 規格仕様

表 3-5 ~ 表 3-13 に、MAX デバイス・ファミリの I/O 規格仕様を示します。

表 3-5. MAX V デバイスの 3.3 V LVTTTL 仕様

シンボル	パラメータ	条件	Min	Max	単位
V_{CCIO}	I/O 電源電圧	—	3.0	3.6	V
V_{IH}	入力 High レベル電圧	—	1.7	4.0	V
V_{IL}	入力 Low レベル電圧	—	-0.5	0.8	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -4 \text{ mA}$ (1)	2.4	—	V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 4 \text{ mA}$ (1)	—	0.45	V

表 3-5 の注：

- (1) 『MAX V Device Architecture』の章に示すとおり、この仕様は、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

表 3-6. MAX V デバイスの 3.3 V LVC MOS 仕様

シンボル	パラメータ	条件	Min	Max	単位
V_{CCIO}	I/O 電源電圧	—	3.0	3.6	V
V_{IH}	入力 High レベル電圧	—	1.7	4.0	V
V_{IL}	入力 Low レベル電圧	—	-0.5	0.8	V
V_{OH}	出力 High レベル電圧	$V_{CCIO} = 3.0$ 、 $I_{OH} = -0.1 \text{ mA}$ (1)	$V_{CCIO} - 0.2$	—	V
V_{OL}	出力 Low レベル電圧	$V_{CCIO} = 3.0$ 、 $I_{OL} = 0.1 \text{ mA}$ (1)	—	0.2	V

表 3-6 の注：

- (1) 『MAX V Device Architecture』の章に示すとおり、この仕様は、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

表 3-7. MAX V デバイスの 2.5 V I/O 仕様

シンボル	パラメータ	条件	Min	Max	単位
V_{CCIO}	I/O 電源電圧	—	2.375	2.625	V
V_{IH}	入力 High レベル電圧	—	1.7	4.0	V
V_{IL}	入力 Low レベル電圧	—	-0.5	0.7	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -0.1 \text{ mA}$ (1)	2.1	—	V
		$I_{OH} = -1 \text{ mA}$ (1)	2.0	—	V
		$I_{OH} = -2 \text{ mA}$ (1)	1.7	—	V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 0.1 \text{ mA}$ (1)	—	0.2	V
		$I_{OL} = 1 \text{ mA}$ (1)	—	0.4	V
		$I_{OL} = 2 \text{ mA}$ (1)	—	0.7	V

表 3-7 の注：

- (1) 『MAX V Device Architecture』の章に示すとおり、この仕様は、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

表 3-8. MAX V デバイスの 1.8 V I/O 仕様

シンボル	パラメータ	条件	Min	Max	単位
V_{CCIO}	I/O 電源電圧	—	1.71	1.89	V
V_{IH}	入力 High レベル電圧	—	$0.65 \times V_{CCIO}$	2.25 (2)	V
V_{IL}	入力 Low レベル電圧	—	-0.3	$0.35 \times V_{CCIO}$	V
V_{OH}	出力 High レベル電圧	$I_{OH} = -2 \text{ mA}$ (1)	$V_{CCIO} - 0.45$	—	V
V_{OL}	出力 Low レベル電圧	$I_{OL} = 2 \text{ mA}$ (1)	—	0.45	V

表 3-8 の注：

- (1) 『MAX V Device Architecture』の章に示すとおり、この仕様は、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。
- (2) この最大 V_{IH} は JEDEC 規格を反映しています。2 ページの表 3-2 の V_I パラメータで規定されるように、MAX V 入力バッファは、4.0 の最大 V_{IH} に耐えることができます。

表 3-9. MAX V デバイスの 1.5 V I/O 仕様

シンボル	パラメータ	条件	Min	Max	単位
V _{CCIO}	I/O 電源電圧	—	1.425	1.575	V
V _{IH}	入力 High レベル電圧	—	0.65 × V _{CCIO}	V _{CCIO} + 0.3 (2)	V
V _{IL}	入力 Low レベル電圧	—	-0.3	0.35 × V _{CCIO}	V
V _{OH}	出力 High レベル電圧	IOH = -2 mA (1)	0.75 × V _{CCIO}	—	V
V _{OL}	出力 Low レベル電圧	IOL = 2 mA (1)	—	0.25 × V _{CCIO}	V

表 3-9 の注：

- (1) 『MAX V Device Architecture』の章に示すとおり、この仕様は、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。
- (2) この最大 V_{IH} は JEDEC 規格を反映しています。2 ページの表 3-2 の V_I パラメータで規定されるように、MAX V 入力バッファは、4.0 の最大 V_{IH} に耐えることができます。

表 3-10. MAX V デバイスの 1.2 V の I/O 仕様

シンボル	パラメータ	条件	Min	Max	単位
V _{CCIO}	I/O 電源電圧	—	1.14	1.26	V
V _{IH}	入力 High レベル電圧	—	0.8 × V _{CCIO}	V _{CCIO} + 0.3	V
V _{IL}	入力 Low レベル電圧	—	-0.3	0.25 × V _{CCIO}	V
V _{OH}	出力 High レベル電圧	IOH = -2 mA (1)	0.75 × V _{CCIO}	—	V
V _{OL}	出力 Low レベル電圧	IOL = 2 mA (1)	—	0.25 × V _{CCIO}	V

表 3-10 の注：

- (1) 『MAX V Device Architecture』の章に示すとおり、この仕様は、この I/O 規格でプログラム可能なドライブ設定すべてでサポートされています。

表 3-11. MAX V デバイスの 3.3 V PCI 仕様 (注 1)

シンボル	パラメータ	条件	Min	Typ	Max	単位
V _{CCIO}	I/O 電源電圧	—	3.0	3.3	3.6	V
V _{IH}	入力 High レベル電圧	—	0.5 × V _{CCIO}	—	V _{CCIO} + 0.5	V
V _{IL}	入力 Low レベル電圧	—	-0.5	—	0.3 × V _{CCIO}	V
V _{OH}	出力 High レベル電圧	IOH = -500 μA	0.9 × V _{CCIO}	—	—	V
V _{OL}	出力 Low レベル電圧	IOL = 1.5 mA	—	—	0.1 × V _{CCIO}	V

表 3-11 の注：

- (1) 3.3-V PCI I/O 規格は、5M1270Z および 5M2210Z デバイスのバンク 3 でのみサポートされています。

表 3-12. MAX V デバイスの LVDS 仕様 (注 1)

シンボル	パラメータ	条件	Min	Typ	Max	単位
V _{CCIO}	I/O 電源電圧	—	2.375	2.5	2.625	V
V _{OD}	差動出力電圧振幅	—	247	—	600	mV
V _{OS}	出力オフセット電圧	—	1.125	1.25	1.375	V

表 3-12 の注：

- (1) 3 つの抵抗ネットワークを使用するエミュレートされた LVDS 出力 (LVDS_E_3R) をサポートします。

表 3-13. MAX V デバイスの RSDS 仕様 (注 1)

シンボル	パラメータ	条件	Min	Typ	Max	単位
V_{CCIO}	I/O 電源電圧	—	2.375	2.5	2.625	V
V_{OD}	差動出力電圧振幅	—	247	—	600	mV
V_{OS}	出力オフセット電圧	—	1.125	1.25	1.375	V

表 3-13 の注：

(1) 3 つの抵抗ネットワークを使用するエミュレートされた RSDS 出力 (RSDS_E_3R) をサポートします。

バス・ホールド特性

表 3-14 に、MAX V デバイス・ファミリのバス・ホールド仕様を示します。

表 3-14. MAX V デバイスのバス・ホールド仕様

パラメータ	条件	V_{CCIO} レベル										単位
		1.2 V		1.5 V		1.8 V		2.5 V		3.3 V		
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
Low 保持電流	$V_{IN} > V_{IL}$ (最大)	10	—	20	—	30	—	50	—	70	—	μA
High 保持電流	$V_{IN} < V_{IH}$ (最小)	-10	—	-20	—	-30	—	-50	—	-70	—	μA
Low オーバードライブ電流	$0 V < V_{IN} < V_{CCIO}$	—	130	—	160	—	200	—	300	—	500	μA
High オーバードライブ電流	$0 V < V_{IN} < V_{CCIO}$	—	-130	—	-160	—	-200	—	-300	—	-500	μA

パワーアップ・タイミング

表 3-15 に、MAX V デバイス・ファミリのパワーアップ・タイミング特性を示します。

表 3-15. MAX V デバイスのパワーアップ・タイミング特性


シンボル	パラメータ	デバイス	Min	Typ	Max	単位
t _{CONFIG}	最小 V _{CCINT} が達してからデバイスがユーザー・モードに入るまでの時間 (1)	5M40Z	—	—	200	μs
		5M80Z	—	—	200	μs
		5M160Z	—	—	200	μs
		5M240Z (2)	—	—	200	μs
		5M240Z (3)	—	—	300	μs
		5M570Z	—	—	300	μs
		5M1270Z (4)	—	—	300	μs
		5M1270Z (5)	—	—	450	μs
		5M2210Z	—	—	450	μs

表 3-15 の注：

- (1) POR (パワー・オン・リセット) トリガ電圧について詳しくは、[「Hot Socketing and Power-On Reset in MAX V Devices」](#) の章を参照してください。
- (2) 5M240Z デバイスの T114 パッケージには適用されません。
- (3) 5M240Z デバイスの T114 パッケージにのみ適用されます。
- (4) 5M1270Z デバイスの F324 パッケージには適用されません。
- (5) 5M1270Z デバイスの F324 パッケージにのみ適用されます。

消費電力

アルテラの PowerPlay Early Power Estimator および PowerPlay Power Analyzer を使用して、デバイスの消費電力を見積もることができます。

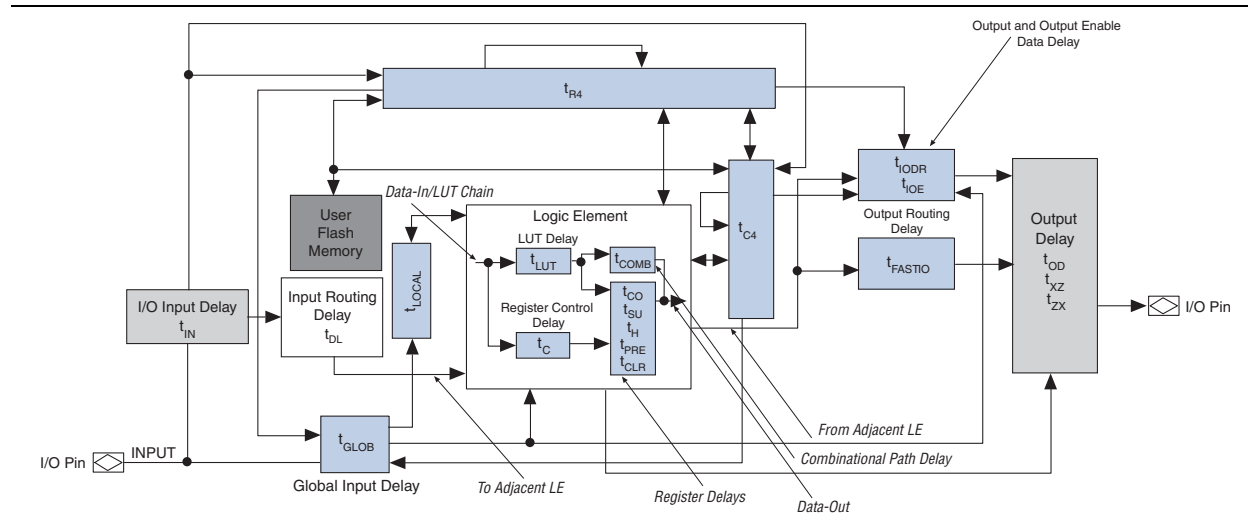
 これらの消費電力見積もりツールについて詳しくは、[「PowerPlay Early Power Estimator for Altera CPLDs User Guide」](#) および「Quartus II ハンドブック Volume 3」[「PowerPlay Power Analysis」](#) の章を参照してください。

タイミング・モデルと仕様

MAX V デバイスのタイミングは、アルテラの **Quartus® II** ソフトウェア、さまざまな業界標準の EDA シミュレータおよびタイミング・アナライザ、または図 3-2 に示すタイミング・モデルを使用して解析できます。

MAX V デバイスには、設計者が任意のデザインのワースト・ケースのタイミングを決定することができる予測可能な内部遅延があります。ソフトウェアでは、デバイス全体の性能を評価するためのタイミング・シミュレーション、ポイント間遅延予測、および詳細なタイミング解析を実行できます。

図 3-2. MAX V デバイスのタイミング・モデル



信号パスのタイミング特性は、特定のデバイスのタイミング・モデルとパラメータから得られます。ピン間タイミング遅延を表す外部タイミング・パラメータは、内部パラメータの合計として計算できます。

詳細については、「AN629: Understanding Timing in Altera CPLDs」を参照してください。

暫定的および最終的なタイミング

この項では、性能、内部タイミング、外部タイミングおよび UFM タイミング仕様について説明します。仕様値はすべてワースト・ケースの電源電圧条件およびジャンクション温度条件での代表値です。

タイミング・モデルには、暫定的なもの最終的なものがあります。タイミング・モデルが暫定的な場合、Quartus II ソフトウェアはデザインのコンパイル中に通知メッセージを表示します。表 3-16 に、MAX V デバイスのタイミング・モデルの状態を表示します。

ステータスが暫定的とは、タイミング・モデルが変更される場合があることを意味します。最初に、タイミングの数値はシミュレーション結果、プロセス・データ、およびその他の既知のパラメータによって作成されます。これらのテストを使用して、暫定的な数値を可能な限り実際のタイミング・パラメータに近づけます。

最終的なタイミングの数値は、実際のデバイスの動作とテストに基づきます。これらの数値は、ワースト・ケースの電圧条件および接合温度条件における実際の性能を反映しています。

表 3-16. MAX V デバイスのタイミング・モデルのステータス

デバイス	暫定サポート	最終的
5M40Z	✓	—
5M80Z	✓	—
5M160Z	✓	—
5M240Z	✓	—
5M570Z	✓	—
5M1270Z	✓	—
5M2210Z	✓	—

性能

表 3-17 に、いくつかの一般的なデザインにおける MAX V デバイスの性能を示します。性能値はすべて、Quartus II ソフトウェアでメガファンクションをコンパイルして得られたものです。

表 3-17. MAX V デバイスの性能

使用 リソース	デザイン・サイズ および機能	使用リソース			性能				単位
					5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z		5M1270Z/ 5M2210Z		
		モード	LE 数	UFM ブロック	C4	C5、I5	C4	C5、I5	
LE	16 ビット・カウンタ (1)	—	16	0	184.1	118.3	247.5	201.1	MHz
	64 ビット・カウンタ (1)	—	64	0	83.2	80.5	154.8	125.8	MHz
	16 対 1 マルチプレクサ	—	11	0	17.4	20.4	8.0	9.3	ns
	32 対 1 マルチプレクサ	—	24	0	12.5	25.3	9.0	11.4	ns
	16 ビット XOR ファンクション	—	5	0	9.0	16.1	6.6	8.2	ns
	単一アドレス・ライン付 きの 16 ビット・デコーダ	—	5	0	9.2	16.1	6.6	8.2	ns
UFM	512 × 16	None	3	1	10.0	10.0	10.0	10.0	MHz
	512 × 16	SPI (2)	37	1	9.7	9.7	8.0	8.0	MHz
	512 × 8	Parallel (3)	73	1	(4)	(4)	(4)	(4)	MHz
	512 × 16	I ² C (3)	142	1	100 (5)	100 (5)	100 (5)	100 (5)	kHz

表 3-17 の注：

- (1) このデザインは、バイナリ・ローダブル・アップ・カウンタです。
- (2) このデザインは、拡張モードでのリード・オンリー動作にコンフィギュレーションされています。読み出しおよび書き込み機能を追加した場合、使用する LE 数が増加します。
- (3) このデザインは、リード・オンリー動作にコンフィギュレーションされています。読み出しおよび書き込み機能を追加した場合、使用する LE 数が増加します。
- (4) このデザインは非同期です。
- (5) I²C メガファンクションは、最大 100 kHz シリアル・クロック・ライン (SCL) レートのハードウェアで検証されています。

内部タイミング・パラメータ

内部タイミング・パラメータは、デバイスの集積度には関係なく、スピード・グレードに基づいて規定されています。表 3-18 から表 3-25 では、LE、入出力エレメント (IOE)、UFM ブロック、および MultiTrack インタコネクタに対する MAX V デバイスの内部タイミング・マイクロパラメータを示します。

 各外部タイミング・パラメータ・シンボルについては、「AN629: Understanding Timing in Altera CPLDs」を参照してください。

表 3-18. MAX V デバイスの LE の内部タイミング・マイクロパラメータ

シンボル	パラメータ	5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5, I5		C4		C5, I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
t_{LUT}	LE 組み合わせ LUT (ルック・アップ・テーブル) 遅延	—	1,215	—	2,247	—	742	—	914	ps
t_{COMB}	組み合わせパス遅延	—	243	—	309	—	192	—	236	ps
t_{CLR}	LE レジスタ・クリア遅延	401	—	545	—	309	—	381	—	ps
t_{PRE}	LE レジスタ・プリセット遅延	401	—	545	—	309	—	381	—	ps
t_{SU}	LE レジスタのセットアップ・タイム (クロック前)	260	—	321	—	271	—	333	—	ps
t_{H}	LE レジスタのホールド・タイム (クロック後)	0	—	0	—	0	—	0	—	ps
t_{CO}	LE レジスタのクロックから出力までの遅延	—	380	—	494	—	305	—	376	ps
t_{CLKHL}	最小クロック High または Low タイム	253	—	339	—	216	—	266	—	ps
t_C	レジスタ・コントロール遅延	—	1,356	—	1,741	—	1,114	—	1,372	ps

表 3-19. MAX V デバイスの IOE の内部タイミング・マイクロパラメータ (1 of 2)

シンボル	パラメータ	5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5, I5		C4		C5, I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
t_{FASTIO}	隣接 LE から I/O ブロックへのデータ出力遅延	—	170	—	428	—	207	—	254	ps
t_{IN}	I/O 入力パッドおよびバッファ遅延	—	907	—	986	—	920	—	1,132	ps
$t_{GLOB} (1)$	グローバル信号ピンとして使用された I/O 入力パッドおよびバッファ遅延	—	2,261	—	3,322	—	1,974	—	2,430	ps
t_{IOE}	内部で生成された出力イネーブル遅延	—	530	—	1,410	—	374	—	460	ps
t_{DL}	入力配線遅延	—	318	—	509	—	291	—	358	ps
$t_{OD} (2)$	出力遅延バッファおよびパッド遅延	—	1,319	—	1,543	—	1,383	—	1,702	ps

表 3-19. MAX V デバイスの IOE の内部タイミング・マイクロパラメータ (2 of 2)

シンボル	パラメータ	5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5、I5		C4		C5、I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
t_{xz} (3)	出力バッファのディセーブル遅延	—	1,045	—	1,276	—	982	—	1,209	ps
t_{zx} (4)	出力バッファのイネーブル遅延	—	1,160	—	1,353	—	1,303	—	1,604	ps

表 3-19 の注：

- (1) t_{GLOB} の遅延の数値は、各デバイスの集積度とスピード・グレードごとに異なります。表 3-19 に示す t_{GLOB} 遅延の数値は、5M240Z デバイス・ターゲットに基づきます。
- (2) 異なる I/O 規格、ドライブ強度、およびスルー・レートに関連する追加遅延については、23 ページの表 3-34 および 23 ページの表 3-35 を参照してください。
- (3) 異なる I/O 規格、ドライブ強度、およびスルー・レートに関連する t_{xz} 追加遅延については、14 ページの表 3-22 および 15 ページの表 3-23 を参照してください。
- (4) 異なる I/O 規格、ドライブ強度、およびスルー・レートに関連する t_{zx} 追加遅延については、13 ページの表 3-20 および 14 ページの表 3-21 を参照してください。

表 3-20 から表 3-23 に、ドライブ強度 16 mA の 3.3-V LVTTTL 以外の I/O 規格を使用する場合の t_{zx} および t_{xz} マイクロパラメータの追加遅延を示します。

表 3-20. MAX V デバイス — 高速スルー・レートでの t_{zx} IOE マイクロパラメータ追加遅延

規格		5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5、I5		C4		C5、I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
3.3-V LVTTTL	16 mA	—	0	—	0	—	0	—	0	ps
	8 mA	—	72	—	74	—	101	—	125	ps
3.3-V LVCMOS	8 mA	—	0	—	0	—	0	—	0	ps
	4 mA	—	72	—	74	—	101	—	125	ps
2.5-V LVTTTL / LVCMOS	14 mA	—	126	—	127	—	155	—	191	ps
	7 mA	—	196	—	197	—	545	—	671	ps
1.8-V LVTTTL / LVCMOS	6 mA	—	608	—	610	—	721	—	888	ps
	3 mA	—	681	—	685	—	2012	—	2477	ps
1.5-V LVCMOS	4 mA	—	1162	—	1157	—	1590	—	1957	ps
	2 mA	—	1245	—	1244	—	3269	—	4024	ps
1.2-V LVCMOS	3 mA	—	1889	—	1856	—	2860	—	3520	ps
3.3-V PCI	20 mA	—	72	—	74	—	-18	—	-22	ps
LVDS	—	—	126	—	127	—	155	—	191	ps
RSDS	—	—	126	—	127	—	155	—	191	ps

表 3-21. MAX V デバイス — 低速スルー・レートでの t_{zx} IOE ミクロパラメータ追加遅延

規格		5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5、I5		C4		C5、I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
3.3-V LVTTTL	16 mA	—	5,951	—	6,063	—	6,012	—	5,743	ps
	8 mA	—	6,534	—	6,662	—	8,785	—	8,516	ps
3.3-V LVCMOS	8 mA	—	5,951	—	6,063	—	6,012	—	5,743	ps
	4 mA	—	6,534	—	6,662	—	8,785	—	8,516	ps
2.5-V LVTTTL / LVCMOS	14 mA	—	9,110	—	9,237	—	10,072	—	9,803	ps
	7 mA	—	9,830	—	9,977	—	12,945	—	12,676	ps
1.8-V LVTTTL / LVCMOS	6 mA	—	21,800	—	21,787	—	21,185	—	20,916	ps
	3 mA	—	23,020	—	23,037	—	24,597	—	24,328	ps
1.5-V LVCMOS	4 mA	—	39,120	—	39,067	—	34,517	—	34,248	ps
	2 mA	—	40,670	—	40,617	—	39,717	—	39,448	ps
1.2-V LVCMOS	3 mA	—	69,505	—	70,461	—	55,800	—	55,531	ps
3.3-V PCI	20 mA	—	6,534	—	6,662	—	35	—	44	ps

表 3-22. MAX V デバイス — 高速スルー・レートでの t_{zx} IOE ミクロパラメータ追加遅延

規格		5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5、I5		C4		C5、I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
3.3-V LVTTTL	16 mA	—	0	—	0	—	0	—	0	ps
	8 mA	—	-69	—	-69	—	-74	—	-91	ps
3.3-V LVCMOS	8 mA	—	0	—	0	—	0	—	0	ps
	4 mA	—	-69	—	-69	—	-74	—	-91	ps
2.5-V LVTTTL / LVCMOS	14 mA	—	-7	—	-10	—	-46	—	-56	ps
	7 mA	—	-66	—	-69	—	-82	—	-101	ps
1.8-V LVTTTL / LVCMOS	6 mA	—	45	—	37	—	-7	—	-8	ps
	3 mA	—	34	—	25	—	119	—	147	ps
1.5-V LVCMOS	4 mA	—	166	—	155	—	339	—	418	ps
	2 mA	—	190	—	179	—	464	—	571	ps
1.2-V LVCMOS	3 mA	—	300	—	283	—	817	—	1,006	ps
3.3-V PCI	20 mA	—	-69	—	-69	—	80	—	99	ps
LVDS	—	—	-7	—	-10	—	-46	—	-56	ps
RSDS	—	—	-7	—	-10	—	-46	—	-56	ps

表 3-23. MAX V デバイス — 低速スルー・レートでの t_{xz} IOE ミクロパラメータ追加遅延

規格		5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5、I5		C4		C5、I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
3.3-V LVTTTL	16 mA	—	171	—	174	—	73	—	-132	ps
	8 mA	—	112	—	116	—	758	—	553	ps
3.3-V LVCMOS	8 mA	—	171	—	174	—	73	—	-132	ps
	4 mA	—	112	—	116	—	758	—	553	ps
2.5-V LVTTTL / LVCMOS	14 mA	—	213	—	213	—	32	—	-173	ps
	7 mA	—	166	—	166	—	714	—	509	ps
1.8-V LVTTTL / LVCMOS	6 mA	—	441	—	438	—	96	—	-109	ps
	3 mA	—	496	—	494	—	963	—	758	ps
1.5-V LVCMOS	4 mA	—	765	—	755	—	238	—	33	ps
	2 mA	—	903	—	897	—	1,319	—	1,114	ps
1.2-V LVCMOS	3 mA	—	1,159	—	1,130	—	400	—	195	ps
3.3-V PCI	20 mA	—	112	—	116	—	303	—	373	ps


 Quartus II デザイン・ソフトウェアでは、スルー・レートはデフォルトで「高速」に設定されています。

表 3-24. MAX V デバイスの UFM ブロックの内部タイミング・マイクロパラメータ (1 of 2)

シンボル	パラメータ	5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5、I5		C4		C5、I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
t_{ACLK}	アドレス・レジスタ・クロック周期	100	—	100	—	100	—	100	—	ns
t_{ASU}	アドレス・レジスタ・シフト信号のアドレス・レジスタ・クロックに対するセットアップ	20	—	20	—	20	—	20	—	ns
t_{AH}	アドレス・レジスタ・シフト信号のアドレス・レジスタ・クロックに対するホールド	20	—	20	—	20	—	20	—	ns
t_{ADS}	アドレス・レジスタ・データ・インのアドレス・レジスタ・クロックに対するセットアップ	20	—	20	—	20	—	20	—	ns
t_{ADH}	アドレス・レジスタ・データ・インのレジスタ・クロックからのホールド	20	—	20	—	20	—	20	—	ns
t_{DCLK}	データ・レジスタ・クロック周期	100	—	100	—	100	—	100	—	ns
t_{DSS}	データ・レジスタ・シフト信号のデータ・レジスタ・クロックに対するセットアップ	60	—	60	—	60	—	60	—	ns
t_{DSH}	データ・レジスタ・シフト信号のデータ・レジスタ・クロックからのホールド	20	—	20	—	20	—	20	—	ns
t_{DDS}	データ・レジスタ・データ・インのデータ・レジスタ・クロックに対するセットアップ	20	—	20	—	20	—	20	—	ns

表 3-24. MAX V デバイスの UFM ブロックの内部タイミング・マイクロパラメータ (2 of 2)

シンボル	パラメータ	5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5、I5		C4		C5、I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
t _{DDH}	データ・レジスタ・データ・インのデータ・レジスタ・クロックからのホールド	20	—	20	—	20	—	20	—	ns
t _{DP}	データ・クロック・ホールド・タイムに対するプログラム信号	0	—	0	—	0	—	0	—	ns
t _{PB}	プログラムの立ち上がりエッジから UFM busy 信号の立ち上がりエッジまでの最大遅延	—	960	—	960	—	960	—	960	ns
t _{BP}	UFM busy 信号 Low からプログラム信号 Low までの許容最小遅延	20	—	20	—	20	—	20	—	ns
t _{PPMX}	プログラム時の busy パルスの最大長	—	100	—	100	—	100	—	100	μs
t _{AE}	クロック・ホールド・タイムに対する最小 erase 信号	0	—	0	—	0	—	0	—	ns
t _{EB}	erase 信号の立ち上がりエッジから UFM ビジー信号の立ち上がりエッジまでの最大遅延	—	960	—	960	—	960	—	960	ns
t _{BE}	UFM busy 信号 Low から erase 信号 Low までの許容最小遅延	20	—	20	—	20	—	20	—	ns
t _{EPMX}	消去時の busy パルスの最大長	—	500	—	500	—	500	—	500	ms
t _{DCO}	データ・レジスタ・クロックからデータ・レジスタ出力までの遅延	—	5	—	5	—	5	—	5	ns
t _{OE}	OSC_ENA 信号が UFM に達してから内部の OSC によるクロックの立ち上がり出力されるまでの遅延	180	—	180	—	180	—	180	—	ns
t _{RA}	最大リード・アクセス・タイム	—	65	—	65	—	65	—	65	ns
t _{OSCS}	OSC_ENA の立ち上がりエッジから erase/program 信号の立ち上がりエッジまでの最大遅延	250	—	250	—	250	—	250	—	ns
t _{OSCH}	erase/program 信号 Low から OSC_ENA 信号 Low までの許容最小遅延	250	—	250	—	250	—	250	—	ns

図 3-3 から 図 3-5 に、表 3-24 に示す UFM ブロックのタイミング・パラメータに対するリード、プログラム、およびイレース波形を示します。

図 3-3. UFM リード波形

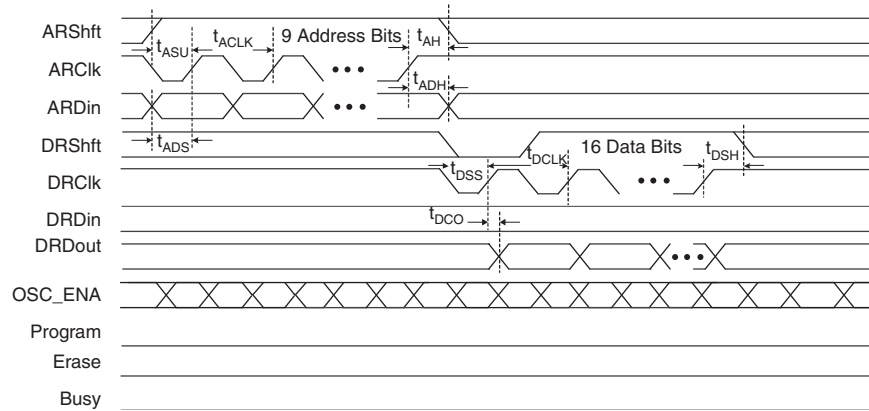


図 3-4. UFM プログラム波形

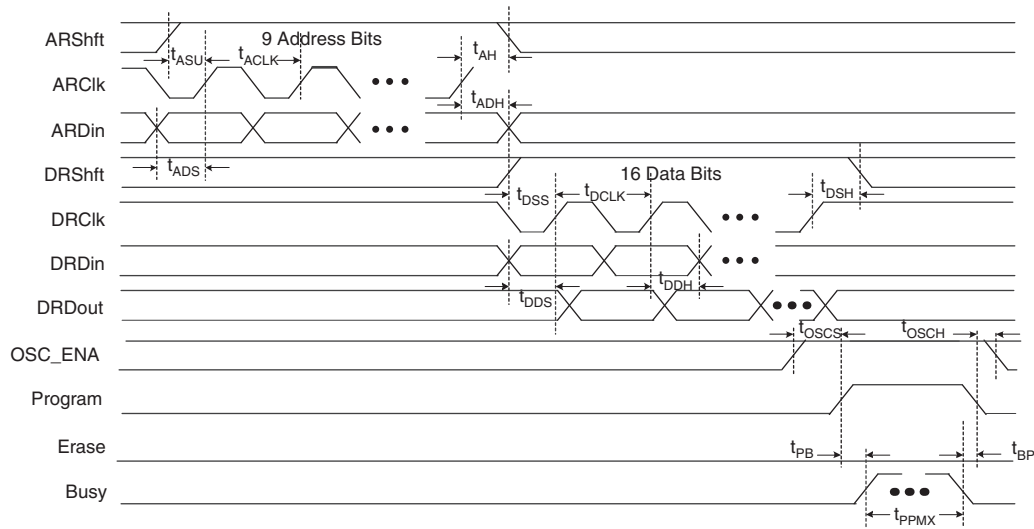


図 3-5. UFM イレース波形

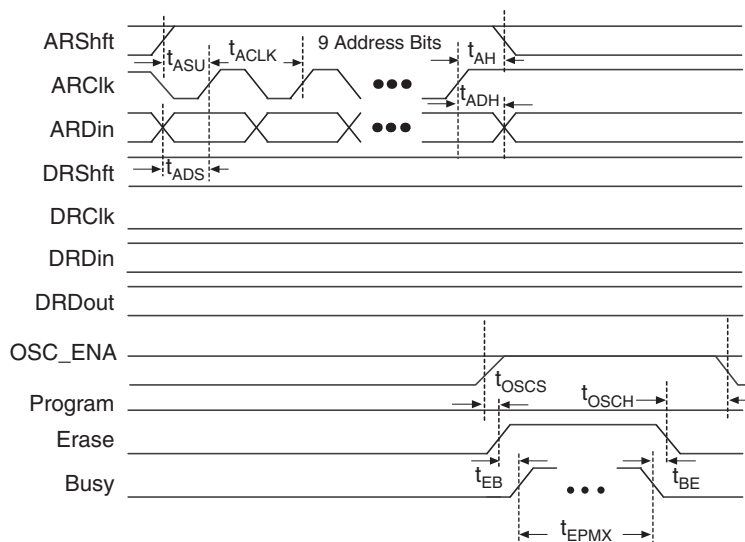


表 3-25. MAX V デバイス — 配線遅延の内部タイミング・マイクロパラメータ

配線	5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
	C4		C5, I5		C4		C5, I5		
	Min	Max	Min	Max	Min	Max	Min	Max	
t_{C4}	—	860	—	1,973	—	561	—	690	ps
t_{R4}	—	655	—	1,479	—	445	—	548	ps
t_{LOCAL}	—	1,143	—	2,947	—	731	—	899	ps

外部タイミング・パラメータ

外部タイミング・パラメータは、デバイスの集積度とスピード・グレード別に規定されています。ここに示す外部 I/O タイミング・パラメータはすべて、最大ドライブ強度および高速スルー・レートでの 3.3-V LVTTTL I/O 規格に対するものです。LVTTTL 以外の規格または異なる電流値を使用する外部 I/O タイミングについては、22 ページの表 3-32 から 24 ページの表 3-36 に示す I/O 規格の入力および出力の追加遅延を使用してください。

各外部タイミング・パラメータ・シンボルについては、[「AN629: Understanding Timing in Altera CPLDs」](#) を参照してください。

表 3-26 に、5M40Z、5M80Z、5M160Z、および 5M240Z デバイスの外部 I/O タイミング・パラメータを示します。

表 3-26. 5M40Z、5M80Z、5M160Z、および 5M240Z デバイスのグローバル・クロック外部 I/O タイミング・パラメータ (注 1), (2)

シンボル	パラメータ	条件	C4		C5、I5		単位
			Min	Max	Min	Max	
t _{PD1}	1つの LUT を介したワースト・ケースのピン間遅延	10 pF	—	7.9	—	14.0	ns
t _{PD2}	1つの LUT を介したベスト・ケースのピン間遅延	10 pF	—	5.8	—	8.5	ns
t _{SU}	グローバル・クロックのセットアップ時間	—	2.4	—	4.6	—	ns
t _H	グローバル・クロックのホールド時間	—	0	—	0	—	ns
t _{CO}	グローバル・クロックから出力までの伝播遅延	10 pF	2.0	6.6	2.0	8.6	ns
t _{CH}	グローバル・クロックの High レベル時間	—	253	—	339	—	ps
t _{CL}	グローバル・クロックの Low レベル時間	—	253	—	339	—	ps
t _{CNT}	16 ビット・カウンタのグローバル・クロック最小周期	—	5.4	—	8.4	—	ns
f _{CNT}	16 ビット・カウンタの最大グローバル・クロック周波数	—	—	184.1	—	118.3	MHz

表 3-26 の注：

- (1) 最大周波数は、クロック入力ピンに対する I/O 規格によって制限されます。16 ビット・カウンタのクリティカル遅延は、このグローバル・クロック入力ピンの最大周波数よりも高速になります。
- (2) 5M240Z デバイスの T144 パッケージには適用されません。

表 3-27 に、5M240Z デバイスの T144 パッケージの外部 I/O タイミング・パラメータを示します。

表 3-27. 5M240Z デバイスのグローバル・クロック外部 I/O タイミング・パラメータ (注 1), (2)

シンボル	パラメータ	条件	C4		C5、I5		単位
			Min	Max	Min	Max	
t _{PD1}	1つの LUT を介したワースト・ケースのピン間遅延	10 pF	—	9.5	—	17.7	ns
t _{PD2}	1つの LUT を介したベスト・ケースのピン間遅延	10 pF	—	5.7	—	8.5	ns
t _{SU}	グローバル・クロックのセットアップ時間	—	2.2	—	4.4	—	ns
t _H	グローバル・クロックのホールド時間	—	0	—	0	—	ns
t _{CO}	グローバル・クロックから出力までの伝播遅延	10 pF	2.0	6.7	2.0	8.7	ns
t _{CH}	グローバル・クロックの High レベル時間	—	253	—	339	—	ps
t _{CL}	グローバル・クロックの Low レベル時間	—	253	—	339	—	ps
t _{CNT}	16 ビット・カウンタのグローバル・クロック最小周期	—	5.4	—	8.4	—	ns
f _{CNT}	16 ビット・カウンタの最大グローバル・クロック周波数	—	—	184.1	—	118.3	MHz

表 3-27 の注：

- (1) 最大周波数は、クロック入力ピンに対する I/O 規格によって制限されます。16 ビット・カウンタのクリティカル遅延は、このグローバル・クロック入力ピンの最大周波数よりも高速になります。
- (2) 5M240Z デバイスの T144 パッケージにのみ適用されます。

表 3-28 に、5M570Z デバイスの外部 I/O タイミング・パラメータを示します。

表 3-28. 5M570Z デバイスのグローバル・クロック外部 I/O タイミング・パラメータ (注 1)

シンボル	パラメータ	条件	C4		C5、I5		単位
			Min	Max	Min	Max	
t_{PD1}	1つの LUT を介したワースト・ケースのピン間遅延	10 pF	—	9.5	—	17.7	ns
t_{PD2}	1つの LUT を介したベスト・ケースのピン間遅延	10 pF	—	5.7	—	8.5	ns
t_{SU}	グローバル・クロックのセットアップ時間	—	2.2	—	4.4	—	ns
t_H	グローバル・クロックのホールド時間	—	0	—	0	—	ns
t_{CO}	グローバル・クロックから出力までの伝播遅延	10 pF	2.0	6.7	2.0	8.7	ns
t_{CH}	グローバル・クロックの High レベル時間	—	253	—	339	—	ps
t_{CL}	グローバル・クロックの Low レベル時間	—	253	—	339	—	ps
t_{CNT}	16 ビット・カウンタのグローバル・クロック最小周期	—	5.4	—	8.4	—	ns
f_{CNT}	16 ビット・カウンタの最大グローバル・クロック周波数	—	—	184.1	—	118.3	MHz

表 3-28 の注：

- (1) 最大周波数は、クロック入力ピンに対する I/O 規格によって制限されます。16 ビット・カウンタのクリティカル遅延は、このグローバル・クロック入力ピンの最大周波数よりも高速になります。

表 3-29 に、5M1270Z デバイスの外部 I/O タイミング・パラメータを示します。

表 3-29. 5M1270Z デバイスのグローバル・クロック外部 I/O タイミング・パラメータ (注 1)、(2)

シンボル	パラメータ	条件	C4		C5、I5		単位
			Min	Max	Min	Max	
t_{PD1}	1つの LUT を介したワースト・ケースのピン間遅延	10 pF	—	8.1	—	10.0	ns
t_{PD2}	1つの LUT を介したベスト・ケースのピン間遅延	10 pF	—	4.8	—	5.9	ns
t_{SU}	グローバル・クロックのセットアップ時間	—	1.5	—	1.9	—	ns
t_H	グローバル・クロックのホールド時間	—	0	—	0	—	ns
t_{CO}	グローバル・クロックから出力までの伝播遅延	10 pF	2.0	5.9	2.0	7.3	ns
t_{CH}	グローバル・クロックの High レベル時間	—	216	—	266	—	ps
t_{CL}	グローバル・クロックの Low レベル時間	—	216	—	266	—	ps
t_{CNT}	16 ビット・カウンタのグローバル・クロック最小周期	—	4.0	—	5.0	—	ns
f_{CNT}	16 ビット・カウンタの最大グローバル・クロック周波数	—	—	247.5	—	201.1	MHz

表 3-29 の注：

- (1) 最大周波数は、クロック入力ピンに対する I/O 規格によって制限されます。16 ビット・カウンタのクリティカル遅延は、このグローバル・クロック入力ピンの最大周波数よりも高速になります。
- (2) 5M1270Z デバイスの F324 パッケージには適用されません。

表 3-30 に、5M1270Z デバイスの F324 パッケージの外部 I/O タイミング・パラメータを示します。

表 3-30. 5M1270Z デバイスのグローバル・クロック外部 I/O タイミング・パラメータ (注 1)、(2)

シンボル	パラメータ	条件	C4		C5, I5		単位
			Min	Max	Min	Max	
t _{PD1}	1 つの LUT を介したワースト・ケースのピン間遅延	10 pF	—	9.1	—	11.2	ns
t _{PD2}	1 つの LUT を介したベスト・ケースのピン間遅延	10 pF	—	4.8	—	5.9	ns
t _{SU}	グローバル・クロックのセットアップ時間	—	1.5	—	1.9	—	ns
t _H	グローバル・クロックのホールド時間	—	0	—	0	—	ns
t _{CO}	グローバル・クロックから出力までの伝播遅延	10 pF	2.0	6.0	2.0	7.4	ns
t _{CH}	グローバル・クロックの High レベル時間	—	216	—	266	—	ps
t _{CL}	グローバル・クロックの Low レベル時間	—	216	—	266	—	ps
t _{CNT}	16 ビット・カウンタのグローバル・クロック最小周期	—	4.0	—	5.0	—	ns
f _{CNT}	16 ビット・カウンタの最大グローバル・クロック周波数	—	—	247.5	—	201.1	MHz

表 3-30 の注：

- (1) 最大周波数は、クロック入力ピンに対する I/O 規格によって制限されます。16 ビット・カウンタのクリティカル遅延は、このグローバル・クロック入力ピンの最大周波数よりも高速になります。
- (2) 5M1270Z デバイスの F324 パッケージにのみ適用されます。

表 3-31 に、5M2210Z デバイスの外部 I/O タイミング・パラメータを示します。

表 3-31. 5M2210Z デバイスのグローバル・クロック外部 I/O タイミング・パラメータ (注 1)

シンボル	パラメータ	条件	C4		C5, I5		単位
			Min	Max	Min	Max	
t _{PD1}	1 つの LUT を介したワースト・ケースのピン間遅延	10 pF	—	9.1	—	11.2	ns
t _{PD2}	1 つの LUT を介したベスト・ケースのピン間遅延	10 pF	—	4.8	—	5.9	ns
t _{SU}	グローバル・クロックのセットアップ時間	—	1.5	—	1.9	—	ns
t _H	グローバル・クロックのホールド時間	—	0	—	0	—	ns
t _{CO}	グローバル・クロックから出力までの伝播遅延	10 pF	2.0	6.0	2.0	7.4	ns
t _{CH}	グローバル・クロックの High レベル時間	—	216	—	266	—	ps
t _{CL}	グローバル・クロックの Low レベル時間	—	216	—	266	—	ps
t _{CNT}	16 ビット・カウンタのグローバル・クロック最小周期	—	4.0	—	5.0	—	ns
f _{CNT}	16 ビット・カウンタの最大グローバル・クロック周波数	—	—	247.5	—	201.1	MHz

表 3-31 の注：

- (1) 最大周波数は、クロック入力ピンに対する I/O 規格によって制限されます。16 ビット・カウンタのクリティカル遅延は、このグローバル・クロック入力ピンの最大周波数よりも高速になります。

外部タイミング I/O 追加遅延

I/O 規格の入力および出力追加遅延と入力遅延に対する I/O 遅延タイミング・パラメータは、デバイスの集積度に関係なくスピード・グレードによって規定されています。

表 3-32 から 表 3-36 に、すべてのパッケージの I/O ピンに関連する追加遅延を示します。3.3-V LVTTTL 以外の I/O 規格を選択した場合、19 ページの表 3-26 から表 3-31 に示す外部 t_{SU} タイミング・パラメータに入力追加遅延を加算します。ドライブ強度が 16mA で高速スルー・レートの 3.3-V LVTTTL 以外の I/O 規格を選択した場合、19 ページの表 3-26 から表 3-31 に示す外部 t_{CO} および t_{PD} に出力追加遅延を加算します。

表 3-32. MAX V デバイスの外部タイミング入力追加遅延

I/O 規格		5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5、I5		C4		C5、I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
3.3-V LVTTTL	シュミット・トリガなし	—	0	—	0	—	0	—	0	ps
	シュミット・トリガ付き	—	387	—	442	—	480	—	591	ps
3.3-V LVCMOS	シュミット・トリガなし	—	0	—	0	—	0	—	0	ps
	シュミット・トリガ付き	—	387	—	442	—	480	—	591	ps
2.5-V LVTTTL / LVCMOS	シュミット・トリガなし	—	42	—	42	—	246	—	303	ps
	シュミット・トリガ付き	—	429	—	483	—	787	—	968	ps
1.8-V LVTTTL / LVCMOS	シュミット・トリガなし	—	378	—	368	—	695	—	855	ps
1.5-V LVCMOS	シュミット・トリガなし	—	681	—	658	—	1,334	—	1,642	ps
1.2-V LVCMOS	シュミット・トリガなし	—	1,055	—	1,010	—	2,324	—	2,860	ps
3.3-V PCI	シュミット・トリガなし	—	0	—	0	—	0	—	0	ps

表 3-33. MAX V デバイスの GCLK ピンの外部タイミング入力追加遅延 t_{GLOB}

I/O 規格		5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5、I5		C4		C5、I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
3.3-V LVTTTL	シュミット・トリガなし	—	0	—	0	—	0	—	0	ps
	シュミット・トリガ付き	—	387	—	442	—	400	—	493	ps
3.3-V LVCMOS	シュミット・トリガなし	—	0	—	0	—	0	—	0	ps
	シュミット・トリガ付き	—	387	—	442	—	400	—	493	ps
2.5-V LVTTTL / LVCMOS	シュミット・トリガなし	—	42	—	42	—	27	—	33	ps
	シュミット・トリガ付き	—	429	—	483	—	550	—	677	ps
1.8-V LVTTTL / LVCMOS	シュミット・トリガなし	—	378	—	368	—	459	—	565	ps
1.5-V LVCMOS	シュミット・トリガなし	—	681	—	658	—	1,111	—	1,368	ps
1.2-V LVCMOS	シュミット・トリガなし	—	1,055	—	1,010	—	2,067	—	2,544	ps
3.3-V PCI	シュミット・トリガなし	—	0	—	0	—	7	—	9	ps

表 3-34. MAX V デバイスの高速スルー・レート時の外部タイミング出力遅延および追加遅延 t_{od}

I/O 規格		5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5、I5		C4		C5、I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
3.3-V LVTTTL	16 mA	—	0	—	0	—	0	—	0	ps
	8 mA	—	39	—	58	—	84	—	104	ps
3.3-V LVCMOS	8 mA	—	0	—	0	—	0	—	0	ps
	4 mA	—	39	—	58	—	84	—	104	ps
2.5-V LVTTTL / LVCMOS	14 mA	—	122	—	129	—	158	—	195	ps
	7 mA	—	196	—	188	—	251	—	309	ps
1.8-V LVTTTL / LVCMOS	6 mA	—	624	—	624	—	738	—	909	ps
	3 mA	—	686	—	694	—	850	—	1,046	ps
1.5-V LVCMOS	4 mA	—	1,188	—	1,184	—	1,376	—	1,694	ps
	2 mA	—	1,279	—	1,280	—	1,517	—	1,867	ps
1.2-V LVCMOS	3 mA	—	1,911	—	1,883	—	2,206	—	2,715	ps
3.3-V PCI	20 mA	—	39	—	58	—	4	—	5	ps
LVDS	—	—	122	—	129	—	158	—	195	ps
RSDS	—	—	122	—	129	—	158	—	195	ps

表 3-35. MAX V デバイスの低速スルー・レート時の外部タイミング出力遅延および追加遅延 t_{od}

I/O 規格		5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
		C4		C5、I5		C4		C5、I5		
		Min	Max	Min	Max	Min	Max	Min	Max	
3.3-V LVTTTL	16 mA	—	5,913	—	6,043	—	6,612	—	6,293	ps
	8 mA	—	6,488	—	6,645	—	7,313	—	6,994	ps
3.3-V LVCMOS	8 mA	—	5,913	—	6,043	—	6,612	—	6,293	ps
	4 mA	—	6,488	—	6,645	—	7,313	—	6,994	ps
2.5-V LVTTTL / LVCMOS	14 mA	—	9,088	—	9,222	—	10,021	—	9,702	ps
	7 mA	—	9,808	—	9,962	—	10,881	—	10,562	ps
1.8-V LVTTTL / LVCMOS	6 mA	—	21,758	—	21,782	—	21,134	—	20,815	ps
	3 mA	—	23,028	—	23,032	—	22,399	—	22,080	ps
1.5-V LVCMOS	4 mA	—	39,068	—	39,032	—	34,499	—	34,180	ps
	2 mA	—	40,578	—	40,542	—	36,281	—	35,962	ps
1.2-V LVCMOS	3 mA	—	69,332	—	70,257	—	55,796	—	55,477	ps
3.3-V PCI	20 mA	—	6,488	—	6,645	—	339	—	418	ps

表 3-36. MAX V デバイスの IOE プログラマブル遅延

パラメータ	5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z				5M1270Z/ 5M2210Z				単位
	C4		C5、I5		C4		C5、I5		
	Min	Max	Min	Max	Min	Max	Min	Max	
ピンから内部セルまでの入力遅延 = 1	—	1,858	—	2,214	—	1,592	—	1,960	ps
ピンから内部セルまでの入力遅延 = 0	—	569	—	616	—	115	—	142	ps

最大入力および出力クロック・レート

表 3-37 および 表 3-38 に、MAX V デバイスの標準 I/O ピンの最大入力および出力クロック・レートを示します。

表 3-37. MAX V デバイスの I/O の最大入力クロック・レート

I/O 規格		5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z/5M1270Z/ 5M2210Z	単位
		C4、C5、I5	
3.3-V LVTTTL	シュミット・トリガなし	304	MHz
	シュミット・トリガ付き	304	MHz
3.3-V LVCMOS	シュミット・トリガなし	304	MHz
	シュミット・トリガ付き	304	MHz
2.5-V LVTTTL	シュミット・トリガなし	304	MHz
	シュミット・トリガ付き	304	MHz
2.5-V LVCMOS	シュミット・トリガなし	304	MHz
	シュミット・トリガ付き	304	MHz
1.8-V LVTTTL	シュミット・トリガなし	200	MHz
1.8-V LVCMOS	シュミット・トリガなし	200	MHz
1.5-V LVCMOS	シュミット・トリガなし	150	MHz
1.2-V LVCMOS	シュミット・トリガなし	120	MHz
3.3-V PCI	シュミット・トリガなし	304	MHz

表 3-38. MAX V デバイスの I/O の最大出力クロック・レート (1 of 2)

I/O 規格	5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z/5M1270Z/ 5M2210Z	単位
	C4、C5、I5	
3.3-V LVTTTL	304	MHz
3.3-V LVCMOS	304	MHz
2.5-V LVTTTL	304	MHz
2.5-V LVCMOS	304	MHz
1.8-V LVTTTL	200	MHz
1.8-V LVCMOS	200	MHz

表 3-38. MAX V デバイスの I/O の最大出力クロック・レート (2 of 2)

I/O 規格	5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z/5M1270Z/ 5M2210Z	単位
	C4, C5, I5	
1.5-V LVCMOS	150	MHz
1.2-V LVCMOS	120	MHz
3.3-V PCI	304	MHz
LVDS	304	MHz
RSDS	200	MHz

LVDS および RSDS 出力タイミング仕様

表 3-39 に、MAX V デバイスのエミュレートされた LVDS 出力のタイミング仕様を示します。

表 3-39. MAX V デバイスのエミュレートされた LVDS 出力のタイミング仕様

パラメータ	モード	5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z/5M1270Z/ 5M2210Z		単位
		C4, C5, I5		
		Min	Max	
データ・レート (1)、(2)	×10	—	304	Mbps
	×9	—	304	Mbps
	×8	—	304	Mbps
	×7	—	304	Mbps
	×6	—	304	Mbps
	×5	—	304	Mbps
	×4	—	304	Mbps
	×3	—	304	Mbps
	×2	—	304	Mbps
	×1	—	304	Mbps
t _{DUTY}	—	45	55	%
全ジッタ (3)	—	—	0.2	UI
t _{RISE}	—	—	450	ps
t _{FALL}	—	—	450	ps

表 3-39 の注：

- (1) LVDS_E_3R トランスミッタ・システムのパフォーマンスは、LVDS_E_3R I/O バッファのサポートする最大データ・レート、または ALTLVDS_TX インスタンスの F_{MAX} の二倍のうち、いずれか低い方で制限されます。LVDS_E_3R トランスミッタの実際のパフォーマンスは、全デザインを Quartus II タイミング解析で解析して確認する必要があります。
- (2) 入力ピンが 304Mbps を達成するようにするためには、2.5 V 以上の V_{CCIO} を持つ I/O 規格を使用してください。
- (3) この仕様はクリーンな外部クロック・ソースに基づいています。

表 3-40 に、MAX V デバイスのエミュレートされた RSDS 出力のタイミング仕様を示します。

表 3-40. MAX V デバイスのエミュレートされた RSDS 出力のタイミング仕様

パラメータ	モード	5M40Z/ 5M80Z/ 5M160Z/ 5M240Z/ 5M570Z/5M1270Z/ 5M2210Z		単位
		C4、C5、I5		
		Min	Max	
データ・レート (1)	×10	—	200	Mbps
	×9	—	200	Mbps
	×8	—	200	Mbps
	×7	—	200	Mbps
	×6	—	200	Mbps
	×5	—	200	Mbps
	×4	—	200	Mbps
	×3	—	200	Mbps
	×2	—	200	Mbps
×1	—	200	Mbps	
t_{DUTY}	—	45	55	%
全ジッタ (2)	—	—	0.2	UI
t_{RISE}	—	—	450	ps
t_{FALL}	—	—	450	ps

表 3-40 の注：

- (1) 入力クロック・ピンが 200Mbps を達成するようにするためには、1.8 V 以上の V_{CCIO} を持つ I/O 規格を使用してください。
- (2) この仕様は、クリーンな外部クロック・リソースに基づいています。

JTAG タイミング仕様

図 3-6 に、MAX V デバイス・ファミリの JTAG 信号のタイミング波形を示します。

図 3-6. MAX V デバイスの JTAG タイミング波形

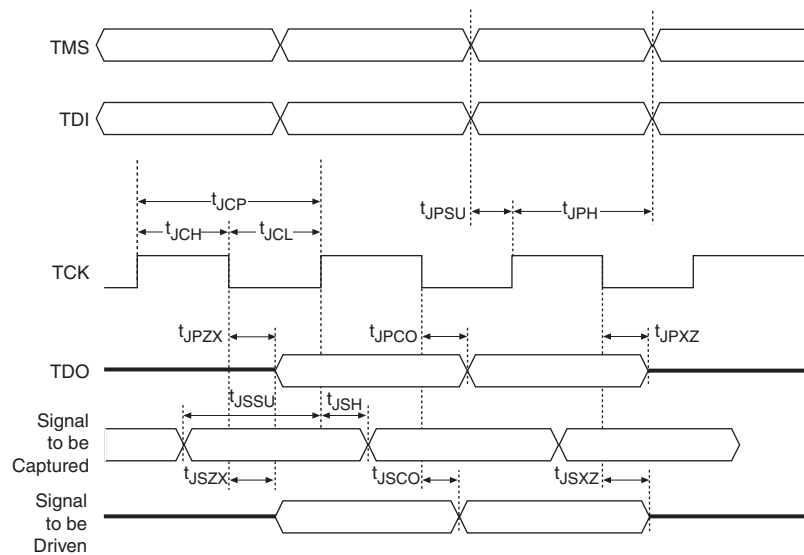


表 3-41 に、MAX V デバイス・ファミリの JTAG タイミング・パラメータとその値を示します。

表 3-41. JTAG Timing Parameters for MAX V Devices

シンボル	パラメータ	Min	Max	単位
t_{JCP} (1)	$V_{CCIO1} = 3.3\text{ V}$ の TCK クロック周期	55.5	—	ns
	$V_{CCIO1} = 2.5\text{ V}$ の TCK クロック周期	62.5	—	ns
	$V_{CCIO1} = 1.8\text{ V}$ の TCK クロック周期	100	—	ns
	$V_{CCIO1} = 1.5\text{ V}$ の TCK クロック周期	143	—	ns
t_{JCH}	TCK クロックの High 時間	20	—	ns
t_{JCL}	TCK クロックの Low 時間	20	—	ns
t_{JPSU}	JTAG ポートのセットアップ・タイム (2)	8	—	ns
t_{JPH}	JTAG ポートのホールド時間	10	—	ns
t_{JPCO}	JTAG ポートの Clock-to-Output 遅延 (2)	—	15	ns
t_{JPZX}	JTAG ポートのハイ・インピーダンスから有効出力まで (2)	—	15	ns
t_{JPXZ}	JTAG ポートの有効出力からハイ・インピーダンスまで (2)	—	15	ns
t_{JSSU}	キャプチャ・レジスタのセットアップ・タイム	8	—	ns
t_{JSH}	キャプチャ・レジスタのホールド・タイム	10	—	ns
t_{JSCO}	アップデート・レジスタの Clock-to-Output 遅延	—	25	ns
t_{JSZX}	アップデート・レジスタのハイ・インピーダンスから有効出力まで	—	25	ns
t_{JSXZ}	アップデート・レジスタの有効出力からハイ・インピーダンスまで	—	25	ns

表 3-41 の注：

- (1) TDO ピンの 10 pF 負荷に対して規定される最小クロック周期。TDO の負荷が増加すると、最大 TCK 周波数が低下します。
- (2) この仕様は、JTAG ピンの 3.3-V LVTTTL/LVCMOS よび 2.5-V LVTTTL/LVCMOS 動作に対するものです。1.8-V LVTTTL/LVCMOS および 1.5 V LVCMOS 動作の場合、 t_{JPSU} の最小値は 6 ns、 t_{JPCO} 、 t_{JPZX} 、および t_{JPXZ} は 35 ns で最大値です。

改訂履歴

表 3-42 に、本資料の改訂履歴を示します。

表 3-42. 改訂履歴

日付	バージョン	変更
2011 年 1 月	1.1	表 3-37、表 3-38、表 3-39、および表 3-40 を更新
2010 年 12 月	1.0	初版

