

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

MV51001-1.1

低価格で低消費電力という特徴を兼ね備えたアルテラの MAX[®] V CPLD は、ほかの CPLD より多くの集積度および面積あたりの I/O 数を提供します。40 個から 2210 個のロジック・エレメント (LE) (すなわち 32 ~ 1700 個の等価マクロセル) の集積度範囲および最大 271 個の I/O で提供される MAX V デバイスは、I/O 拡張、バス・ブリッジ、プロトコル・ブリッジ、消費電力の監視と制御、FPGA コンフィギュレーション、およびアナログ IC インタフェースなどのアプリケーションに対してプログラマブル・ソリューションを提供します。

MAX V デバイスはオンチップのフラッシュ・ストレージ、内蔵オシレータ、およびメモリ機能を備えています。MAX V CPLD のトータル消費電力は同等集積度の競合 CPLD の半分程度で、単一電源で駆動できるため、低消費電力デザインの要件を満たすのに役立ちます。

この章は、以下の項で構成されています。

- 1-1 ページの「特長の概要」
- 1-3 ページの「統合ソフトウェア・プラットフォーム」
- 1-4 ページの「デバイス・ピン配置」
- 1-4 ページの「製品コード」

特長の概要

以下に、MAX V デバイス・ファミリの特長をまとめます。

- 低コストと低消費電力で不揮発性アーキテクチャを提供
- インスタント・オン (0.5 ミリ秒以下) のコンフィギュレーション時間
- わずか 25 uA の低い待機時電流、迅速なパワーダウン/リセット動作
- 高速伝播遅延および Clock-to-Output タイム
- 内蔵オシレータ
- 200 Mbps までのデータ・レートに対応しているエミュレートされた RSDS 出力をサポート
- 304 Mbps までのデータ・レートに対応しているエミュレートされた LVDS 出力をサポート
- ロジック・アレイ・ブロック (LAB) ごとに 2 つのクロックを使用できる 4 つのグローバル・クロック
- 最大 8 ビットの非揮発性情報を格納するユーザー・フラッシュ・メモリ (UFM) ブロック (最大 1000 リード/ライト・サイクルまで)
- デバイス・コアに電源を供給する単一の 1.8V 電源
- 3.3 V、2.5 V、1.8 V、1.5 V および 1.2 V のロジック・レベルをサポートする MultiVolt I/O インタフェース

© 2011 Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX are Reg. U.S. Pat. & Tm. Off. and/or trademarks of Altera Corporation in the U.S. and other countries. All other trademarks and service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



- プログラマブル・スルー・レート、ドライブ強度、バス・ホールド、およびプログラマブル・プルアップ抵抗など、バスを扱いやすいアーキテクチャ
- 耐ノイズ製に優れた入力を可能にするシュミット・トリガ（ピンごとにプログラム可能）
- I/O が 3.3V の PCI-SIG® PCI Local Bus Specification (Rev. 2.2) に完全準拠
- ホット・ソケット仕様に準拠
- IEEE Std. 1149.1-1990 準拠の JTAG (Joint Test Action Group) バウンダリ・スキャン・テスト (BST) 回路を内蔵

表 1-1 に、MAX V ファミリの機能を示します。

表 1-1. MAX V ファミリの機能


機能	5M40Z	5M80Z	5M160Z	5M240Z	5M570Z	5M1270Z	5M2210Z
LE	40	80	160	240	570	1,270	2,210
標準等価マクロセル数	32	64	128	192	440	980	1,700
ユーザー・フラッシュ・メモリ (ビット)	8,192	8,192	8,192	8,192	8,192	8,192	8,192
グローバル・クロック	4	4	4	4	4	4	4
内蔵オシレータ	1	1	1	1	1	1	1
最大ユーザ I/O ピン数	54	79	79	114	159	271	271
t_{PD1} (ns) (1)	7.5	7.5	7.5	7.5	9.0	6.2	7.0
f_{CNT} (MHz) (2)	152	152	152	152	152	304	304
t_{SU} (ns)	2.3	2.3	2.3	2.3	2.2	1.2	1.2
t_{CO} (ns)	6.5	6.5	6.5	6.5	6.7	4.6	4.6

表 1-1 の注：

- (1) t_{PD1} は、デバイスを対角線上に横切るパスを使用し、単一 LUT と出力ピンに隣接する LAB に組み合わせロジックを実装したワースト・ケースの I/O 配置に対するピン間遅延を表します。
- (2) 最大グローバル・クロック周波数 (f_{CNT}) は、クロック入力ピンに対する I/O 規格によって制限されます。16 ビット・カウンタのクリティカル遅延は、この値よりも高速になります。

MAX V デバイスは、VCCINT ピンで 1.8V を受け入れます。1.8 V V_{CCINT} 外部電源は、デバイス・コアに直接電源供給します。MAX V デバイスは、内部では 1.8 V で動作します。サポートされる MultiVolt I/O インタフェース電圧レベル (V_{CCIO}) は 1.2 V、1.5 V、1.8 V、2.5 V、および 3.3 V です。

MAX V デバイスは、-4 および -5 の 2 つのスピード・グレードで提供されており、-4 が最も高速です。商用アプリケーションの場合、-C4 および -C5 のスピード・グレードが提供されています。工業用アプリケーションの場合は、-I5 のスピード・グレードが提供されています。これらのスピード・グレードは、全体的な相対性能を表すもので、特定のタイミング・パラメータを表すものではありません。

 各スピード・グレードおよび集積度における伝播遅延タイミングの数値については、[「DC and Switching Characteristics for MAX V Devices」](#) の章を参照してください。

MAX V デバイスは、実装スペースを節減する FineLine BGA (FBGA)、Micro FineLine BGA (MBGA)、プラスチック・エンハンスド・クワッド・フラット・パック (EQFP)、および薄型クワッド・フラット・パック (TQFP) パッケージで提供されています (表 1-2 および表 1-3 を参照)。MAX V デバイスは、同一パッケージにおけるパーティカル・マイグレーションをサポートしています (例えば、256 ピ

ン FineLine BGA パッケージの 5M570Z、5M1270Z、5M2210Z デバイス間でマイグレーションが可能です)。バーティカル・マイグレーションとは、専用ピンおよび JTAG ピンが同じで、電源ピンが各デバイス集積度において、特定のパッケージに対するサブセットまたはスーパーセットとなるデバイスにマイグレーションできることを意味します。どのパッケージにおいても、集積度が最大のデバイスが電源ピンを最も多く備えています。したがって、マイグレーションに必要な電源ピンを供給するには、該当するパッケージの計画最大集積度に対応してレイアウトすることが必要です。I/O ピンのマイグレーションでは、I/O ピンがマイグレーション可能かを確認するために所定のパッケージ・タイプの計画されるすべての集積度に対するデバイスのピン配置を利用して、使用可能な I/O ピンを照合させる必要があります。Quartus® II ソフトウェアは、デバイスのマイグレーション・リストが指定されると、自動的に相互参照を行ってすべてのピンをマイグレーションに対応させて配置します。

表 1-2. MAX V パッケージおよびユーザー I/O ピン (注 1)

デバイス	64 ピン MBGA	64 ピン EQFP	68 ピン MBGA	100 ピン TQFP	100 ピン MBGA	144 ピン TQFP	256 ピン FBGA	324 ピン FBGA
5M40Z	30	54	—	—	—	—	—	—
5M80Z	30	54	52	79	—	—	—	—
5M160Z	—	54	52	79	79	—	—	—
5M240Z	—	—	52	79	79	114	—	—
5M570Z	—	—	—	74	74	114	159	—
5M1270Z	—	—	—	—	—	114	211	271
5M2210Z	—	—	—	—	—	—	203	271

表 1-2 の注：


(1) 同じ矢印の区分にあるデバイス・パッケージはバーティカル・マイグレーションが可能です。

表 1-3. MAX V のパッケージ・サイズ

パッケージ	64 ピン MBGA	64 ピン EQFP	68 ピン MBGA	100 ピン TQFP	100 ピン MBGA	144 ピン TQFP	256 ピン FBGA	324 ピン FBGA
ピッチ (mm)	0.5	0.4	0.5	0.5	0.5	0.5	1	1
面積 (mm ²)	20.25	49	25	196	36	400	289	361
長さ × 幅 (mm × mm)	4.5 × 4.5	7 × 7	5 × 5	14 × 14	6 × 6	20 × 20	17 × 17	19 × 19

統合ソフトウェア・プラットフォーム

Quartus II ソフトウェアは、HDL および回路図によるデザイン入力、コンパイルおよび論理合成、完全なシミュレーションおよび最新のタイミング解析、および MAX V デザインのプログラミングなどの機能に対する統合環境を提供します。

 Quartus II ソフトウェアの機能について詳しくは、「[Quartus II Handbook](#)」を参照してください。

Quartus II ソフトウェアのイン・システム・ソースおよびプローブ・エディタによって MAX V デザインをデバッグできます。この機能により、任意の内部信号を容易に制御でき、完全にダイナミックなデバッグ環境を提供します。

イン・システム・ソースおよびプローブ・エディタについては、「Quartus II ハンドブック」の「*Design Debugging Using In-System Sources and Probes*」の章を参照してください。

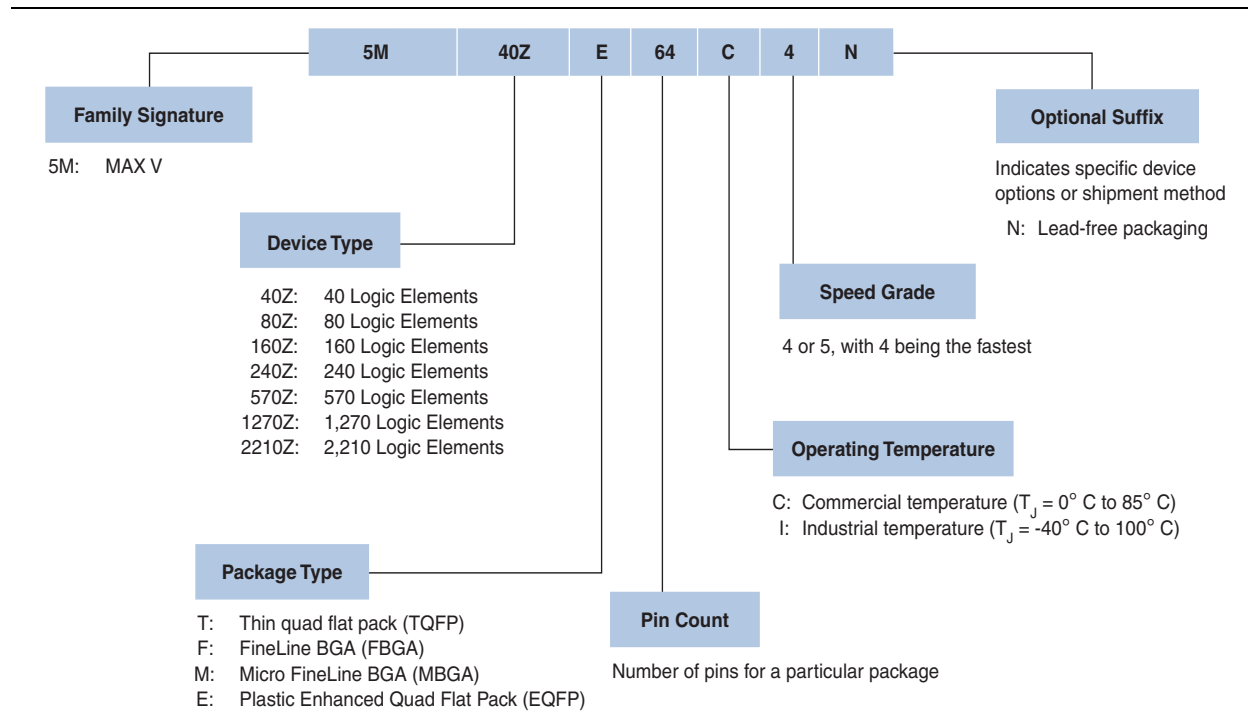
デバイス・ピン配置

詳細については、「MAX V Device Pin-Out Files」のページを参照してください。

製品コード

図 1-1 に、MAX V デバイスの製品コードを示します。

図 1-1. MAX V デバイスの製品コード情報



改訂履歴

表 1-4 に、本資料の改訂履歴を示します。

表 1-4. 改訂履歴

日付	バージョン	変更内容
2011年1月	1.1	「特長の概要」の項を更新。
2010年12月	1.0	初版。