



MAX 10 の汎用 I/O のユーザーガイド

UG-M10GPIO
2017.02.21

インテル® Quartus® Prime デザインスイートのための更新 16.0





目次

1 MAX[®] 10 I/O の概要	3
1.1 パッケージ別 MAX 10 デバイスの I/O リソース	3
1.2 MAX 10 I/O パーティカル・マイグレーション・サポート.....	5
2 MAX 10 I/O のアーキテクチャと機能	6
2.1 MAX 10 I/O 規格のサポート.....	6
2.1.1 MAX 10 I/O 規格の電圧およびピンのサポート.....	9
2.2 MAX 10 の I/O エLEMENT.....	11
2.2.1 MAX 10 I/O バンクのアーキテクチャ.....	12
2.2.2 MAX 10 I/O バンクの配置.....	13
2.3 MAX 10 の I/O バッファ.....	16
2.3.1 シュミット・トリガ入力バッファ.....	16
2.3.2 プログラム可能な I/O バッファ機能.....	16
2.4 I/O 規格の終端.....	23
2.4.1 電圧リファレンス形式 I/O 規格の終端処理.....	23
2.4.2 差動 I/O 規格の終端.....	24
2.4.3 MAX 10 オンチップ I/O 終端.....	25
3 MAX 10 I/O デザインの考慮事項	28
3.1 ガイドライン: V _{CCIO} 範囲における検討事項.....	28
3.2 ガイドライン: 電圧リファレンス形式 I/O 規格の制限.....	28
3.3 ガイドライン: LVTTTL / LVCMOS 入力バッファのクランプ・ダイオードを有効にする.....	29
3.4 ガイドライン: LVDS I/O 制約のルールへの準拠.....	30
3.5 ガイドライン: I/O 制約のルール.....	30
3.6 ガイドライン: アナログ-デジタル・コンバータの I/O 制約.....	30
3.7 ガイドライン: 外部メモリ・インタフェース I/O の制限.....	33
3.8 ガイドライン: 兼用コンフィグレーション・ピン.....	34
3.9 ガイドライン: MAX 10 E144 パッケージのクロックおよびデータ入力信号.....	35
4 MAX 10 I/O の実装ガイド	36
4.1 アルテラ GPIO ライト IP コア.....	36
4.1.1 アルテラ GPIO ライト IP コアのデータ・パス.....	37
4.2 ピン・マイグレーションの互換性の検証.....	39
5 アルテラ GPIO ライト IP コアの参考資料	40
5.1 アルテラ GPIO ライトのパラメータ設定.....	40
5.2 アルテラ GPIO ライトのインタフェース信号.....	42
A MAX 10 汎用 I/O ユーザー・ガイドのアーカイブ	44
B MAX 10 汎用 I/O ユーザー・ガイドの改訂履歴	45



1 MAX® 10 I/O の概要

MAX® 10 の汎用 I/O (GPIO) システムは、I/O エLEMENT (IOE) とアルテラ GPIO ライト IP コアから構成されています。

- IOE には、デバイス外周部の I/O バンクに配置されている双方向 I/O パッファおよび I/O レジスタが含まれます。
- アルテラ GPIO ライト IP コアは、ダブル・データ・レート I/O (DDIO)、遅延チェーン、I/O パッファ、コントロール信号、およびクロックの駆動を含む、GPIO コンポーネントおよび機能をサポートします。

関連情報

- 6 ページの [MAX 10 I/O のアーキテクチャと機能](#)
MAX 10 デバイスの I/O のアーキテクチャと機能に関する情報を提供します。
- 28 ページの [MAX 10 I/O デザインの考慮事項](#)
MAX 10 デバイスの I/O デザインガイドラインを提供します。
- 36 ページの [MAX 10 I/O の実装ガイド](#)
MAX 10 デバイスで I/O を実装するためのガイドラインを提供します。
- 40 ページの [アルテラ GPIO ライト IP コアの参考資料](#)
MAX 10 デバイスのアルテラ GPIO ライト IP コアのパラメータと信号を一覧表示します。
- 44 ページの [MAX 10 汎用 I/O ユーザーガイドのアーカイブ](#)
以前のバージョンのアルテラ Altera GPIO Lite IP コアのユーザーガイドのリストを提供します。

1.1 パッケージ別 MAX 10 デバイスの I/O リソース

表 1. MAX 10 シングル電源デバイスのパッケージ・プラン

デバイス	パッケージ			
	タイプ	M153 153 ピン MBGA	U169 169 ピン UBGA	E144 144 ピン EQFP
	サイズ	8 mm × 8 mm	11 mm × 11 mm	22 mm × 22 mm
	ボール・ピッチ	0.5 mm	0.8 mm	0.5 mm
10M02		112	130	101
10M04		112	130	101
10M08		112	130	101
10M16		—	130	101

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



デバイス	パッケージ			
	タイプ	M153 153 ピン MBGA	U169 169 ピン UBGA	E144 144 ピン EQFP
	サイズ	8 mm × 8 mm	11 mm × 11 mm	22 mm × 22 mm
	ボール・ピッチ	0.5 mm	0.8 mm	0.5 mm
10M25		—	—	101
10M40		—	—	101
10M50		—	—	101

表 2. MAX 10 デュアル電源デバイスのパッケージ・プラン

デバイス	パッケージ						
	タイプ	V36 36 ピン WLCSP	V81 81 ピン WLCSP	U324 324 ピン UBGA	F256 256 ピン FBGA	F484 484 ピン FBGA	F672 672 ピン FBGA
	サイズ	3 mm × 3 mm	4 mm × 4 mm	15 mm × 15 mm	17 mm × 17 mm	23 mm × 23 mm	27 mm × 27 mm
	ボール・ピッチ	0.4 mm	0.4 mm	0.8 mm	1.0 mm	1.0 mm	1.0 mm
10M02	27	—	160	—	—	—	
10M04	—	—	246	178	—	—	
10M08	—	56	246	178	250	—	
10M16	—	—	246	178	320	—	
10M25	—	—	—	178	360	—	
10M40	—	—	—	178	360	500	
10M50	—	—	—	178	360	500	



1.2 MAX 10 I/O バーティカル・マイグレーション・サポート

図 -1: MAX 10 デバイス・マイグレーションの範囲

- 矢印はマイグレーション・パスを表し、各バーティカル・マイグレーション・パスに含まれるデバイスが影付きで示されています。パッケージには、複数のマイグレーション・パスを持つものもあります。より少ない I/O リソースを持つデバイスは、同じパス内でも明るい色で示されています。
- 同じマイグレーション・パス内の製品ラインで完全な I/O マイグレーションを達成するには、I/O 数が最も低い製品ラインに合わせて I/O の使用を制限します。

Device	Package								
	V36	V81	M153	U169	U324	F256	E144	F484	F672
10M02			↑	↑	↑				
10M04			↓	↓	↓	↑	↑		
10M08			↑	↑	↑	↓	↓	↑	
10M16				↓	↓				
10M25						↓	↓	↓	
10M40						↑	↑	↑	↑
10M50						↓	↓	↓	↓

注意: ピン・マイグレーションの互換性を確認するには、Quartus[®] Prime ソフトウェアの Pin Planner で Pin Migration View ウィンドウを使用します。

関連情報

39 ページの [ピン・マイグレーションの互換性の検証](#)



2 MAX 10 I/O のアーキテクチャと機能

MAX 10 デバイスの I/O システムは様々な I/O 規格をサポートしています。MAX 10 デバイスでは、I/O ピンはデバイス外周部の I/O バンクに配置されています。I/O ピンならびに I/O バッファは、いくつかのプログラム可能な機能を有します。

関連情報

3 ページの MAX 10 I/O の概要

2.1 MAX 10 I/O 規格のサポート

MAX 10 デバイスは、シングル・エンド、電圧リファレンス形式シングル・エンドや、差動 I/O 規格を含む、幅広い I/O 規格をサポートしています。

表 3. MAX 10 デバイスでサポートされる I/O 規格

これらのデバイス・パッケージの以下に示す I/O バンクでは、電圧リファレンス形式 I/O 規格はサポートされていません。

- 10M02 の V36 パッケージでの全ての I/O バンク
- 10M08 の V81 パッケージでの全ての I/O バンク
- 10M50 の E144 でのバンク 1A と 1B

I/O 規格	タイプ	サポートされるデバイス	入力/出力		適用	規格サポート
			入力	出力		
3.3 V LVTTTL / 3.3 V LVCMOS	シングル・エンド	すべて	あり	あり	汎用	JESD8-B
3.0 V LVTTTL/3.0 V LVCMOS	シングル・エンド	すべて	あり	あり	汎用	JESD8-B
2.5 V LVCMOS	シングル・エンド	すべて	あり	あり	汎用	JESD8-5
1.8 V LVCMOS	シングル・エンド	すべて	あり	あり	汎用	JESD8-7
1.5 V LVCMOS	シングル・エンド	すべて	あり	あり	汎用	JESD8-11
1.2 V LVCMOS	シングル・エンド	すべて	あり	あり	汎用	JESD8-12
3.0 V PCI	シングル・エンド	すべて	あり	あり	汎用	PCI Rev. 2.2
3.3 V シュミット・トリガ	シングル・エンド	すべて	あり	—	汎用	—
2.5 V シュミット・トリガ	シングル・エンド	すべて	あり	—	汎用	—
1.8 V シュミット・トリガ	シングル・エンド	すべて	あり	—	汎用	—
1.5 V シュミット・トリガ	シングル・エンド	すべて	あり	—	汎用	—
SSTL-2 Class I	電圧リファレンス	すべて	あり	あり	DDR1	JESD8-9B

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



I/O 規格	タイプ	サポートされるデバイス	入力/出力		適用	規格サポート
			入力	出力		
SSTL-2 Class II	電圧リファレンス	すべて	あり	あり	DDR1	JESD8-9B
SSTL-18 Class I	電圧リファレンス	すべて	あり	あり	DDR2	JESD8-15
SSTL-18 Class II	電圧リファレンス	すべて	あり	あり	DDR2	JESD8-15
SSTL-15 Class I	電圧リファレンス	すべて	あり	あり	DDR3	—
SSTL-15 Class II	電圧リファレンス	すべて	あり	あり	DDR3	—
SSTL-15 ⁽¹⁾	電圧リファレンス	すべて	あり	あり	DDR3	JESD79-3D
SSTL-135 ⁽¹⁾	電圧リファレンス	すべて	あり	あり	DDR3L	—
1.8 V HSTL Class I	電圧リファレンス	すべて	あり	あり	DDR II+, QDR II+, RLD RAM 2	JESD8-6
1.8 V HSTL Class II	電圧リファレンス	すべて	あり	あり	DDR II+, QDR II+, RLD RAM 2	JESD8-6
1.5 V HSTL Class I	電圧リファレンス	すべて	あり	あり	DDR II+, QDR II+, QDR II, RLD RAM 2	JESD8-6
1.5 V HSTL Class II	電圧リファレンス	すべて	あり	あり	DDR II+, QDR II+, QDR II, RLD RAM 2	JESD8-6
1.2 V HSTL Class I	電圧リファレンス	すべて	あり	あり	汎用	JESD8-16A
1.2 V HSTL Class II	電圧リファレンス	すべて	あり	あり	汎用	JESD8-16A
HSUL-12 ⁽¹⁾	電圧リファレンス	すべて	あり	あり	LPDDR2	—
差動 SSTL-2 Class I および Class II	差動	すべて	あり ⁽²⁾	あり ⁽³⁾	DDR1	JESD8-9B
差動 SSTL-18 Class I および Class II	差動	すべて	あり ⁽²⁾	あり ⁽³⁾	DDR2	JESD8-15
差動 SSTL-15 Class I および Class II	差動	すべて	あり ⁽²⁾	あり ⁽³⁾	DDR3	—
差動 SSTL-15	差動	すべて	あり ⁽²⁾	あり ⁽³⁾	DDR3	JESD79-3D
差動 SSTL-135	差動	すべて	あり ⁽²⁾	あり ⁽³⁾	DDR3L	—
差動 1.8 V HSTL Class I および Class II	差動	すべて	あり ⁽²⁾	あり ⁽³⁾	DDR II+, QDR II+, RLD RAM 2	JESD8-6

continued...

- (1) MAX 10 16、25、40、50 デバイスでのみ使用可能
- (2) 入力は、差動入力を 2 つのシングル・エンド入力として扱い、それらのうち 1 つのみをデコードします。
- (3) 出力は、2 つのシングル・エンド出力バッファを、2 番目の出力バッファを反転させてプログラミングした状態で使用します。



I/O 規格	タイプ	サポートされるデバイス	入力/出力		適用	規格サポート
			入力	出力		
差動 1.5 V HSTL Class I および Class II	差動	すべて	あり ⁽²⁾	あり ⁽³⁾	DDR II+, QDR II+, QDR II, RDRAM 2	JESD8-6
差動 1.2 V HSTL Class I および Class II	差動	すべて	あり ⁽²⁾	あり ⁽³⁾	汎用	JESD8-16A
差動 HSUL-12	差動	すべて	あり ⁽²⁾	あり ⁽³⁾	LPDDR2	—
LVDS (専用) ⁽⁴⁾	差動	すべて	あり	あり	—	ANSI/TIA/EIA-644
LVDS (エミュレーション、外部抵抗)	差動	すべて	—	あり	—	ANSI/TIA/EIA-644
Mini-LVDS (専用) ⁽⁴⁾	差動	すべて	—	あり	—	—
Mini-LVDS (エミュレーション、外部抵抗)	差動	デュアル電源デバイス	—	あり	—	—
RSDS (専用) ⁽⁴⁾	差動	すべて	—	あり	—	—
RSDS (エミュレーション、外部抵抗、1R)	差動	デュアル電源デバイス	—	あり	—	—
RSDS (エミュレーション、外部抵抗、3R)	差動	すべて	—	あり	—	—
PPDS (専用) ⁽⁴⁾	差動	デュアル電源デバイス	—	あり	—	—
PPDS (エミュレーション、外部抵抗)	差動	デュアル電源デバイス	—	あり	—	—
LVPECL	差動	すべて	あり	—	—	—
Bus LVDS	差動	すべて	あり	あり ⁽⁵⁾	—	—
TMDS	差動	デュアル電源デバイス	あり	—	—	—
Sub-LVDS	差動	デュアル電源デバイス	あり	あり ⁽⁶⁾	—	—
SLVS	差動	デュアル電源デバイス	あり	あり ⁽⁷⁾	—	—
HiSpi	差動	デュアル電源デバイス	あり	—	—	—

(4) 専用 LVDS トランスミッタは、下側の I/O バンクでのみ使用できます。LVDS レシーバは、すべての I/O バンクで使用できます。

(5) 出力は、2 つのシングル・エンド出力バッファを、2 番目の出力バッファを反転させてプログラミングした状態で使用します。単独の直列抵抗が必要です。

(6) 外部終端抵抗が必要です。

(7) 出力は、2 つのシングル・エンド出力バッファをエミュレーション差動出力として使用します。外部終端抵抗が必要です。



関連情報

- 16 ページの [MAX 10 の I/O バッファ](#)
使用可能な I/O バッファタイプとサポートされている I/O 規格に関する詳細情報を提供します。
- [LVDS Transmitter I/O Termination Schemes, MAX 10 High-Speed LVDS I/O User Guide](#)

2.1.1 MAX 10 I/O 規格の電圧およびピンのサポート

表 4. MAX 10 I/O 規格の電圧レベルおよびピンのサポート

注意: 各ピンタイプがサポートする I/O 規格は、そのピンの I/O バンクがサポートする I/O 規格に依存します。例えば、下側の I/O バンクだけが、LVDS(専用) I/O 規格をサポートします。デバイス下側の I/O バンクでピンが使用可能な場合のみ、PLL_CLKOUT ピンに対して LVDS(専用) I/O 規格を使用することができます。使用するデバイスのピンの I/O バンクの位置を確認するには、お使いのデバイスのピン・アウト・ファイルをチェックしてください。

I/O 規格	V _{CCIO} (V)		V _{REF} (V)	ピンタイプサポート				
	入力	出力		PLL_CLKOUT	MEM_CLK	CLK	DQS	ユーザー I/O
3.0 V LVTTTL/3.0 V LVCMOS	3.3/3.0/2.5	3.3	—	あり	あり	あり	あり	あり
3.0 V LVTTTL/3.0 V LVCMOS	3.0/2.5	3.0	—	あり	あり	あり	あり	あり
2.5 V LVCMOS	3.0/2.5	2.5	—	あり	あり	あり	あり	あり
1.8 V LVCMOS	1.8/1.5	1.8	—	あり	あり	あり	あり	あり
1.5 V LVCMOS	1.8/1.5	1.5	—	あり	あり	あり	あり	あり
1.2 V LVCMOS	1.2	1.2	—	あり	あり	あり	あり	あり
3.0 V PCI	3.0	3.0	—	あり	あり	あり	あり	あり
3.3 V シュミット・トリガ	3.3	—	—	—	—	あり	あり ⁽⁸⁾	あり
2.5 V シュミット・トリガ	2.5	—	—	—	—	あり	あり ⁽⁸⁾	あり
1.8 V シュミット・トリガ	1.8	—	—	—	—	あり	あり ⁽⁸⁾	あり
1.5 V シュミット・トリガ	1.5	—	—	—	—	あり	あり ⁽⁸⁾	あり
SSTL-2 Class I	2.5	2.5	1.25	あり	あり	あり	あり	あり
SSTL-2 Class II	2.5	2.5	1.25	あり	あり	あり	あり	あり
SSTL-18 Class I	1.8	1.8	0.9	あり	あり	あり	あり	あり
SSTL-18 Class II	1.8	1.8	0.9	あり	あり	あり	あり	あり
SSTL-15 Class I	1.5	1.5	0.75	あり	あり	あり	あり	あり
SSTL-15 Class II	1.5	1.5	0.75	あり	あり	あり	あり	あり
SSTL-15	1.5	1.5	0.75	あり	あり	あり	あり	あり
SSTL-135	1.35	1.35	0.675	あり	あり	あり	あり	あり

continued...

(8) 双方向 — LVTTTL 出力にシュミット・トリガ入力を使用します。



I/O 規格	V _{CCIO} (V)		V _{REF} (V)	ピン・タイプ・サポート				
	入力	出力		PLL_CLKOUT	MEM_CLK	CLK	DQS	ユーザー I/O
1.8 V HSTL Class I	1.8	1.8	0.9	あり	あり	あり	あり	あり
1.8 V HSTL Class II	1.8	1.8	0.9	あり	あり	あり	あり	あり
1.5 V HSTL Class I	1.5	1.5	0.75	あり	あり	あり	あり	あり
1.5 V HSTL Class II	1.5	1.5	0.75	あり	あり	あり	あり	あり
1.2 V HSTL Class I	1.2	1.2	0.6	あり	あり	あり	あり	あり
1.2 V HSTL Class II	1.2	1.2	0.6	あり	あり	あり	あり	あり
HSUL-12	1.2	1.2	0.6	あり	あり	あり	あり	あり
差動 SSTL-2 Class I および Class II	—	2.5	—	あり	あり	—	あり	—
	2.5	—	1.25	—	—	あり	あり	—
差動 SSTL-18 Class I および Class II	—	1.8	—	あり	あり	—	あり	—
	1.8	—	0.9	—	—	あり	あり	—
差動 SSTL-15 Class I および Class II	—	1.5	—	あり	あり	—	あり	—
	1.5	—	0.75	—	—	あり	あり	—
差動 SSTL-15	—	1.5	—	あり	あり	—	あり	—
	1.5	—	0.75	—	—	あり	あり	—
差動 SSTL-135	—	1.35	—	あり	あり	—	あり	—
	1.35	—	0.675	—	—	あり	あり	—
差動 1.8 V HSTL Class I および Class II	—	1.8	—	あり	あり	—	あり	—
	1.8	—	0.9	—	—	あり	あり	—
差動 1.5 V HSTL Class I および Class II	—	1.5	—	あり	あり	—	あり	—
	1.5	—	0.75	—	—	あり	あり	—
差動 1.2 V HSTL Class I および Class II	—	1.2	—	あり	あり	—	あり	—
	1.2	—	0.6	—	—	あり	あり	—
差動 HSUL-12	—	1.2	—	あり	あり	—	あり	—
	1.2	—	0.6	—	—	あり	あり	—
LVDS(専用)	2.5	2.5	—	あり	あり	あり	—	あり
LVDS(エミュレーション、外部抵抗)	—	2.5	—	あり	あり	—	—	あり
Mini-LVDS(専用)	—	2.5	—	あり	あり	—	—	あり
Mini-LVDS(エミュレーション、外部抵抗)	—	2.5	—	あり	あり	—	—	あり
RSDS(専用)	—	2.5	—	あり	あり	—	—	あり
RSDS(エミュレーション、外部抵抗、1R)	—	2.5	—	あり	あり	—	—	あり
RSDS(エミュレーション、外部抵抗、3R)	—	2.5	—	あり	あり	—	—	あり

continued...



I/O 規格	V _{CCIO} (V)		V _{REF} (V)	ピン・タイプ・サポート				
	入力	出力		PLL_CLKOUT	MEM_CLK	CLK	DQS	ユーザー I/O
PPDS(専用)	—	2.5	—	あり	あり	—	—	あり
PPDS (エミュレーション、外部抵抗)	—	2.5	—	あり	あり	—	—	あり
LVPECL	2.5	—	—	—	—	あり	—	—
Bus LVDS	2.5	2.5	—	—	—	—	—	あり
TMDS	2.5	—	—	—	—	あり	—	あり
Sub-LVDS	2.5	1.8	—	あり	あり	あり	—	あり
SLVS	2.5	2.5	—	あり	あり	あり	—	あり
HiSpi	2.5	—	—	—	—	あり	—	あり

関連情報

- [MAX 10 Device Pin-Out Files](#)
- 6 ページの [MAX 10 I/O 規格のサポート](#)
- 13 ページの [MAX 10 I/O バンクの配置](#)
- [MAX 10 LVDS SERDES I/O Standards Support](#)
- [MAX 10 High-Speed LVDS I/O Location](#)

2.2 MAX 10 の I/O エLEMENT

MAX 10 の I/O エLEMENT (IOE) は、双方向 I/O バッファ 1 つ、および入力、出力、出力イネーブルの信号を格納するレジスタ 5 つを含み、エンベデッド双方向 SDR (Single Data Rate) ならびに DDR (Double Data Rate) 転送を完成させます。

I/O は、I/O バンクごとに 4 つの I/O モジュールのグループに分けられます。

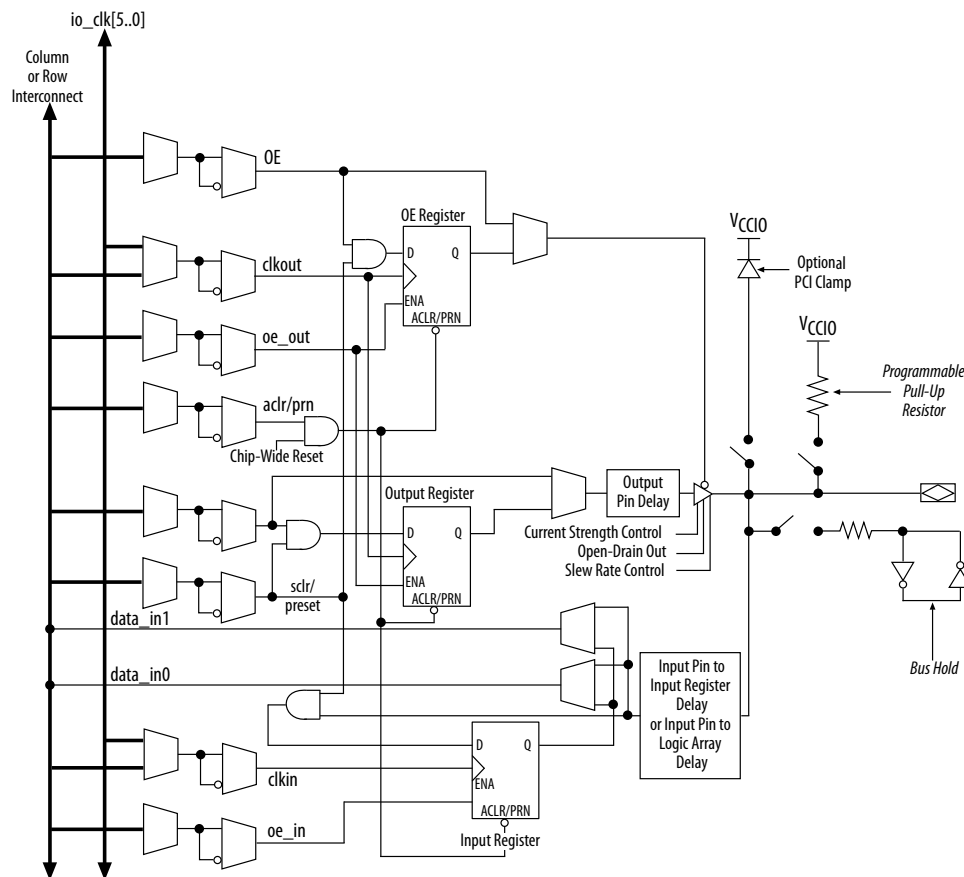
- MAX 10 デバイスでは、VREF、RUP、RDN、CLKPIN、PLLCLKOUT、およびコンフィギュレーション・ピンとテスト・ピンは、ユーザー I/O ピンと共用
- シュミット・トリガ入力バッファは、全ての I/O バッファで使用可能

各 IOE は、入力レジスタを 1 つ、出力レジスタを 2 つ、出力イネーブル(OE)レジスタを 2 つ含みます。

- 2 つの出力レジスタと 2 つの OE レジスタは DDR アプリケーションに使用される
- 入力レジスタを高速セットアップ時間に、出力レジスタを高速クロック - 出力時間に使用できる
- OE レジスタを高速クロック - 出力イネーブル時間に使用できる

IOE は入力、出力、または双方向データ・パス向けに使用できます。I/O ピンはさまざまなシングル・エンドや差動の I/O 規格をサポートしています。

図 -2: 双方向コンフィギュレーションでの IOE ストラクチャ



関連情報

[MAX 10 Power Management User Guide](#)

異なる電源サイクルおよびホットソケットでの I/O バッファに関する詳細情報を提供します。

2.2.1 MAX 10 I/O バンクのアーキテクチャ

I/O エLEMENTは、各 I/O バンクに 4 つのモジュールのグループで配置されています。

- 高速 DDR3 I/O バンク – さまざまな I/O 規格と DDR3 を含むプロトコルをサポートします。これらの I/O バンクはデバイスの右側でのみ使用可能です。
- 高速 I/O バンク – さまざまな I/O 規格と DDR3 を除くプロトコルをサポートします。これらの I/O バンクはデバイスの上側、左側、下側で使用可能です。
- 低速 I/O バンク – デバイスの左上に配置されている低速の I/O バンクです。

I/O ピンのサポートについて詳しくは、使用しているデバイスのピンアウト・ファイルを参照してください。

関連情報

[MAX 10 Device Pin-Out Files](#)

2.2.2 MAX 10 I/O バンクの配置

I/O バンクはデバイスの外周部に配置されています。

各デバイス・パッケージで使用可能なモジュラー I/O バンクについて詳しくは、それぞれのデバイスのピンアウト・ファイルを参照してください。

図 -3: MAX 10 02 デバイスの I/O バンク(暫定版)

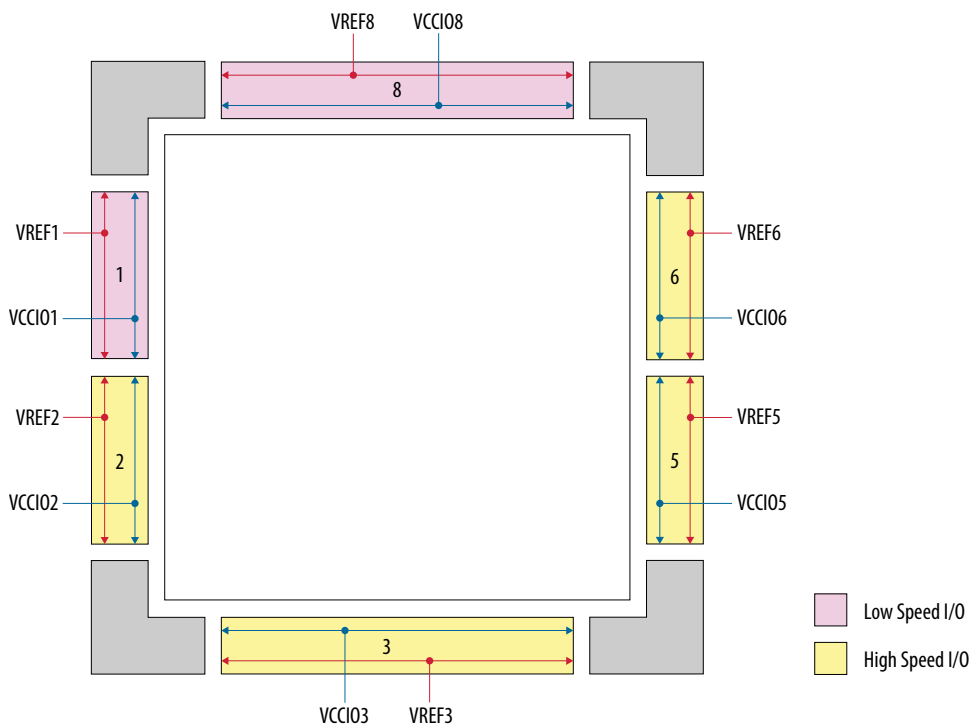


図 -4: MAX 10 04 および 08 デバイスの I/O バンク(暫定版)

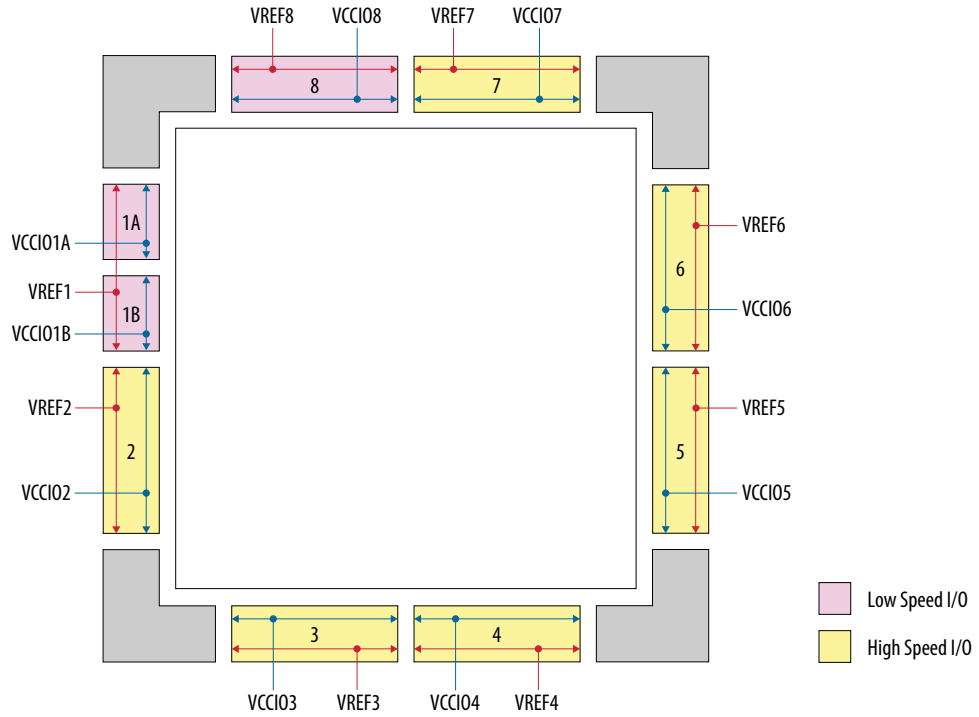
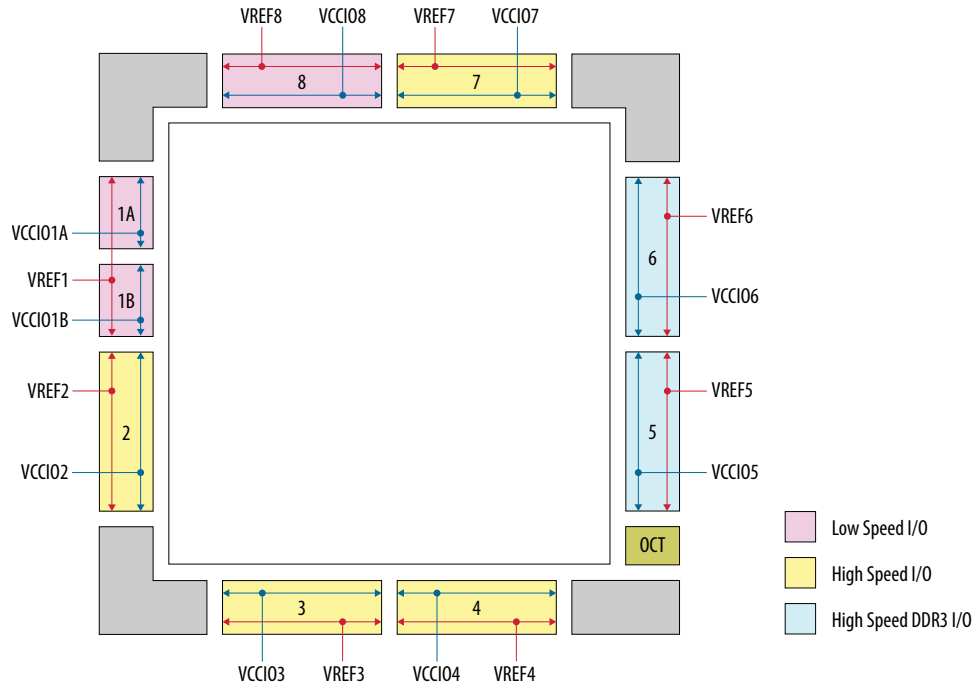


図 -5: MAX 10 16, 25, 40, 50 デバイスの I/O バンク(暫定版)





関連情報

- [MAX 10 Device Pin-Out Files](#)
- [High-Speed I/O Specifications](#)
低速および高速 I/O バンク内のさまざまな I/O 規格のパフォーマンス情報を提供します。

2.3 MAX 10 の I/O バッファ

MAX 10 デバイスの汎用 I/O (GPIO) は、LVDS I/O バッファと DDR I/O バッファから構成されています。

表 5. MAX 10 デバイスの GPIO バッファのタイプ

LVDS I/O バッファ	DDR I/O バッファ
<ul style="list-style-type: none"> 差動およびシングル・エンド I/O 規格をサポート デバイス下側の I/O バンクでのみ使用可能 LVDS では、下部の I/O バンクが LVDS トランスミッタ、エミュレーション LVDS トランスミッタ、および LVDS レシーバ・バッファをサポート 	<ul style="list-style-type: none"> 差動およびシングル・エンド I/O 規格をサポート デバイス左側、右側、上側の I/O バンクで使用可能 LVDS では、DDR I/O バッファは LVDS レシーバおよびエミュレーション LVDS トランスミッタ・バッファのみをサポート DDR では、デバイス右側の DDR I/O バッファのみが DDR3 外部メモリ・インタフェースをサポート。DDR3 は、MAX 10 16、25、40、50 デバイスでのみサポートされる

関連情報

- 6 ページの [MAX 10 I/O 規格のサポート](#)
- [LVDS Transmitter I/O Termination Schemes, MAX 10 High-Speed LVDS I/O User Guide](#)

2.3.1 シュミット・トリガ入力バッファ

MAX 10 デバイスは、選択可能なシュミット・トリガ入力バッファをすべての I/O バンクに搭載しています。

シュミット・トリガ入力バッファの V_{IL} と V_{IH} は LVTTTL I/O 規格と類似していますが、より強いノイズ耐性を有しています。シュミット・トリガ入力バッファは、コンフィギュレーション・モード時にデフォルトの入力バッファとして使用されます。

関連情報

[MAX 10 Device Datasheet](#)

2.3.2 プログラム可能な I/O バッファ機能

MAX 10 の I/O バッファは、幅広い、プログラム可能な機能を提供します。これらの機能により、I/O 使用の柔軟性を高め、また、プルアップ抵抗やダイオードといった外部ディスクリート・コンポーネントの使用量を削減するための選択肢を提供します。

表 6. MAX 10 でサポートされるプログラマブル I/O バッファ機能および設定のまとめ

機能	Setting	条件	アサインメント名	サポートされる I/O 規格
オープン・ドレイン	On, Off (デフォルト)	この機能を有効にするには OPNDRN プリミティブを使用する	—	<ul style="list-style-type: none"> 3.0 V、3.3 V LVTTTL 1.2 V、1.5 V、1.8 V、2.5 V、3.0 V、3.3 V LVCMOS SSTL-2、SSTL-18、SSTL-15、SSTL-135
Bus-Hold	On, Off (デフォルト)	ウィーク・プルアップ抵抗機能を使用する場合にはディセーブルされる	Enable Bus-Hold Circuitry	<ul style="list-style-type: none"> 1.2 V、1.5 V、1.8 V HSTL HSUL-12 3.0 V PCI

continued...



機能	Setting	条件	アサインメント名	サポートされる I/O 規格
プルアップ抵抗	On, Off(デフォルト)	バス・ホールド機能を使用する場合にはディセーブルされる	Weak Pull-Up Resistor	
Slew Rate Control	0(低速)、1(中程度)、2(高速)。デフォルトは 2	OCT を使用する場合にはディセーブルされる	Slew Rate	<ul style="list-style-type: none"> 3.0 V LVTTTL 1.2 V、1.5 V、1.8 V、2.5 V、および 3.0 V LVCMOS SSTL-2、SSTL-18、SSTL-15 1.2 V、1.5 V、1.8 V HSTL 差動 SSTL-2、差動 SSTL-18、差動 SSTL-15 差動 1.2 V、1.5 V、1.8 V HSTL
PCI Clamp Diode	On (入力ピンに対してデフォルト)、Off (3.0 V PCI 以外の出力ポートに対してデフォルト)	—	PCI I/O	<ul style="list-style-type: none"> 3.0 V、3.3 V LVTTTL 2.5 V、3.0 V、3.3 V LVCMOS 3.0 V PCI 2.5 V、3.0 V、3.3 V シュミット・トリガ
プリエンファシス	0(ディセーブル)、1(イネーブル)。デフォルトは 1	—	Programmable Pre-emphasis	<ul style="list-style-type: none"> LVDS RSDS PPDS Mini-LVDS
差動出力電圧	0(低)、1(中)、2(高)。デフォルトは 2	—	Programmable Differential Output Voltage (V_{OD})	

2.3.2.1 プログラマブル・オープン・ドレイン

各 I/O ピンのオプションのオープン・ドレイン出力は、オープン・コレクタ出力に相当します。オープン・ドレインとしてコンフィギュレーションされた場合、出力のロジック値は High-Z またはロジック Low のいずれかになります。

信号をロジック High に引き上げるには、外部レジスタを使用します。

2.3.2.2 プログラマブル・バス・ホールド

各 I/O ピンはオプションのバス・ホールド機能を提供します。これはコンフィギュレーション後にのみアクティブになります。デバイスがユーザー・モードに入ると、バス・ホールド回路は、コンフィギュレーション終了時にピンに生じた値をキャプチャします。

バス・ホールド回路は、次の入力信号が生じるまでピンの状態を保持します。このため、バスをトライ・ステートにする場合に信号レベルを保つ外部プルアップまたはプルダウン抵抗が不要になります。

各 I/O ピンで、バス・ホールド回路で駆動されないピンを個別に指定し、ノイズにより意図しない高周波スイッチングを引き起こす恐れのある入力しきい値電圧から引き離すことができます。信号のオーバードライブを防止するために、バス・ホールド回路は V_{CCIO} レベルより低い電圧レベルで I/O ピンを駆動します。

バス・ホールド機能をイネーブルした場合には、プログラマブル・プルアップ・オプションが使用できません。差動信号向けに I/O ピンをコンフィギュレーションするには、バス・ホールド機能をディセーブルします。

2.3.2.3 プログラマブル・プルアップ抵抗

各 I/O ピンは、ユーザー・モード時にオプションのプログラマブル・プルアップ抵抗を提供します。プルアップ抵抗は、I/O を微弱な電流で V_{CCIO} レベルに保持します。

ウィーク・プルアップ抵抗をイネーブルした場合には、バス・ホールド機能を使用できません。

2.3.2.4 プログラマブル・ドライブ能力

プログラマブル・ドライブ能力を使用して、長い伝送経路またはレガシー・バックプレーンに起因する High 信号減衰による影響を緩和することができます。

表 7. MAX 10 デバイスのプログラマブル・ドライブ能力設定

各 MAX 10 デバイス I/O ピンの出力バッファは、このテーブルにリストされた I/O 規格向けにプログラマブル・ドライブ能力コントロールを有します。

I/O 規格	I _{OH} / I _{OL} ドライブ能力設定 (mA) (太字はデフォルト設定)
3.3 V LVCMOS	2
3.3 V LVTTTL	8, 4
3.0 V LVTTTL/3.0 V LVCMOS	16, 12 , 8, 4
2.5 V LVTTTL/2.5 V LVCMOS	16, 12 , 8, 4
1.8 V LVTTTL/1.8 V LVCMOS	16, 12 , 10, 8, 6, 4, 2
1.5 V LVCMOS	16, 12 , 10, 8, 6, 4, 2
1.2 V LVCMOS	12, 10, 8 , 6, 4, 2
SSTL-2 Class I	12, 8
SSTL-2 Class II	16
SSTL-18 Class I	12, 10, 8
SSTL-18 Class II	16 , 12
SSTL-15 Class I	12, 10, 8
SSTL-15 Class II	16
1.8 V HSTL Class I	12, 10, 8
1.8 V HSTL Class II	16
1.5 V HSTL Class I	12, 10, 8
1.5 V HSTL Class II	16
1.2 V HSTL Class I	12, 10, 8
1.2 V HSTL Class II	14
BLVDS	16 , 12, 8
SLVS	16 , 12, 8
Sub-LVDS	12 , 8, 4

注意: Intel は、特定のアプリケーションに最適なドライブ強度設定を決定するために、IBIS または SPICE シミュレーションを実行することを推奨します。

2.3.2.5 プログラマブル出力スルー・レート・コントロール

プログラマブル・スルー・レート・コントロールには、0、1、2 から選択可能な 3 つの設定があり、2 がデフォルトの設定です。0 の設定は低速スルー・レートであり、2 は高速スルー・レートです。



- 高速スルー・レート — 高性能システム向けに高速の遷移を提供する
- 低速スルー・レート — システム・ノイズおよびクロストークを軽減するが、立ち上がりおよび立ち下りエッジにノミナル遅延を追加する

表 8. MAX 10 デバイスのプログラマブル出力スルー・レート・コントロール

この表では、プログラマブル出力スルー・レート・コントロールをサポートするシングル・エンドの I/O 規格およびドライブ能力設定をリストしています。プログラマブル・スルー・レート・コントロールをサポートしていない I/O 規格およびドライブ能力設定では、デフォルト・スルー・レート設定は 2 (高速スルー・レート) です。

I/O 規格	スルー・レート・コントロールをサポートする I _{OH} / I _{OL} ドライブ能力
3.0 V LVTTTL/3.0 V LVCMOS	16, 12, 8
2.5 V LVTTTL/2.5 V LVCMOS	16, 12, 8
1.8 V LVTTTL/1.8 V LVCMOS	16, 12, 8
1.5 V LVCMOS	16, 12, 10, 8
1.2 V LVCMOS	12, 10, 8
SSTL-2 Class I	12, 8
SSTL-2 Class II	16
SSTL-18 Class I	12, 10, 8
SSTL-18 Class II	16, 12
SSTL-15 Class I	12, 10, 8
SSTL-15 Class II	16
1.8 V HSTL Class I	12, 10, 8
1.8 V HSTL Class II	16
1.5 V HSTL Class I	12, 10, 8
1.5 V HSTL Class II	16
1.2 V HSTL Class I	12, 10, 8
1.2 V HSTL Class II	14

各 I/O ピンにスルー・レート・コントロールがあるので、スルー・レートをピンごとに指定できます。スルー・レート・コントロールは立ち上がりおよび立ち下りの両方のエッジに対して作用します。

注意: Intel は、特定のアプリケーションに最適なドライブ強度設定を決定するために、IBIS または SPICE シミュレーションを実行することを推奨します。

2.3.2.6 プログラマブル IOE 遅延

プログラマブル IOE 遅延をアクティブにすることにより、ホールド時間をゼロにし、セットアップ時間を最小にし、クロック - 出力時間を加増し、またはクロック入力信号を遅延することができます。この機能はバス内の信号間の不確実性を最小限に抑えるため、読み出しおよび書込みのタイミング・マージンを改善します。

各ピンは、ピンから入力レジスタへの異なる入力遅延、あるいは出力レジスタから出力ピンへの遅延値を有することができ、これによりデバイスに入る、またはデバイスを出るバス内の信号が同じ遅延を有することを保障します。

表 9. プログラマブル遅延チェーン

プログラマブル遅延	Quartus Prime ロジック・オプション
入力ピンからロジック・アレイへの遅延	Input Delay from Pin to Internal Cells
入力ピンから入力レジスタへの遅延	Input Delay from Pin to Input Register
出力ピンの遅延	Delay from Output Register to Output Pin
兼用クロック入力ピンの遅延	Input Delay from Dual-Purpose Clock Pin to Fan-Out Destinations

IOE では入力がロジック・アレイに到達するためのパスが 2 本あります。2 本のパスそれぞれが異なる遅延を有することができます。これにより、ピンからデバイス内の異なる 2 つのエリアにある内部ロジック・エレメント (LE) レジスタまでの遅延が調整可能になります。Quartus Prime ソフトウェアで各パス向けに Input Delay from Pin to Internal Cells ロジック・オプションを指定して 2 つの入力遅延の組み合わせを設定する必要があります。ピンで入力レジスタを使用する場合は、遅延のうち 1 つが無視され、遅延は Quartus Prime ソフトウェアで Input Delay from Pin to Input Register ロジック・オプションにセットされます。

各 I/O バンクの IOE レジスタは、機能のプリセットまたはクリア向けに同じソースを共有します。個別の IOE それぞれにプリセットまたはクリアをプログラミングできますが、両方の機能を同時に使用することはできません。コンフィギュレーションの完了後に、レジスタをパワーアップ High または Low にプログラミングすることもできます。パワーアップ Low にプログラミングした場合、非同期クリアでレジスタをコントロールできます。パワーアップ High にプログラミングした場合、非同期プリセットでレジスタをコントロールできます。この機能により、パワーアップ時に他のデバイスのアクティブ Low 入力を意図せずアクティブにすることを防ぎます。IOE の 1 つのレジスタがプリセットまたはクリア信号を使用している場合で、その IOE の他のレジスタにプリセットまたはクリアが必要な場合には、それらのレジスタは同じ信号を使用する必要があります。

関連情報

- [MAX 10 Device Datasheet](#)
- [Timing Closure and Optimization chapter, Volume 2: Design Implementation and Optimization, Quartus Prime Handbook](#)
入力ピンと出力ピンの遅延設定について詳しく説明します。

2.3.2.7 PCI クランプ・ダイオード

MAX 10 デバイスは、各 I/O ピンの入力および出力でイネーブルできるオプションの PCI クランプ・ダイオードを備えています。

PCI クランプ・ダイオードは、Quartus Prime ソフトウェアで以下の I/O 規格向けに使用可能です。

- 3.3 V LVTTTL/3.3 V LVCMOS
- 3.0 V LVTTTL/3.0 V LVCMOS
- 2.5 V LVTTTL/2.5 V LVCMOS
- 3.0 V PCI
- 3.3 V シュミット・トリガ
- 2.5 V シュミット・トリガ

2.3.2.8 プログラマブル・プリエンファシス

高速伝送信号の出力電流は、差動出力電圧 (V_{OD}) 設定およびドライバの出カインピーダンスにより制限されます。高い周波数では、次のエッジの前にフルレベルの V_{OD} に達するためにスルー・レートの速度が十分ではないことがあり、これがパターン依存ジッタを生じさせます。プリエンファシスは、スイッチング時に出力電圧を瞬間的に増幅し、出力スルー・レートを向上します。

プリエンファシスは、出力信号の高周波数成分の振幅を増幅させます。この増幅により伝送ラインにおける周波数依存の減衰を補償します。

余剰の電流によるオーバーシュートは、ステート・スイッチングの遷移中のみ生じます。このオーバーシュートは信号の反射によるオーバーシュートとは異なり、出力スルー・レートを高めますがリングングはしません。必要なプリエンファシスの量は、伝送ラインにおける高周波数成分の減衰に依存します。

図 -6: プログラマブル・プリエンファシスを用いた LVDS 出力

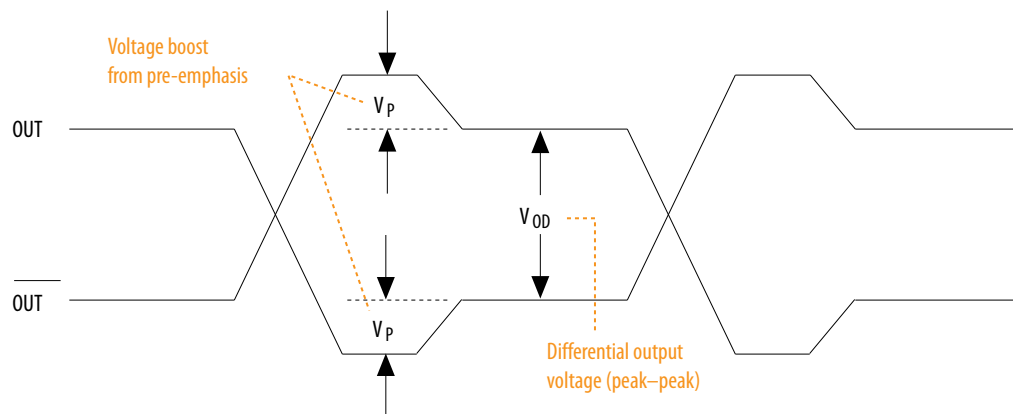


表 10. プログラマブル・プリエンファシス向け Quartus Prime ソフトウェアのアサインメント

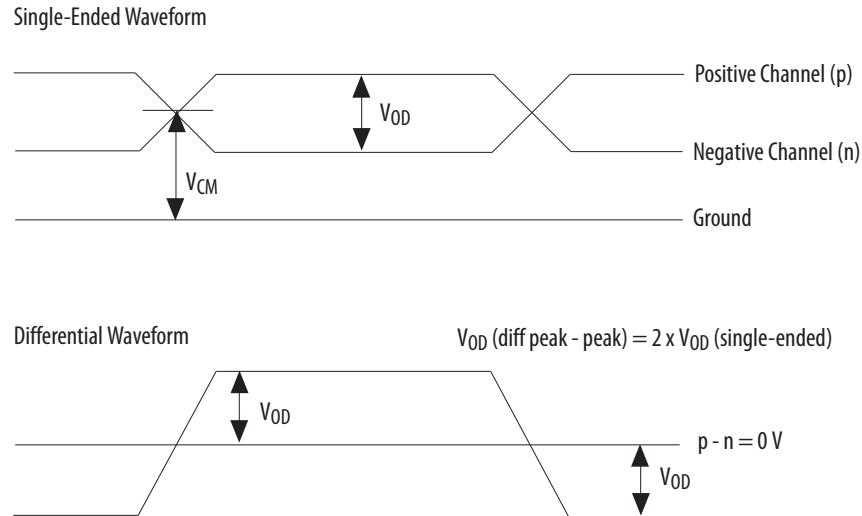
フィールド	アサインメント
To	tx_out
Assignment name	Programmable Pre-emphasis
Allowed values	0(無効)、1(有効)。デフォルトは 1 です。

2.3.2.9 プログラマブル差動出力電圧

プログラマブル V_{OD} 設定により出力のアイ開口を調整し、トレース長と消費電力を最適化することができます。強い V_{OD} スイングはレシーバ端における電圧マージンを改善し、低い V_{OD} スイングは消費電力を削減します。

図 -7: 差動 V_{OD}

以下の図に、差動 LVDS 出力の V_{OD} を示します。



差動信号の V_{OD} は、Quartus Prime ソフトウェアの Assignment Editor で V_{OD} 設定を変更することによって静的に調整できます。

表 11. Quartus Prime ソフトウェア Assignment Editor — プログラマブル V_{OD}

フィールド	アサインメント
To	tx_out
Assignment name	Programmable Differential Output Voltage (V_{OD})
Allowed values	0(低)、1(中)、2(高)。デフォルトは 2 です。

2.3.2.10 プログラマブル・エミュレーション差動出力

MAX 10 デバイスは、IOE のペアが双方向 I/O ピンを駆動する、エミュレーション差動出力をサポートします。

エミュレーション差動出力機能は、以下の I/O 規格でサポートされます。

- 差動 SSTL-2 Class I および Class II
- 差動 SSTL-18 Class I および Class II
- 差動 SSTL-15 Class I および Class II
- 差動 SSTL-15
- 差動 SSTL-135
- 差動 1.8 V HSTL Class I および Class II
- 差動 1.5 V HSTL Class I および Class II
- 差動 1.2 V HSTL Class I および Class II
- 差動 HSUL-12
- LVDS 3R
- Mini-LVDS 3R

- PPDS 3R
- RSDS 1R および 3R
- BLVDS
- SLVS
- Sub-LVDS

2.3.2.11 プログラマブル・ダイナミック・パワーダウン

MAX 10 16、25、40、および 50 デバイスは、スタティック電力の消費量を削減するために、数種の I/O 規格向けにプログラマブル・ダイナミック・パワーダウン機能を備えています。

これらのデバイスでは、以下の I/O 規格向けに I/O バッファにプログラマブル・ダイナミック・パワーダウン機能を適用することができます。

- 入力バッファ — SSTL, HSTL, HSUL, LVDS
- 出力バッファ — LVDS

関連情報

MAX 10 Power Management User Guide

プログラマブル・ダイナミック・パワーダウン機能の使用に関する詳細情報を提供します。

2.4 I/O 規格の終端

電圧リファレンス形式 I/O 規格と差動 I/O 規格には、異なる終端方法が必要です。

3.3 V LVTTTL、3.0 V LVTTTL および LVCMOS、2.5 V LVTTTL および LVCMOS、1.8 V LVTTTL および LVCMOS、1.5 V LVCMOS、1.2 V LVCMOS、および 3.0 V PCI I/O 規格では、JEDEC 規格に準拠する推奨終端方法は規定されていません。

2.4.1 電圧リファレンス形式 I/O 規格の終端処理

電圧リファレンス形式の I/O 規格では、入力リファレンス電圧 (V_{REF}) と終端電圧 (V_{TT}) が必要です。受信デバイスのリファレンス電圧は送信デバイスの終端電圧に追従します。

図 -8: HSTL I/O 規格の終端

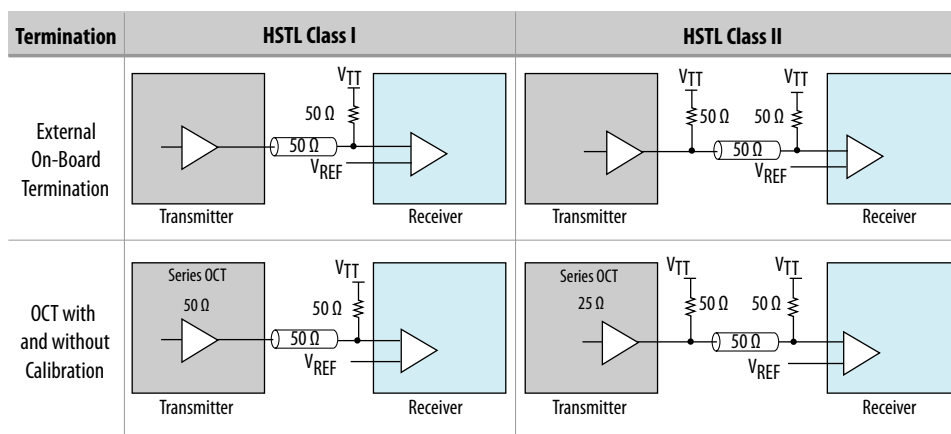
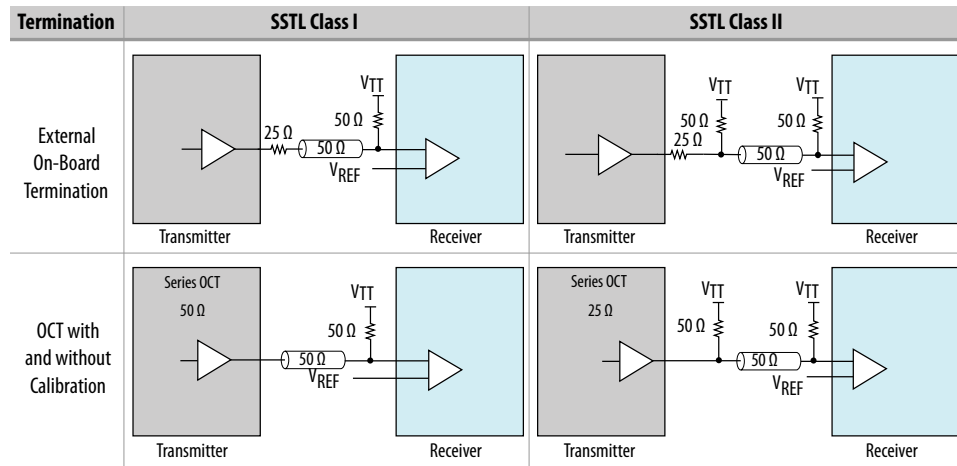


図 -9: SSTL I/O 規格の終端



2.4.2 差動 I/O 規格の終端

通常、差動 I/O 規格にはレシーバの 2 つの信号間に終端抵抗が必要です。終端抵抗はバスの差動負荷インピーダンスと整合する必要があります。

図 -10: 差動 HSTL I/O 規格の終端

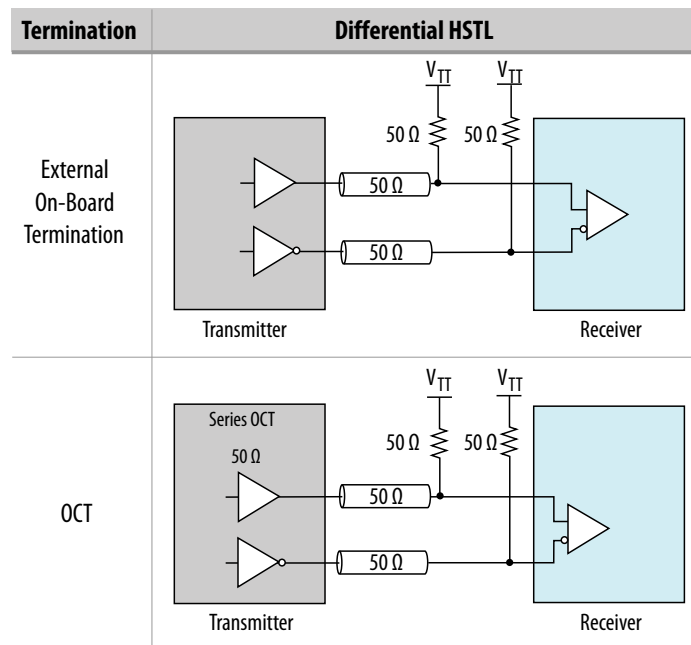
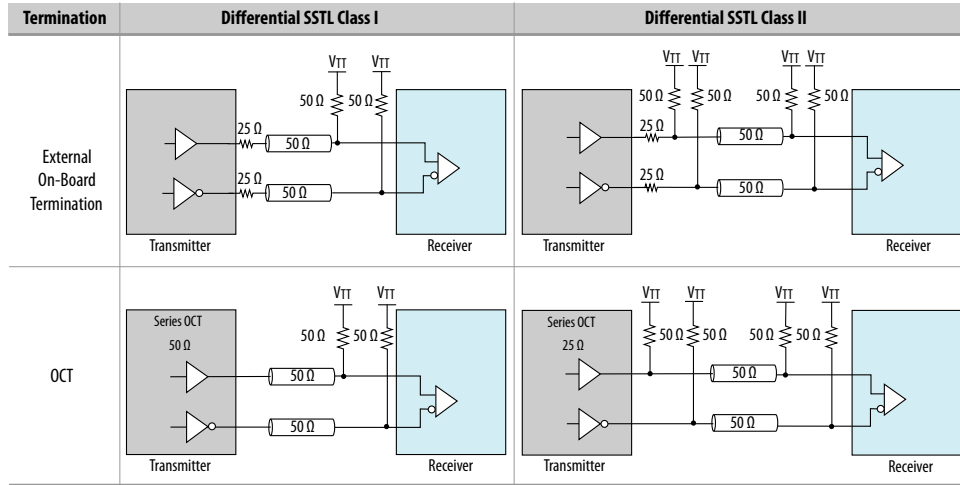


図 -11: 差動 SSTL I/O 規格の終端



関連情報

[MAX 10 High-Speed LVDS I/O User Guide](#)

差動 I/O 外部終端に関する詳細情報を提供します。

2.4.3 MAX 10 オンチップ I/O 終端

MAX 10 デバイスのオンチップ終端(OCT)ブロックは、I/O インピーダンス・マッチングと終端機能を提供します。OCT は、信号品質の維持、ボード・スペースの節約、外部コンポーネント・コストの削減を実現します。

MAX 10 デバイスは、シングルエンド出力ピンおよび双方向ピン向けにシリアル (R_S) OCT をサポートします。双方向ピンでは、OCT は出力でのみアクティブです。

図 -12: シングルエンド I/O 終端(R_S)

次の図は、MAX 10 デバイスでサポートされるシングルエンドの終端方法を示しています。

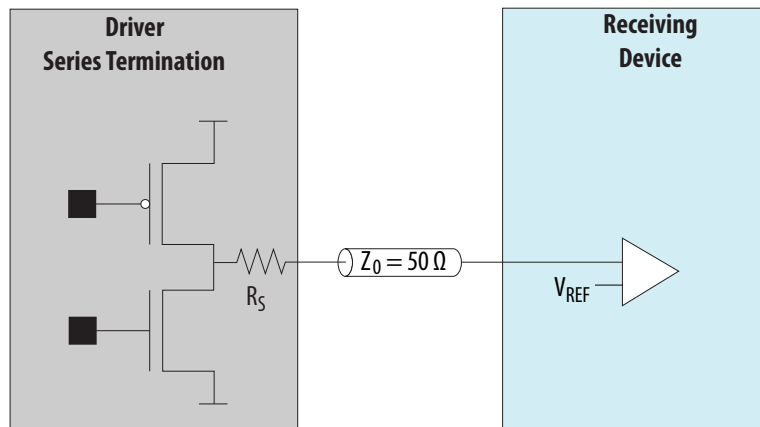


表 12. MAX 10 デバイスでサポートされる OCT 手法

入力/出力	OCT 手法	サポートされるデバイス	サポートされる I/O バンク
出力	キャリブレーションありの R_S OCT	MAX 10 16、25、40、および 50 デバイス	右側のバンクのみ
	キャリブレーションなしの R_S OCT	すべての MAX 10 デバイス	すべての I/O バンク

2.4.3.1 OCT キャリブレーション

OCT キャリブレーション回路は、出力バッファの総インピーダンスを RUP ピンと RDN ピンに接続された外部抵抗と比較します。この回路は、出力バッファ・インピーダンスを外部抵抗と一致するまで動的に調整します。

各キャリブレーション・ブロックに、RUP ピンと RDN ピンのペアがあります。

キャリブレーションの間、RUP ピンと RDN ピンはそれぞれ外部 25 Ω 、34 Ω 、40 Ω 、48 Ω 、または 50 Ω 抵抗を介して、対応するオンチップ直列抵抗値 25 Ω 、34 Ω 、40 Ω 、48 Ω 、および 50 Ω 向けに接続されます。

- RUP—VCCIO に接続される
- RDN—GND に接続される

OCT キャリブレーション回路は、コンパレータを使用して外部抵抗を内部抵抗と比較します。OCT キャリブレーション・ブロックは、バッファ・インピーダンスを動的に調整するにあたってコンパレータの出力を使用します。

キャリブレーション中、RUP ピンと RDN ピンの抵抗は変化します。外部キャリブレーション抵抗を介した最大電流を見積もるには、RUP および RDN ピン上の最小抵抗を 0 Ω と仮定します。

2.4.3.2 MAX 10 デバイスの R_S OCT

 表 13. R_S OCT 向けに選択可能な I/O 規格

次の表は、さまざまな I/O 規格ごとにキャリブレーションありの、またはキャリブレーションなしの R_S OCT の出力終端の設定をリストしています。

- キャリブレーションありの R_S OCT — MAX 10 16、25、40、および 50 デバイスの右側の I/O バンクでのみサポートされる
- キャリブレーションなしの R_S OCT — すべての MAX 10 デバイスのすべての I/O バンクでサポートされる

I/O 規格	キャリブレーションされた OCT(出力)	キャリブレーションされていない OCT(出力)
	R_S (Ω)	R_S (Ω)
3.0 V LVTTTL/3.0V LVCMOS	25、50	25、50
2.5 V LVTTTL/2.5 V LVCMOS	25、50	25、50
1.8 V LVTTTL/1.8 V LVCMOS	25、50	25、50
1.5 V LVCMOS	25、50	25、50
1.2 V LVCMOS	25、50	25、50
SSTL-2 Class I	50	50
SSTL-2 Class II	25	25

continued...



I/O 規格	キャリブレーションされた OCT(出力)	キャリブレーションされていない OCT(出力)
	R_S (Ω)	R_S (Ω)
SSTL-18 Class I	50	50
SSTL-18 Class II	25	25
SSTL-15 Class I	50	50
SSTL-15 Class II	25	25
SSTL-15	34, 40	34, 40
SSTL-135	34, 40	34, 40
1.8 V HSTL Class I	50	50
1.8 V HSTL Class II	25	25
1.5 V HSTL Class I	50	50
1.5 V HSTL Class II	25	25
1.2 V HSTL Class I	50	50
1.2 V HSTL Class II	25	25
HSUL-12	34, 40, 48	34, 40, 48
差動 SSTL-2 Class I	50	50
差動 SSTL-2 Class II	25	25
差動 SSTL-18 Class I	50	50
差動 SSTL-18 Class II	25	25
差動 SSTL-15 Class I	50	50
差動 SSTL-15 Class II	25	25
差動 SSTL-15	34, 40	34, 40
差動 SSTL-135	34, 40	34, 40
差動 1.8 V HSTL Class I	50	50
差動 1.8 V HSTL Class II	25	25
差動 1.5 V HSTL Class I	50	50
差動 1.5 V HSTL Class II	25	25
差動 1.2 V HSTL Class I	50	50
差動 1.2 V HSTL Class II	25	25
差動 HSUL-12	34, 40, 48	34, 40, 48



3 MAX 10 I/O デザインの考慮事項

デザインを成功に導くには、何点かの考慮すべき事項があります。特に注記のない限り、これらのデザイン・ガイドラインはこのデバイス・ファミリのすべてのバリエーションに適用されます。

関連情報

3 ページの MAX 10 I/O の概要

3.1 ガイドライン: V_{CCIO} 範囲における検討事項

I/O ピン・コンフィギュレーション機能と I/O バンクの位置による、 V_{CCIO} 範囲に関するいくつかの考慮事項があります。

- ユーザー・モードでコンフィギュレーション機能にアクセスする場合、共有 I/O ピンは 1.5 V から 3.3 V の V_{CCIO} 範囲のみをサポートすることができます。I/O ピンのコンフィギュレーション機能がサポートできるのは、1.5 V から 3.3 V のみです。アクセスが必要な場合 (例えばユーザー・モード中の JTAG ピンなど)、ピンが存在するバンクがこの V_{CCIO} 範囲によって制限されます。1.2 V から 1.35 V の範囲の I/O 規格を使用する必要がある場合には、ユーザー・モード時にいずれの I/O ピンのコンフィギュレーション機能も使用しないでください。コンフィギュレーション機能のある I/O ピンを有するのはバンク 1 とバンク 8 のみなので、この制限はこれらのバンクにのみ影響します。
- バンク 1A と 1B を有するデバイスでは:
 - V_{REF} ピンまたは ADC を使用する場合には、バンク 1A と 1B に共通の V_{CCIO} 電圧を供給する必要があります。
 - V_{REF} ピンまたは ADC を使用しない場合には、バンク 1A と 1B に異なる V_{CCIO} 電圧を供給できます。
- バンク 1A と 1B を有するデバイスからバンク 1 のみを有するデバイスへ移行する予定がある場合、バンク 1A と 1B の V_{CCIO} が同じであることを確認してください。
- 10M02 デバイスの V36 パッケージでは、以下の I/O バンクのグループの V_{CCIO} を同じにする必要があります。
 - グループ 1 — バンク 1、2、8
 - グループ 2 — バンク 3、5、6
- 10M08 デバイスの V81 パッケージでは、以下の I/O バンクのグループの V_{CCIO} を同じにする必要があります。
 - グループ 1 — バンク 1A、1B、2
 - グループ 2 — バンク 5、6

3.2 ガイドライン: 電圧リファレンス形式 I/O 規格の制限

V_{REF} ピンを使用する場合、以下の制限が適用されます。

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



- 共有 VREF ピンを I/O として使用する場合、すべての電圧リファレンス形式入力バッファ (SSTL、HSTL、および HSUL) がディセーブルされます。
- 共有 VREF ピンを電圧リファレンスとして使用する場合、電圧リファレンス形式 I/O 規格を使用するために該当する I/O ピンの入力バッファをイネーブルする必要があります。
- これらのデバイス・パッケージの以下に示す I/O バンクでは、電圧リファレンス形式 I/O 規格はサポートされていません。
 - 10M02 の V36 パッケージでの全ての I/O バンク
 - 10M08 の V81 パッケージでの全ての I/O バンク
 - 10M50 の E144 でのバンク 1A と 1B
- バンク 1A と 1B を有するデバイスでは、VREF ピンを使用する場合にはバンク 1A と 1B に共通の V_{CCIO} を供給する必要があります。
- 各 VREF ピンの電圧リファレンス入力の最大数は、I/O パッドの総数の 75%。最大数を越えた場合、Quartus Prime ソフトウェアが警告を発生します。
- スタティック信号に使用する I/O ピンを除く全ての非電圧リファレンス出力は、VREF ピンから 2 パッド離して配置する必要があります。これに違反すると、Quartus Prime ソフトウェアがエラー・メッセージを発生します。

関連情報

6 ページの [MAX 10 I/O 規格のサポート](#)

3.3 ガイドライン: LVTTTL / LVCMOS 入力バッファのクランプ・ダイオードを有効にする

I/O バンクの V_{CCIO} が LVTTTL / LVCMOS 入力バッファの電圧よりも低い場合、Intel はクランプ・ダイオードを有効にすることを推奨します。

- 3.3 V LVCMOS / LVTTTL 入力バッファ — I/O バンクの V_{CCIO} が 3.0 V の場合、クランプ・ダイオードを有効にする
- 3.3 V または 3.0 V LVCMOS / LVTTTL 入力バッファ — I/O バンクの V_{CCIO} が 2.5 V の場合、クランプ・ダイオードを有効にする

これらの条件下でクランプ・ダイオードを有効にすることにより、オーバーシュートやアンダーシュートを制限できるようになります。ただし、これはホット・ソケットの電流仕様には準拠していません。

また、これらの条件下でクランプ・ダイオードを有効にしない場合には、I/O ピンのシグナル・インテグリティに影響し、オーバーシュートまたはアンダーシュートの問題が生じます。こうした場合、ボード・デザインをオーバーシュート / アンダーシュート仕様に適合させる必要があります。

表 14. 3.3 V または 3.0 V での電圧トランスの最大定格

次の表は、電圧トランス仕様をリストしています。クランプ・ダイオードを有効にしない場合は、ボード・デザインがこれらの仕様に適合するようにしてください。

電圧	最小値 (V)	最大値 (V)
V _{CCIO} = 3.3 V	3.135	3.45
V _{CCIO} = 3.0 V	2.85	3.15

continued...

電圧	最小値(V)	最大値(V)
V _{IH} (AC)	—	4.1
V _{IH} (DC)	—	3.6
V _{IL} (DC)	-0.3	0.8

3.4 ガイドライン:LVDS I/O 制約のルールへの準拠

LVDS アプリケーションでは、LVDS トランスミッタ出力ピンでの過度のジッタを防ぐために I/O ピン接続を制限するルールに従います。これらのルールに違反があった場合に、Quartus Prime ソフトウェアはクリティカル・ワーニングを表示します。

関連情報

[MAX 10 FPGA Device Family Pin Connection Guidelines](#)

3.5 ガイドライン:I/O 制約のルール

それぞれの I/O 規格および条件向けに、I/O ピンの数を制限する必要があります。LVDS トランスミッタまたはレシーバを使用する場合に、この I/O 制約のルールが適用されます。

表 15. I/O バンク内の特定の I/O 規格向けに許容される I/O ピンの最大割合

次の表は、ここに示される I/O 規格と条件の組み合わせを使用する場合にバンク内で推奨される汎用出力 I/O ピンの最大数を、I/O バンクで使用可能な I/O ピンの総数に対するパーセンテージで示しています。

I/O 規格	条件	バンクあたりの最大ピン数 (%)
2.5 V LVTTTL / LVCMOS	16 mA のドライブ能力と 25 Ω の OCT(高速および低速スルー・レート)	25
	12 mA のドライブ能力(高速および低速スルー・レート)	30
	8 mA のドライブ能力(高速および低速スルー・レート)と 50 Ω の OCT(高速スルー・レート)	45
	4 mA のドライブ能力(高速および低速スルー・レート)	65
2.5 V SSTL	—	100

3.6 ガイドライン:アナログ-デジタル・コンバータの I/O 制約

アナログ-デジタル・コンバータ(ADC)ブロックを使用する場合、次の制約が適用されます。

Quartus Prime ソフトウェアは、I/O のドライブ強度に基づいてバンクで許容される I/O 数を定義するために物理ベースのルールを使用します。これらのルールは、ADC 性能への I/O 配置の影響を正確に解析するためにノイズ計算をベースにしています。

各デバイスへの物理ベースのルールは、以下の Quartus Prime ソフトウェアのバージョンから使用可能となります。

- Quartus Prime バージョン 14.1 以降— MAX 10 10M04、10M08、10M40、および 10M50 デバイス
- Quartus Prime バージョン 15.0.1 以降— MAX 10 10M02、10M16、および 10M25 デバイス



Intel は、ADC 性能を保障するためにこれらのガイドラインに従うことを強く推奨します。さらに、以下のガイドラインにより、今後のバージョンでの物理ベースのルールが実装された後の Quartus Prime ソフトウェアによる追加的なクリティカル・ワーニングを避けることができます。

表 16. ADC の使用に関連する I/O 制約(暫定版)

次の表に、ADC チャンネル入力として専用アナログ入力(ANAIN1 か ANAIN2)またありずれかの兼用 ADC I/O ピンを使用した場合の I/O の制限を MAX 10 デバイス・パッケージごとにリストします。

パッケージ	制限/ガイドライン
すべて	ADC サンプリング中はすべての JTAG 動作をディセーブルする。ADC SINAD(Signal-to-Noise and Distortion Ratio)は JTAG 動作中は保証されない
M153 U169 U324 F256 F484 F672	<ul style="list-style-type: none"> バンク 1A、1B – これらのバンクでは GPIO ピンを使用できない バンク 2、3、4、5、6、7 – これらのバンクに位置する GPIO ピンを使用できる バンク 8 – このバンクの GPIO ピンはドライブ強度に基づき使用できる <ul style="list-style-type: none"> – F484 パッケージのバンク 8 で使用可能な GPIO ピンの割合をリストした例を確認するには表 1731 ページの を参照する⁽⁹⁾ – 低いドライブ強度(8 mA 以下)および差動 I/O 規格を使用する – トランスミッタ・ピンは、このバンクに配置せずに、バンク 2、3、4、5、6、7 を使用する – RESET または CONTROL といったスタティック・ピンを使用できる – このバンクの GPIO ピンは物理ベースのルールにより規定される。Quartus Prime ソフトウェアは、あらゆる物理ベース・ルールの I/O 設定の違反に対しクリティカル・ワーニングを表示する
E144	<ul style="list-style-type: none"> バンク 1A、1B、2、8 – これらのバンクでは GPIO ピンを使用できない バンク 4、6 – これらのバンクに位置する GPIO ピンを使用できる バンク 3、5、7 – このバンクの GPIO ピンはドライブ強度に基づき一定の割合で使用できる <ul style="list-style-type: none"> – 使用可能な GPIO ピンの割合については表 1832 ページの を参照する – 低いドライブ強度(8 mA 以下)および差動 I/O 規格を使用する – このバンクの GPIO ピンは物理ベースのルールにより規定される。Quartus Prime ソフトウェアは、あらゆる物理ベース・ルールの I/O 設定の違反に対しクリティカル・ワーニングを表示する

表 17. MAX 10 F484 パッケージのバンク 8 における I/O 使用の制限

次の表は、専用アナログ入力(ANAIN1 か ANAIN2)またありずれかの兼用 ADC I/O ピンを ADC チャンネルとして使用する場合に、I/O バンク 8 で使用可能な I/O ピンの割合をリストしています。各グループの I/O 規格のリストについては、表 1932 ページの を参照してください。

I/O 規格	TX	RX	Total	使用可能な割合(%)
グループ 1	18	18	36	100
グループ 2	16	16	32	89
グループ 3	7	11	18	50
グループ 4	5	7	12	33
グループ 5	4	6	10	28
グループ 6	4	4	8	22
グループ 7	0	8	8	22

⁽⁹⁾ すべてのデバイス・パッケージで、バンク 8 で許容される GPIO ピンの個数の割合よりも多い場合、ソフトウェアは警告メッセージを表示する

表 18. MAX 10 E144 パッケージのバンク 3、5、7 における I/O 使用の制限

次の表は、専用アナログ入力 (ANAIN1 か ANAIN2) またはいずれかの兼用 ADC I/O ピンを ADC チャンネル入力として使用する場合に、バンク 3、5、7 で使用可能な I/O ピンの割合をリストしています。各グループの I/O 規格のリストについては、表 1932 ページの を参照してください。

I/O 規格	バンク 3			バンク 5			バンク 7			使用可能な I/O のデバイス内での割合 (%)
	TX	RX	使用可能な割合 (%)	TX	RX	使用可能な割合 (%)	TX	RX	使用可能な割合 (%)	
グループ 1	7	8	88	6	6	100	4	3	100	54
グループ 2	7	8	88	6	6	100	4	3	100	54
グループ 3	4	5	50	6	6	100	2	0	29	45
グループ 4	3	4	39	5	5	83	0	0	0	39
グループ 5	2	3	28	5	5	83	0	0	0	37
グループ 6	1	2	17	5	5	83	0	0	0	35
グループ 7	0	0	0	5	5	83	0	0	0	32

表 19. ドライブ強度に応じた I/O 規格グループの分類

I/O 規格グループ	I/O 規格名およびドライブ強度
グループ 1	<ul style="list-style-type: none"> • 2.5 V LVDS • 2.5 V RSDS • BLVDS(4 mA) • SLVS(4 mA)
グループ 2	<ul style="list-style-type: none"> • BLVDS(8 mA) • SLVS(8 mA) • Sub-LVDS(8 mA) • 1.8 V、1.5 V、1.2 V HSTL Class I(8 mA) • SSTL-15(34 Ω または 40 Ω) • SSTL-135(34 Ω または 40 Ω) • HSUL-12(34 Ω または 40 Ω) • SSTL-2 Class I(8 mA) • SSTL-18 Class I(8 mA) • SSTL-15 Class I(8 mA) • 2.5 V、1.8 V LVTTTL(4 mA) • 2.5 V、1.8 V、1.5 V、1.2 V LVCMOS(4 mA) • 1.8 V LVTTTL(2 mA) • 1.8 V、1.5 V、1.2 V LVCMOS(2 mA)
グループ 3	<ul style="list-style-type: none"> • BLVDS(12 mA) • SLVS(12 mA) • Sub-LVDS(12 mA) • SSTL-2 Class I(10 mA または 12 mA) • SSTL-18 Class I(10 mA または 12 mA) • SSTL-15 Class I(10 mA または 12 mA) • 1.8 V、1.5 V、1.2 V HSTL Class I(10 mA または 12 mA) • SSTL-2(50 Ω) • SSTL-18(50 Ω) • SSTL-15(50 Ω) • 1.8 V および 1.2 V HSTL(50 Ω)

continued...



I/O 規格グループ	I/O 規格名およびドライブ強度
	<ul style="list-style-type: none"> • HSUL-12(48 Ω) • 2.5 V、1.8 V LVTTTL(50 Ω) • 2.5 V、1.8 V、1.5 V、1.2 V LVCMOS(50 Ω) • 1.8 V LVTTTL(6 mA または 8 mA) • 1.8 V、1.5 V、1.2 V LVCMOS(6 mA または 8 mA) • 3.0 V LVTTTL(4 mA) • 3.0 V LVCMOS(4 mA)
グループ 4	<ul style="list-style-type: none"> • SSTL-18 Class II(12 mA) • 3.0 V LVTTTL(50 Ω) • 3.0 V LVCMOS(50 Ω) • 2.5 V LVTTTL(8 mA) • 2.5 V LVCMOS(8 mA) • 1.8 V LVTTTL(10 mA または 12 mA) • 1.8 V、1.5 V、1.2 V LVCMOS(10 mA または 12 mA) • 3.3 V LVCMOS(2 mA)
グループ 5	<ul style="list-style-type: none"> • SSTL-2 Class II(16 mA) • SSTL-18 Class II(16 mA) • SSTL-15 Class II(16 mA) • 1.8 V、1.5 V HSTL Class II(16 mA) • 1.2 V HSTL Class II(14 mA) • SSTL-18(25 Ω) • SSTL-15(25 Ω) • SSTL-2(25 Ω) • 1.8 V、1.2 V HSTL(25 Ω) • 2.5 V、1.8 V LVTTTL(25 Ω) • 2.5 V、1.8 V、1.5 V、1.2 V LVCMOS(25 Ω) • 1.8 V LVTTTL(16 mA) • 1.8 V、1.5 V LVCMOS(16 mA) • 2.5 V LVCMOS(12 mA) • 2.5 V LVTTTL(12 mA) • 3.0 V LVCMOS(8 mA) • 3.0 V LVTTTL(8 mA) • 3.3 V LVTTTL(4 mA または 8 mA)
グループ 6	<ul style="list-style-type: none"> • 2.5 V LVTTTL(16 mA) • 2.5 V LVCMOS(16 mA) • 3.0 V LVTTTL(12 mA) • 3.0 V LVCMOS(12 mA) • 3.0 V LVTTTL(25 Ω) • 3.0 V LVCMOS(25 Ω)
グループ 7	<ul style="list-style-type: none"> • 3.0 V LVTTTL(16 mA) • 3.0 V LVCMOS(16 mA)

3.7 ガイドライン:外部メモリ・インタフェース I/O の制限

これらの I/O ルールは、デザインに外部メモリ・インタフェースを使用する場合に適用されます。

DQ ピンに隣接する 2 つの GPIO はディセーブルされる

この制限は DDR3 および LPDDR2 SDRAM メモリ規格を使用する場合にのみ、MAX 10 10M16、10M25、10M40、10M50 デバイスに適用されます。

表 20. DQ ピンに隣接する 2 つの GPIO がディセーブルされた DDR3 および LPDDR2 メモリ・インタフェース幅とデバイス・パッケージ

次の表は、MAX 10 10M16、10M25、10M40、10M50 デバイスのパッケージと、DQ ピンに隣接する 2 つの GPIO ピンを使用できない DDR3 および LPDDR2 メモリ・インタフェース幅の組み合わせをリストしています。

デバイス・パッケージ	メモリ・インタフェース幅(DDR3 と LPDDR2 のみ)
U324	x8
F484	x8, x16, x24
F672	x8, x16, x24

一部のデバイスではバンク内の I/O 使用率の合計を 75 パーセント以下にする必要がある

DDR3 または LPDDR2 SDRAM メモリ・インタフェース規格を使用する場合、基本的に、バンクで使用可能な I/O ピンの総数の最大 75 パーセントを使用することができます。この制限は各デバイスごとに異なります。一部のデバイス・パッケージでは、100 パーセントの I/O をすべて使用することができます。デバイスのバンクごとの I/O 使用率がこのルールに反する場合、Quartus Prime ソフトウェアがエラー・メッセージを表示します。

DDR2 メモリ・インタフェース規格を使用する場合、I/O ピンの 25 パーセントを入力ピンとしてのみ割り当てることができます。

3.8 ガイドライン:兼用コンフィグレーション・ピン

ユーザーモードでコンフィグレーション・ピンをユーザー I/O ピンとして使用するには、以下のガイドラインに従う必要があります。

表 21. MAX 10 デバイスの兼用コンフィグレーション・ピンのガイドライン

ガイドライン	ピン
初期化中のコンフィギュレーション・ピン: <ul style="list-style-type: none"> 外部 I/O ドライバをトライステートにし、外部プルアップ抵抗をドライブする⁽¹⁰⁾ または または、外部 I/O ドライバを使用して、ピンを外部ウィークプルアップ抵抗と同じ状態に駆動する 	<ul style="list-style-type: none"> nCONFIG nSTATUS CONF_DONE
JTAG ピン <ul style="list-style-type: none"> JTAGEN ピンを使用してユーザー I/O ピンと JTAG ピンの機能を交互に切り替えるのであれば、すべての JTAG ピンがシングルエンドの I/O ピンまたは電圧リファレンス形式の I/O ピンとして割り当てられている必要がある。推奨の入力バッファはシュミットトリガー入力 JTAG ピンのいずれかを差動 I/O ピンとして割り当てた場合、ユーザーモードで JTAG ピンが JTAG ピンとして動作できない JTAG プログラミング中は JTAG ピンを専用ピンとして使用する必要があり、ユーザー I/O ピンとして使用することはできない 初期化の段階で JTAG ピンをトグルすることはできない 初期化の前に最低 5 クロックサイクル間、テスト・アクセス・ポート(TAP)コントローラーをリセット状態にし、TDI ピンと TMS ピンを High に、TCK ピンを Low に駆動する 	<ul style="list-style-type: none"> TDO TMS TCK TDI

注意: JTAG ピン共有機能をイネーブルする場合は、すべての JTAG ピンをシングルエンドの I/O ピンまたは電圧リファレンス形式の I/O ピンとして割り当てます。

(10) 外付けのウィークプルアップ抵抗を取り外す場合、Intel はデバイスがユーザー・モードに入った後に外付けのウィークプルアップ抵抗を取り外すことを推奨します。



関連情報

MAX 10 FPGA Configuration User Guide

コンフィギュレーション・モードとユーザー・モードでの兼用 I/O ピンの詳細を示します。

3.9 ガイドライン: MAX 10 E144 パッケージのクロックおよびデータ入力信号

MAX 10 E144 鉛フレーム・パッケージに、強い誘導結合が生じます。アグレッサ・ピンが入力ピンに近接して強いドライブ強度でトグルした場合に、入力ピンでグリッジが生じます。

PLL クロック入力ピン

PLL クロック入力ピンは、SSN ジッタに対してセンシティブです。PLL がロックを失うことを回避するために、PLL クロック入力ピンのすぐ左側または右側で出力ピンを使用しないようにします。

データ入力ピン

以下の条件化で、入力読み出し信号障害をまねく、データ入力ピン上の潜在的なグリッジが生じることがあります。

- データ入力ピンに直接的に近接する出力ピンが、LVTTTL や LVCMOS といった終端のない I/O 規格に 8 mA 以上のドライブ強度で割り当てられている
- データ入力ピンに直接的に近接する出力ピンが、SSTL のような終端のある I/O 規格に 8 mA 以上のドライブ強度で割り当てられている

データ入力ピン上のジッタを軽減するために、Intel は、以下のガイドラインを推奨します。

- 直接的に近接する終端のない差動 I/O 規格の出力ピンのドライブ強度を以下のように下げる
 - 4 mA 以下 — 2.5 V、3.0 V、3.3 V の終端のない I/O 規格
 - 6 mA 以下 — 1.2 V、1.5 V、1.8 V の終端のない I/O 規格
- 終端のない I/O 規格では、データ入力ピンのすぐ左側または右側のピンをトグルしない信号に割り当てる
- 終端のある I/O 規格では、データ入力ピンのすぐ左側または右側のピン 1 本のみを、そのピンのスルー・レート設定を「0」(低速スルー・レート)にセットする場合に限りトグルする信号として使用できる。それ以外の場合には、データ入力ピンのすぐ左側または右側のピンをトグルしない信号に割り当てる
- 終端のない I/O 規格のデータ入力ピンをシュミット・トリガ入力バッファに変えてノイズ耐性を改善する。データ入力ピンにシュミット・トリガ入力バッファを使用する場合、直接的に近接する出力ピンを終端のない I/O 規格で最大 8 mA のドライブ強度で使用できる

4 MAX 10 I/O の実装ガイド

I/O デザインを Quartus Prime ソフトウェアに実装することができます。このソフトウェアには、デザインの作成ならびにコンパイルを行い、また、デバイスをコンフィギュレーションするためのツールが含まれています。

Quartus Prime ソフトウェアを使用して、デバイスのマイグレーションの準備、ピン・アサインメントの設定、配置制限の定義、タイミング制約のセットアップ、および IP コアのカスタマイズをすることができます。Quartus Prime ソフトウェアを使用するにあたっての詳細は、関連情報を参照してください。

関連情報

3 ページの [MAX 10 I/O の概要](#)

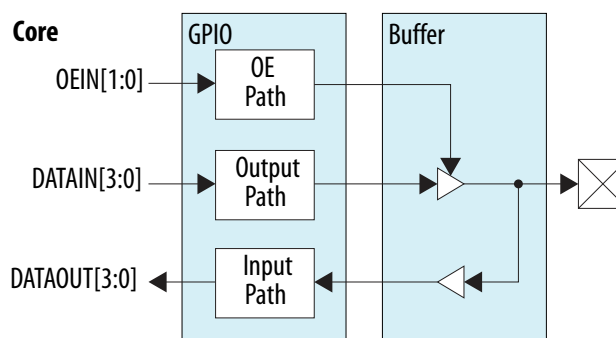
4.1 アルテラ GPIO ライト IP コア

アルテラ GPIO ライト IP コアは MAX 10 GPIO コンポーネントをサポートします。デザインに GPIO を実装するにあたって、デザイン要件に合うようアルテラ GPIO ライト IP コアをカスタマイズし、デザインでインスタンス化することができます。

GPIO は、トランシーバ、メモリのようなインタフェース、あるいは LVDS に限らず、汎用アプリケーションに使用される I/O です。アルテラ GPIO ライト IP コアは以下のコンポーネントを備えています。

- ダブル・データ・レート入力/出力 (DDIO) — 通信チャンネルのデータ・レートを倍にするデジタル・コンポーネント
- I/O バッファ — パッドを FPGA に接続する

図 -13: シングルエンド GPIO の概略図



関連情報

- [Introduction to Intel FPGA IP Cores](#)
パラメーター化、アップグレード、IP コアのシミュレーションを含むすべての IntelFPGA IP コアに関する基本的な情報を提供します。

- [Creating Version-Independent IP and Qsys Simulation Scripts](#)
ソフトウェアあるいは IP のバージョンのアップグレードのためのマニュアルでの更新を必要としないシミュレーション・スクリプトの作成について詳しい情報を提供します。
- [Project Management Best Practices](#)
プロジェクトと IP ファイルの効果的な管理および移植性のためのガイドラインを提供します。

4.1.1 アルテラ GPIO ライト IP コアのデータ・パス

表 22. アルテラ GPIO ライトデータ・パスのモード

データ・パス	モード		
	バイパス	シングル・レジスタ	DDR
入力	データはすべてのダブル・データ・レート I/O (DDIO) をバイパスして、遅延エレメントからコアへ送信されます。	フル・レート DDIO はシングル・レジスタとして動作します。	フル・レート DDIO は通常の DDIO として動作します。
出力	データはすべての DDIO をバイパスして、コアから遅延エレメントに直接送信されます。	フル・レート DDIO はシングル・レジスタとして動作します。	フル・レート DDIO は通常の DDIO として動作します。
双方向	出力バッファは、出力ピンと入力バッファの両方を駆動します。	フル・レート DDIO はシングル・レジスタとして動作します。出力バッファは出力ピンと入力バッファの両方を駆動します。	フル・レート DDIO は通常の DDIO として動作します。出力バッファは出力ピンと入力バッファの両方を駆動します。入力バッファは 3 つのフリップ・フロップのセットを駆動します。

非同期クリアとプリセット信号を使用する場合、すべての DDIO は同じ信号を共有します。

4.1.1.1 DDR 入力パス

パッドは入力バッファにデータを送り、入力バッファは遅延エレメントへ供給します。遅延エレメントから、データは DDIO ステージに供給されます。DDIO ステージは 3 つのレジスタで構成されています。

- RegAi は正のクロック・エッジで pad_in からデータをサンプリングします。
- RegBi は負のクロック・エッジで pad_in からデータをサンプリングします。
- RegCi は負のクロック・エッジで RegAi からデータをサンプリングします。

図 -14: アルテラ GPIO ライト DDR 入力パスの簡略図

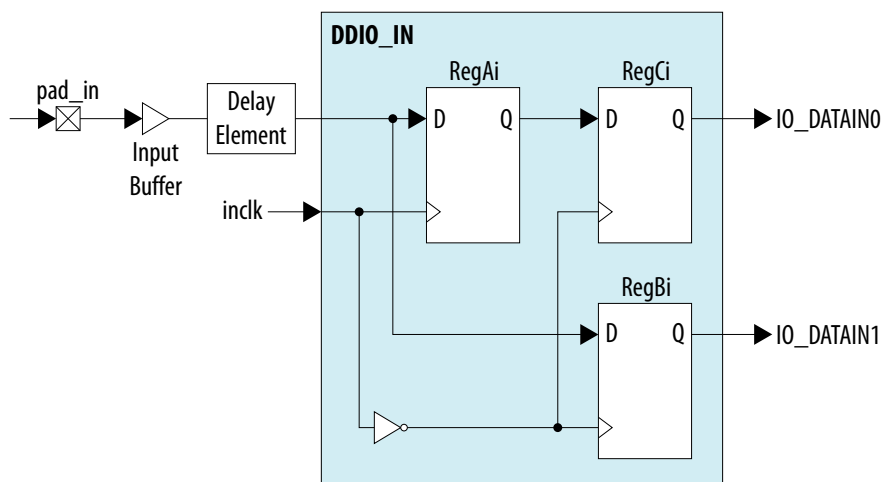
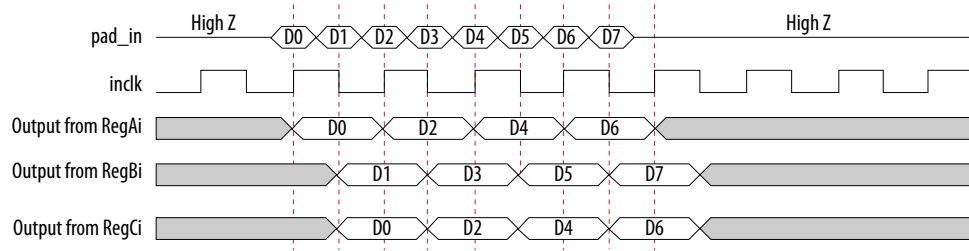


図 -15: アルテラ GPIO ライト入カパスのタイミング図



4.1.1.2 出カインーブルの DDR 出カパス

- RegCo は正のクロック・エッジで IO_DATAOUT0 からのデータをサンプリングします。
- RegDo は outclock の値が 0 のとき IO_DATAOUT1 からのデータをサンプリングします。
- Output DDR は正のクロック・エッジで RegCo からのデータをサンプリングし、負のクロック・エッジで RegDo からのデータをサンプリングします。

図 -16: 出カインーブルでのアルテラ GPIO ライト DDR 出カパスの簡略図

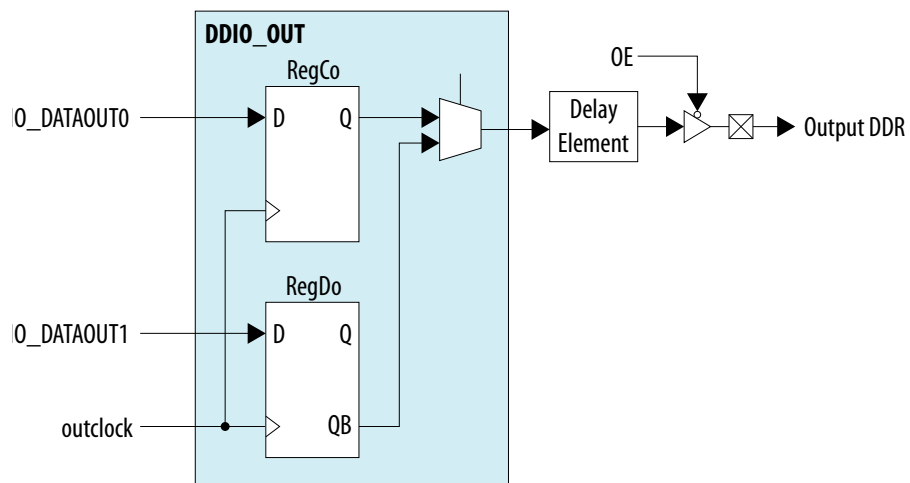
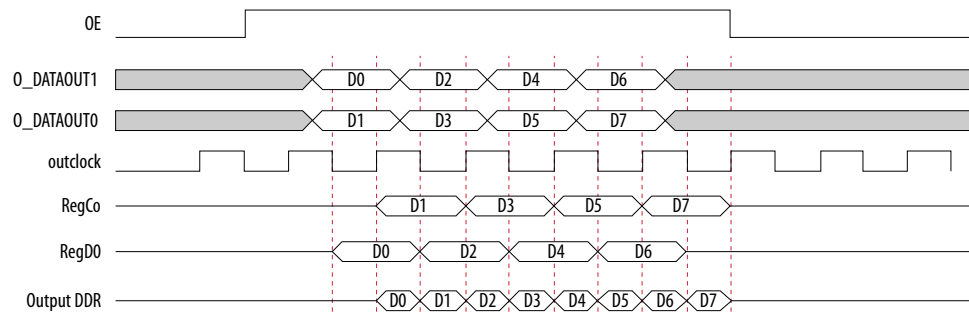


図 -17: アルテラ GPIO ライト出カパスのタイミング図





4.2 ピン・マイグレーションの互換性の検証

Quartus Prime ソフトウェアで Pin Planner の **Pin Migration View** ウィンドウを使用して、ピン・アサインメントを別のデバイスに問題なく移行できるかどうかを検証することができます。

同じデバイス・パッケージを使用しているが集積度が異なるデバイスへのパーティカル・マイグレーションや、周波数とボール・カウントの異なるパッケージ間の移行が可能です。

1. **Assignments > Pin Planner** を開き、ピン・アサインメントを作成します。
2. 必要な場合、以下のオプションのいずれかを実行して、デザイン内のノード名を Pin Planner に入力します。
 - 解析とエラボレーション
 - 解析と合成
 - デザインを完全にコンパイルする
3. 次に、メニューの **View > Pin Migration View** をクリックします。
4. マイグレーション・デバイスを選択または変更するには、
 - a. **Device** をクリックして **Device** ダイアログ・ボックスを開きます。
 - b. **Migration compatibility** の **Migration Devices** をクリックします。
5. ピンに関する詳細情報を表示するには、
 - a. **Pin Migration View** ウィンドウのどこかで右クリックし、**Show Columns** を選択します。
 - b. 次に、表示したいピン機能をクリックします。
6. 1 つまたは複数のマイグレーション・デバイスの、Migration Result の該当するピンと異なった機能を有するピンのみを表示したい場合は、**Show migration differences** をオンにします。
7. **Pin Finder** をクリックして **Pin Finder** ダイアログ・ボックスを開き、目的の機能を有するピンを検索してハイライトします。

Pin Finder ダイアログ・ボックスにおける直近の照会 (Query) で、表示され、ハイライトしたピンのみを表示したい場合、**Show only highlighted pins** をオンにします。
8. ピン・マイグレーション情報をカンマ区切り値ファイル (.csv) にエクスポートするには、**Export** をクリックします。

関連情報

5 ページの [MAX 10 I/O パーティカル・マイグレーション・サポート](#)



5 アルテラ GPIO ライト IP コアの参考資料

アルテラ GPIO ライト IP コアのさまざまなパラメータ設定をセットし、動作、ポート、および信号をカスタマイズすることができます。

Quartus Prime ソフトウェアは、パラメータ・エディタで設定したパラメータ・オプションに基づいてカスタマイズしたアルテラ GPIO ライト IP コアを生成します。

関連情報

3 ページの [MAX 10 I/O の概要](#)

5.1 アルテラ GPIO ライトのパラメータ設定

アルテラ GPIO ライト IP コアのパラメータ設定は、Quartus Prime ソフトウェアで設定することができます。**General**、**Buffer**、および **Registers** のオプションの 3 つのグループがあります。

表 23. アルテラ GPIO ライトの General パラメータ

パラメータ	条件	選択可能な値	説明
Data direction	—	<ul style="list-style-type: none"> input output bidir 	GPIO のデータ方向を指定します。
Data width	—	1 ~ 128	データ幅を指定します。

表 24. アルテラ GPIO ライトの Buffer パラメータ

パラメータ	条件	選択可能な値	説明
Use true differential buffer	Data direction = 入力または出力	<ul style="list-style-type: none"> On Off 	オンにすると、真の差動 I/O バッファを有効にし、擬似差動 I/O バッファを無効にします。
Use pseudo differential buffer	Data direction = 出力または双方向	<ul style="list-style-type: none"> On Off 	<ul style="list-style-type: none"> 出力モードでオンにすると、擬似差動出力バッファを有効にし、真の差動 I/O バッファを無効にします。 双方向モードでオンにすると、真の差動入力バッファと擬似差動出力バッファを有効にします。
Use bus-hold circuitry	Data direction = 入力または出力	<ul style="list-style-type: none"> On Off 	オンにすると、バス・ホールド回路が微弱な電流で I/O ピンの信号を最後に駆動された状態に保持し、これにより、出力バッファ・ステートはハイ・インピーダンスではなく 1 または 0 になります。
Use open drain output	Data direction = 出力または双方向	<ul style="list-style-type: none"> On Off 	オンにすると、オープン・ドレイン出力によってデバイスが割り込み信号や書き込みイネーブル信号といったシステム・レベルのコントロール信号を提供できるようになり、これらの信号は、システム内の複数のデバイスがアサートすることができます。
Enable oe port	Data direction = 出力	<ul style="list-style-type: none"> On Off 	オンにすると、OE ポートへのユーザー入力を有効にします。このオプションは、双方向モードでは自動的にオンになります。

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



表 25. アルテラ GPIO ライトの Registers パラメータ

パラメータ	条件	選択可能な値	説明
Register mode	—	<ul style="list-style-type: none"> bypass single-register ddr 	<p>アルテラ GPIO ライト IP コアのレジスタ・モードを指定します。</p> <ul style="list-style-type: none"> bypass — バッファからまたはバッファへの接続に単純な配線を指定します。 single-register — DDIO をシングル・データ・レート・モード (SDR) で単純なレジスタとして使用することを指定します。フィッパはこのレジスタを I/O 内にパックすることがあります。 ddr—IP が DDIO を使用することを指定します。
Enable aclr port	<ul style="list-style-type: none"> Register mode = ddr 	<ul style="list-style-type: none"> On Off 	オンにすると、非同期クリアの ACLR ポートを有効にします。
Enable aset port	<ul style="list-style-type: none"> Data direction = 出力または双方向 Register mode = ddr Set registers to power up high (when aclr and aset ports are not used) = Off 	<ul style="list-style-type: none"> On Off 	オンにすると、非同期プリセットの ASET ポートを有効にします。
Set registers to power up high (when aclr and aset ports are not used)	<ul style="list-style-type: none"> Register mode = ddr Enable aclr port = Off Enable aset port = Off Enable sclr port = Off 	<ul style="list-style-type: none"> On Off 	<p>ACLR ポートと ASET ポートを使用していない場合、</p> <ul style="list-style-type: none"> On — レジスタをパワーアップ HIGH に指定します。 Off — レジスタをパワーアップ LOW に指定します。
Enable inclocken/ outclocken ports	Register mode = ddr	<ul style="list-style-type: none"> On Off 	<ul style="list-style-type: none"> On — クロック・イネーブル・ポートを有効にし、データがクロック・インまたはクロック・アウトする際の制御を可能にします。この信号は、データがユーザーの制御なしで通過することを防ぎます。 Off — クロック・イネーブル・ポートを有効にしません。データは常にレジスタを自動的に通過します。
Invert din	<ul style="list-style-type: none"> Data direction = 出力 Register mode = ddr 	<ul style="list-style-type: none"> On Off 	オンにすると、データ・アウト出力ポートを反転させます。
Invert DDIO inclock	<ul style="list-style-type: none"> Data direction = 入力または双方向 Register mode = ddr 	<ul style="list-style-type: none"> On Off 	<ul style="list-style-type: none"> ON — 入力クロックの立ち下がりエッジで最初のデータ・ビットをキャプチャします。 Off — 入力クロックの立ち上がりエッジで最初のデータ・ビットをキャプチャします。

continued...

パラメータ	条件	選択可能な値	説明
Use a single register to drive the output enable (oe) signal at the I/O buffer	<ul style="list-style-type: none"> Data direction = 出力または双方向 Register mode = single-register または ddr Use DDIO registers to drive the output enable (oe) signal at the I/O buffer = Off 	<ul style="list-style-type: none"> On Off 	オンにすると、シングルレジスタが出力バッファで OE 信号を駆動することを指定します。
Use DDIO registers to drive the output enable (oe) signal at the I/O buffer	<ul style="list-style-type: none"> Data direction = 出力または双方向 Register mode = ddr Use a single register to drive the output enable (oe) signal at the I/O buffer = Off 	<ul style="list-style-type: none"> On Off 	オンにすると、DDR I/O レジスタが出力バッファで OE 信号を駆動することを指定します。出力ピンは、OE ポートが High になった後、クロックサイクルの半分の間余分にハイインピーダンスに保持されます。
Implement DDIO input registers in hard implementation (Only available in certain devices)	<ul style="list-style-type: none"> Data direction = 入力または双方向 Register mode = ddr 	<ul style="list-style-type: none"> On Off 	<ul style="list-style-type: none"> On — I/O エッジのハードブロックを使用して、DDIO 入力レジスタを実装します。 Off — FPGA コア・ファブリックのレジスタを使用して、DDIO 入力レジスタをソフト実装で実装します。 <p>DDIO 入力レジスタのハードブロックは MAX 10 16、25、40、および 50 デバイスでのみ使用可能なため、このオプションはこれらのデバイスにのみ適用することができます。Fitter エラーを避けるため、他の MAX 10 デバイスではこのオプションをオフにしてください。</p>

5.2 アルテラ GPIO ライトのインタフェース信号

指定したパラメータ設定に応じて、アルテラ GPIO ライト IP コアにさまざまなインタフェース信号を使用することができます。

表 26. パッド・インタフェース信号

パッド・インタフェースは、アルテラ GPIO ライト IP コアをパッドに接続します。

信号名	入力/出力	説明
pad_in	入力	入力バスを使用する場合の入力パッド・ポートです。
pad_in_b	入力	入力バスを使用し、真の差動バッファまたは擬似差動バッファを有効にする場合の負の入力パッド・ポートです。
pad_out	出力	出力バスを使用する場合の出力パッド・ポートです。
pad_out_b	出力	出力バスを使用し、真の差動バッファまたは擬似差動バッファを有効にする場合の負の出力パッド・ポートです。
pad_io	双方向	双方向バスを使用する場合の双方向パッド・ポートです。
pad_io_b	双方向	双方向バスを使用し、真の差動バッファまたは擬似差動バッファを有効にする場合の負の双方向パッド・ポートです。



表 27. データ・インタフェース信号

データ・インタフェースは、アルテラ GPIO ライト IP コアから FPGA コアへの入力インタフェースまたは出力インタフェースです。

信号名	入力/出力	説明
din	入力	入力ピンから受信するデータです。 各入力ピンの信号幅を以下に示します。 • DDR モード – 2 • その他のモード – 1
dout	出力	出力ピンを介して送信するデータです。 各出力ピンの信号幅を以下に示します。 • DDR モード – 2 • その他のモード – 1
oe	入力	出力バッファを有効にするコントロール信号です。この信号はアクティブ High です。
nsleep	入力	入力バッファを有効にするコントロール信号です。この信号はアクティブ Low です。 この信号は、10M16、10M25、10M40、10M50 デバイスで使用可能です。

表 28. クロック・インタフェース信号

このクロック・インタフェースは、入力クロック・インタフェースです。このインタフェースは、コンフィギュレーションに応じて異なる信号から構成されます。アルテラ GPIO ライト IP コアは 0、1、2、または 4 つのクロック入力を有することができます。クロック・ポートは、クロック信号の実際の作用を反映するために、それぞれのコンフィギュレーションにおいて異なったものになります。

信号名	入力/出力	説明
inclock	入力	入力バスのレジスタを駆動する入力クロックです。
inclocken	入力	データがクロック・インされた際の制御をするコントロール信号です。この信号はアクティブ High です。
outclock	入力	出力バスのレジスタを制御する入力クロックです。
outclocken	入力	データがクロック・アウトされた際の制御をするコントロール信号です。この信号はアクティブ High です。

表 29. リセット・インタフェース信号

リセット・インタフェースは、アルテラ GPIO ライト IP コアを DDIO に接続します。

信号名	入力/出力	説明
aclr	入力	レジスタの出力ステートを 0 にセットする、非同期クリア向けのコントロール信号です。この信号はアクティブ High です。
aset	入力	レジスタの出力ステートを 1 にセットする、非同期プリセット向けのコントロール信号です。この信号はアクティブ High です。
sclr	入力	レジスタ出力を 0 にセットする、同期クリア向けのコントロール信号です。この信号はアクティブ High です。



A MAX 10 汎用 I/O ユーザー・ガイドのアーカイブ

IP コアのバージョンが記載されていない場合には、以前の IP コア・バージョン向けのユーザー・ガイドが当てはまります。

IP コア・バージョン	ユーザー・ガイド
15.1	MAX 10 汎用 I/O ユーザー・ガイド
15.0	MAX 10 汎用 I/O ユーザー・ガイド
14.1	MAX 10 汎用 I/O ユーザー・ガイド

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/ またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



B MAX 10 汎用 I/O ユーザーガイドの改訂履歴

日付	バージョン	変更内容
2017年2月	2017.02.21	商標を「Intel」へ変更。
2016年5月	2016.05.02	<ul style="list-style-type: none"> デュアル電源 MAX 10 デバイスでのみサポートされる I/O 規格を特定するために、サポートされる I/O 規格のリストを更新 明瞭を期すためエミュレーション差動 I/O 規格の名称を更新 ピン・タイプがサポートする I/O 規格はそのピンの I/O バンクに依存することを明確にするため、I/O 規格の電圧とピン・サポートについてのトピックを更新 PCI クランプ・ダイオードの設定についての情報を更新 <ul style="list-style-type: none"> サポートされるすべての I/O 規格の入力ピンはデフォルトで On 3.0 V PCI を除くサポートされるすべての I/O 規格の出力ピンはデフォルトで Off ADC I/O の制限についてのトピックを更新 <ul style="list-style-type: none"> Quartus Prime バージョン 15.0.1 以降で物理ベースのルールがサポートされるデバイスのリストを追加 バンク 8 で許可される GPIO の割合をリストしている表は、F484 パッケージでの一例であることを明記。すべてのデバイス・パッケージで、許容される GPIO の割合を超えると Quartus Prime ソフトウェアが警告メッセージを表示することを追加。
2015年11月	2015.11.02	<ul style="list-style-type: none"> PCI クランプダイオードのサポートに 3.3 V および 2.5 V シュミット・トリガ I/O 規格を追加 プログラマブル I/O バッファの機能と設定をまとめた表を追加 V_{CCIO} 範囲における検討事項および VREF I/O 規格の制限に、バンク 1A とバンク 1B で異なる V_{CCIO} 電源を使用する際のガイドラインを追加 E144 パッケージでクロックおよび入力ピンを使用する際のガイドラインを追加 Enable nsleep port パラメータ・オプションを追加 Removed the topics about the IP catalog and parameter editor, generating IP cores, and the files generated by the IP core, and added a link to <i>Introduction to Intel IP Cores</i>. 表記を <i>Quartus II</i> から <i>Quartus Prime</i> へ変更。
2015年6月	2015.06.10	<ul style="list-style-type: none"> I/O バンクの配置についてのトピックで、MAX 10 デバイスのピンアウトに関連するリンクを追加。デバイスのピンアウト・ファイルは、各 I/O バンクで使用可能な I/O ピンについて詳しい情報を提供する ADC の I/O 制約のガイドラインを更新
2015年5月	2015.05.04	<ul style="list-style-type: none"> MAX 10 10M25 デバイスの F672 パッケージを削除 サポートされる I/O 規格の表で LVDS(専用)についての脚注を更新し、すべての I/O バンクで LVDS レシーバを使用できることを明記 I/O 規格の電圧レベルおよびピンのサポートの表の 3.3 V シュミット・トリガの行の DQS の列に、欠落していた脚注番号を追加 プログラマブル出力スルー・レート・コントロールをサポートする I/O 規格とドライブ能力設定の表を追加 外部メモリ・インタフェース I/O の制限のトピックで F484 パッケージに x24 メモリ・インタフェース幅を追加 プログラマブル差動出力電圧についてのトピックを追加 電圧リファレンス形式 I/O 規格のガイドラインに電圧リファレンス形式 I/O 規格をサポートしないデバイス・パッケージのリストを追加

continued...

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO
9001:2008
登録済



日付	バージョン	変更内容
		<ul style="list-style-type: none">• I/O 制約のルールから差動パッド配置ルールについての説明を削除• input_ena の信号名を nsleep に変更し、関連する説明を更新• アルテラ GPIO ライト IP コアの Invert DDIO inclock パラメータの説明を更新
2014 年 12 月	2014.12.15	ADC の I/O 制約についてのトピックで以下を更新 <ul style="list-style-type: none">• 物理ベースのルールの Quartus Prime への実装についての情報を追加• ADC の I/O 制約向けの I/O 規格のグループの表を更新
2014 年 9 月	2014.09.22	初版。