


この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

HIII51008-1.0

はじめに

HardCopy[®] III デバイス・ファミリは、Utopia、Rapid IO[®]、XSBI、SGMII、SFI、および SPI などのソース・シンクロナス通信プロトコルをサポートする最大 1.25 Gbps の差動 I/O 機能を提供します。HardCopy III デバイスと Stratix[®] III デバイスは両方とも、同じ高速差動 I/O インタフェースおよび DPA 用回路を備えています。HardCopy III の高速 I/O は、Stratix III デバイスと同じ I/O 規格および実装ガイドラインをサポートします。Stratix III デバイスで高速インタフェースのプロトタイプを作成し、デザインを HardCopy III デバイスに移行することができます。

 Stratix III Quartus II プロジェクトで、**HardCopy III** コンパニオン・デバイスを設定する必要があります。そうしないと、リソースの可用性が異なるため、HardCopy III デバイスに移行できません。

HardCopy III デバイスは、Stratix III デバイスと同じ高速差動 I/O サポートのための以下の専用回路を備えています。

- 差動 I/O バッファ
- トランスミッタ・シリアライザ
- レシーバ・デシリアライザ
- データ・リアライメント
- ダイナミック・フェーズ・アライナ (DPA)
- シンクロナイザ (FIFO バッファ)
- アナログ PLL (デバイスの左側および右側に配置)

高速差動インタフェース向けに、HardCopy III デバイスは以下の差動 I/O 規格をサポートしています。

- LVDS (Low Voltage Differential Signaling)
- Mini-LVDS
- RSDS (Reduced Swing Differential Signaling)
- 差動 HSTL
- 差動 SSTL

HSTL および SSTL I/O 規格は、差動モードでは PLL クロック入力および出力にのみ使用できます。

I/O バンク

HardCopy III の I/O は、16 ～ 20 の I/O バンクに分割されます。高速差動 I/O をサポートする専用回路は、デバイスの左および右（ロウ） I/O バンクに配置されています。図 8-1 に、各種バンクおよびバンクでサポートされている I/O 規格を示します。

図 8-1. HardCopy III デバイスの I/O バンク 注 (1)、(2)、(3)、(4)、(5)、(6)

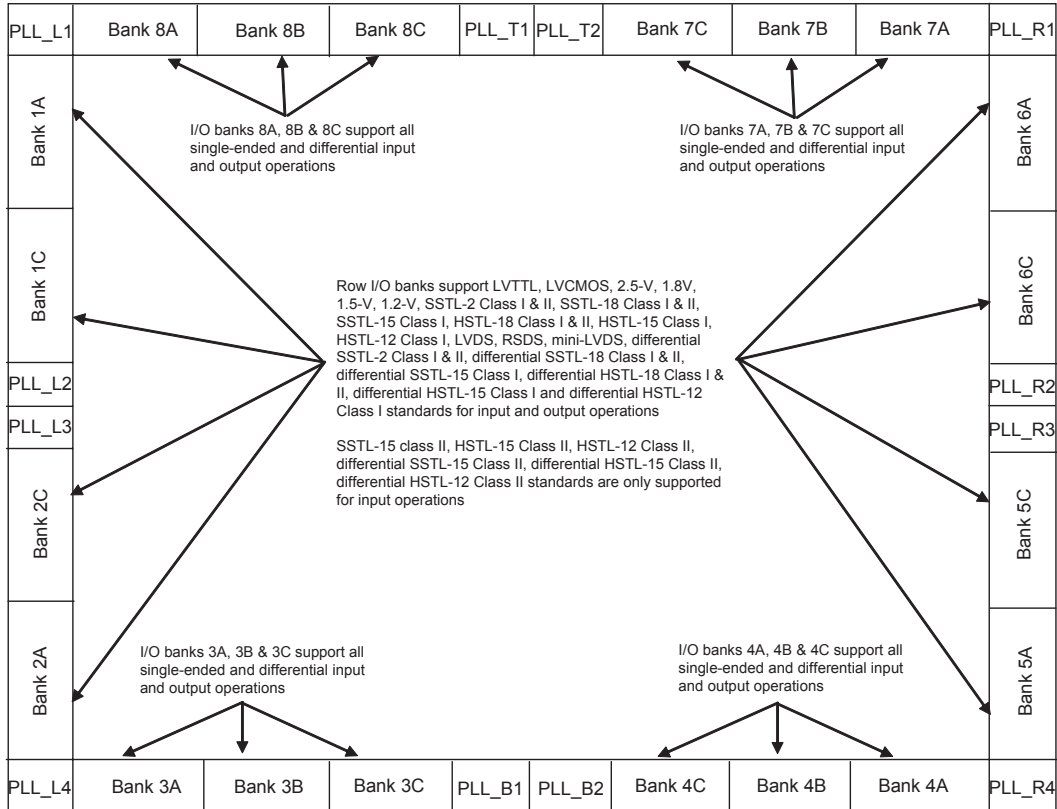


図 8-1 の注:

- (1) 1,152 ピンおよび 1,517 ピン・パッケージは、20 個の I/O バンクを備えています。780 ピン・パッケージは、16 個の I/O バンクを備えています。
- (2) 図 8-1 はシリコン・ダイの上面図で、フリップ・チップ・パッケージの裏面図に相当します。これは参考図です。正確なピン配置については、ピン・リストおよび Quartus II ソフトウェアを参照してください。
- (3) 差動 HSTL および SSTL I/O は、トランスミッタ用に 2 番目の出力を反転としてプログラムした 2 つのシングル・エンド出力を使用し、レシーバ用に真の SSTL/HSTL 差動入力バッファを使用します。
- (4) トップおよびボトム I/O 差動 HSTL および SSTL 入力、オンチップ差動 OCT サポートなしの LVDS 差動入力バッファを使用します。
- (5) トップおよびボトム I/O は、SE バッファおよび外部抵抗ネットワークを使用して LVDS 出力をサポートします。
- (6) PLL ブロックは位置を示す目的のみ示しており、追加バンクとは見なされません。PLL 入力および出力は、隣接したバンクの I/O を使用します。

LVDS チャネル

HardCopy III デバイスは、左右のロウ I/O バンクおよびカラム I/O バンクで LVDS をサポートしています。ロウ I/O バンクには、真の LVDS 入力および出力バッファがあります。カラム I/O バンクでは、真の LVDS 入力バッファはありますが、真の LVDS 出力バッファも専用高速回路もありません。しかしながら、真の LVDS 入力バッファを備えたすべてのカラム・ユーザー I/O は、エミュレートされた LVDS 出力バッファとしてコンフィギュレーションすることができます。表 8-1 に、HardCopy III デバイスのロウ I/O バンクでサポートされている LVDS チャネルを示します。

表 8-1. HardCopy III デバイスの左および右（ロウ） I/O バンクでサポートされている LVDS チャネル 注 (1) (1 / 2)

HardCopy III デバイス	780 ピン FineLine BGA	1152 ピン FineLine BGA	1517 ピン FineLine BGA (2)
HC311W	56Rx + 56Tx	—	—
HC311F	56Rx + 56Tx	—	—
HC321W	56Rx + 56Tx	—	—
HC321F	56Rx + 56Tx	—	—
HC322L	—	88Tx + 88Rx	—
HC322F	—	88Tx + 88Rx	—
HC331W	56Rx + 56Tx	—	—
HC331F	56Rx + 56Tx	—	—
HC332L	—	88Tx + 88Rx	—
HC332F	—	88Tx + 88Rx	—
HC351W	56Rx + 56Tx	—	—
HC351F	56Rx + 56Tx	—	—
HC352L	—	88Tx + 88Rx	—
HC352F	—	88Tx + 88Rx	88Tx + 88Rx
HC361W	56Rx + 56Tx	—	—
HC361F	56Rx + 56Tx	—	—
HC362L	—	88Tx + 88Rx	—
HC362F	—	88Tx + 88Rx	88Tx + 88Rx

表 8-1. HardCopy III デバイスの左および右（ロウ） I/O バンクでサポートされている LVDS チャネル 注 (1) (2 / 2)

HardCopy III デバイス	780 ピン FineLine BGA	1152 ピン FineLine BGA	1517 ピン FineLine BGA (2)
HC371W	56Rx + 56Tx	—	—
HC371F	56Rx + 56Tx	—	—
HC372L	—	88Tx + 88Rx	—
HC372F	—	88Tx + 88Rx	88Tx + 88Rx

表 8-1 の注：

- (1) HardCopy III デバイス・ファミリでは、1,760 ピン・パッケージは提供されていません。
- (2) Stratix III デバイス EP3SL340F1517 および EP3SE260F1517 は、112 の Rx および 112 の Tx チャネルを提供しており、HardCopy III デバイスよりも多くのトランシーバ・チャネルを備えています。

表 8-2 に、HardCopy III デバイスのトップおよびボトム（カラム） I/O バンクでサポートされている LVDS チャネル(エミュレートされたもの)を示します。

表 8-2. HardCopy III デバイスのトップおよびボトム（カラム） I/O バンクでサポートされている LVDS チャネル（エミュレートされたもの） 注 (1) (1 / 2)

デバイス	780 ピン FineLine BGA	1152 ピン FineLine BGA	1517 ピン FineLine BGA
HC311W	64Tx/Rx + 64Tx	—	—
HC311F	64Tx/Rx + 64Tx	—	—
HC321W	64Tx/Rx + 64Tx	—	—
HC321F	64Tx/Rx + 64Tx	—	—
HC322L	—	96Tx + 96Tx/Rx	—
HC322F	—	96Tx + 96Tx/Rx	—
HC331L	64Tx/Rx + 64Tx	—	—
HC331F	64Tx/Rx + 64Tx	—	—
HC332L	—	96Tx + 96Tx/Rx	—
HC332F	—	96Tx + 96Tx/Rx	—
HC351W	64Tx/Rx + 64Tx	—	—

表 8-2. HardCopy III デバイスのトップおよびボトム（カラム）I/O バンクでサポートされている LVDS チャンネル（エミュレートされたもの）注 (1) (2 / 2)

デバイス	780 ピン FineLine BGA	1152 ピン FineLine BGA	1517 ピン FineLine BGA
HC351F	64Tx/Rx + 64Tx	—	—
HC352L	—	96Tx + 96Tx/Rx	—
HC352F	—	96Tx + 96Tx/Rx	128Tx + 128Tx/Rx
HC361W	64Tx/Rx + 64Tx	—	—
HC361F	64Tx/Rx + 64Tx	—	—
HC362L	—	96Tx + 96Tx/Rx	—
HC362F	—	96Tx + 96Tx/Rx	128Tx + 128Tx/Rx
HC371W	64Tx/Rx + 64Tx	—	—
HC371F	64Tx/Rx + 64Tx	—	—
HC372L	—	96Tx + 96Tx/Rx	—
HC372F	—	96Tx + 96Tx/Rx	128Tx + 128Tx/Rx

表 8-2 の注：

- (1) トップおよびボトム I/O バンクの LVDS 入力バッファは、True LVDS 入力バッファです。真の LVDS 入力バッファを備えた I/O を含むすべてのユーザー I/O は、エミュレートされた LVDS 出力バッファとしてコンフィギュレーションすることができます。

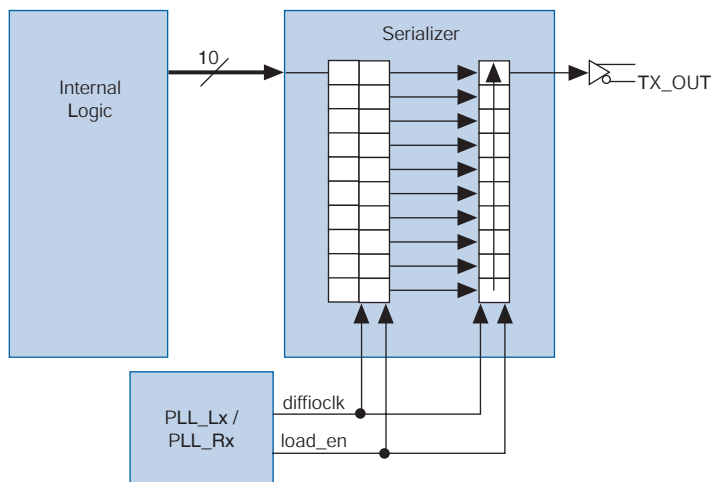
Stratix III デバイス・ハンドブックの高速差動 I/O インタフェースおよび DPA を読んでいる場合は、8-28 ページの「デザインの推奨事項」および 8-29 ページの「Stratix III デバイスと HardCopy III デバイスの相違点」の項に進むことができます。

差動 トランスミッタ

HardCopy III トランスミッタは、LVDS 信号方式をサポートする専用回路を内蔵しています。専用回路は差動バッファ、シリアライザ、および共有アナログ PLL（レフトまたはライト PLL）で構成されています。差動バッファは、LVDS、mini-LVDS、および RSDS 信号レベルをドライブできます。シリアライザは、最大 10 ビット幅の平行ル・データを FPGA コアから取得し、それをロード・レジスタにクロックし、データを差動バッファに送信する前にレフトまたはライト PLL にクロックされたシフト・レジスタを使用してシリアル化します。平行ル・データの最上位ビット（MSB）が最初に送信されます。

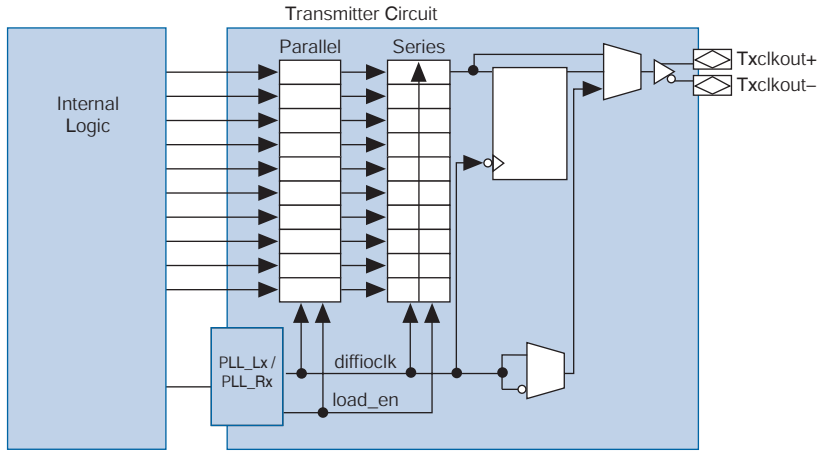
ロードおよびシフト・レジスタは、PLL_Lx (レフト PLL) または PLL_Rx (ライト PLL) で生成されるロード・イネーブル (LOADEN) 信号および diffioclk (シリアル・データ・レートで動作するクロック) 信号でクロックされます。シリアライゼーション・ファクタは、Quartus® II ソフトウェアを使用して、スタティックに ×4、×6、×7、×8、または ×10 に設定できます。ロード・イネーブル信号は、シリアライゼーション・ファクタの設定から派生します。図 8-2 に、HardCopy III トランスミッタのブロック図を示します。

図 8-2. HardCopy III トランスミッタのブロック図



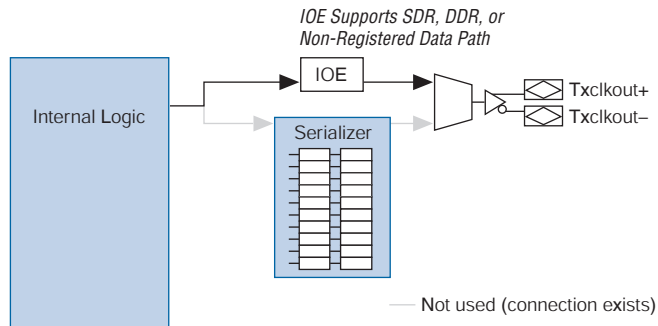
HardCopy III トランスミッタ・データ・チャネルは、ソース・シンクロナス・トランスミッタ・クロック出力を生成するようにコンフィギュレーションできます。この柔軟性により、出力クロックをデータ出力の近くに配置して、ボード・レイアウトを簡略化し、クロックとデータ間のスキューを低減することができます。アプリケーションごとに、特定のクロックとデータ間のアラインメントまたはデータ・レート・クロック・レート・ファクタが必要になる場合があります。トランスミッタはデータと同レートでクロック信号を出力できます。出力クロックは、シリアライゼーション・ファクタによって、2、4、8、または 10 で分周することも可能です。データに対するクロックの位相は、 0° または 180° (エッジまたは中央揃え) に設定できます。左側および右側の PLL (PLL_Lx/PLL_Rx) は、さらに 45° の増分でその他の位相シフトの追加サポートを提供します。これらの設定は、Quartus II MegaWizard® Plug-In Manager でスタティックに行われます。図 8-3 に、クロック出力モードでの HardCopy III トランスミッタを示します。

図 8-3. クロック出力モードの HardCopy III トランスミッタ



HardCopy III シリアライザは、DDR (×2) および SDR (×1) の動作をサポートする際にはバイパスして、それぞれ2および1のシリアライゼーション・ファクタを実現できます。I/O エlement (IOE) には、それぞれが DDR または SDR モードで動作可能な 2 個のデータ出力レジスタがあります。IOE のレジスタのクロック・ソースは、任意の配線リソース、レフトまたはライト PLL (PLL_Lx/PLL_Rx)、またはトップまたはボトム PLL (PLL_Tx/PLL_Bx) から供給できます。図 8-4 に、シリアライザ・バイパス・パスを示します。

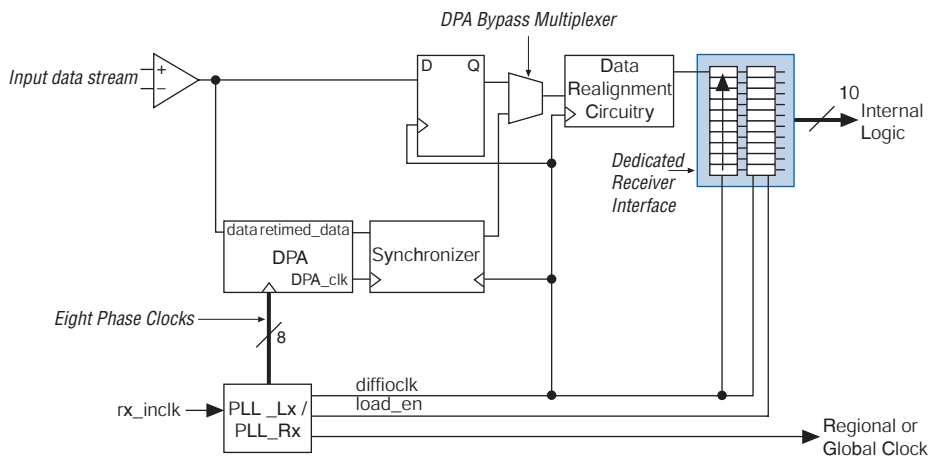
図 8-4. HardCopy III シリアライザ・バイパス



差動レシーバ

HardCopy III デバイスは、高速差動信号を受信するための専用回路を備えています。図 8-5 に、HardCopy III レシーバのブロック図を示します。レシーバは、差動バッファ、共有 PLL_Lx/PLL_Rx、ダイナミック・フェーズ・アラインメント (DPA) ブロック、同期化 FIFO バッファ、データ・リアラインメント・ブロック、およびデシリアライザを備えています。差動バッファは、Quartus II ソフトウェアのアサインメント・エディタでスタティックに設定することで、LVDS、mini-LVDS、および RSDS 信号レベルを受信します。PLL はデータとともに送信される外部ソース・クロック入力を受信し、同じクロックの異なる位相を生成します。DPA ブロックは、左側または右側の PLL からのクロックのいずれかを選択し、各チャンネルの受信データを揃えます。

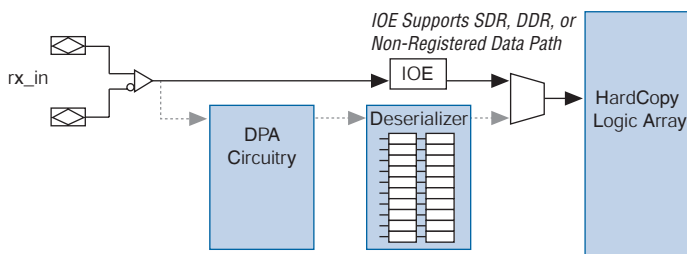
図 8-5. HardCopy III レシーバのブロック図



シンクロナイザ回路は、DPA クロックとデータ・リアラインメント・ブロック間の位相差を補正する 1 ビット幅×6 ビット深度の FIFO バッファです。必要に応じて、データ・リアラインメント回路はシリアル・ビット・ストリームに 1 ビットのレイテンシを挿入し、ワード境界をアラインメントします。デシリアライザはシフト・レジスタとパラレル・ロード・レジスタを内蔵し、最大 10 ビットを内部ロジックに送信します。HardCopy III レシーバのデータ・バスは、diffioclck 信号または DPA 復元クロックによってクロックされます。デシリアライゼーション・ファクタは、Quartus II ソフトウェアを使用して、スタティックに 4、6、7、8、または 10 に設定できます。左側または右側の PLL (PLL_Lx/PLL_Rx) はロード・イネーブル信号を生成しますが、この信号はデシリアライゼーション・ファクタ設定から派生します。

HardCopy III デシリアライザは、DDR (×2) または SDR (×1) の動作をサポートするために、Quartus II MegaWizard Plug-In Manager でバイパスすることができます。DPA およびデータ・リアライメント回路は、デシリアライザがバイパスされている場合は使用できません。IOE は、DDR または SDR モードで動作可能な 2 個のデータ入力レジスタを内蔵しています。IOE のレジスタのクロック・ソースは、任意の配線リソース、レフトまたはライト PLL、あるいはトップまたはボトム PLL を使用することができます。図 8-6 に、デシリアライザ・バイパス・データ・パスを示します。

図 8-6. HardCopy III デシリアライザ・バイパス



レシーバ・データ・リアライメント回路 (ビット・スリップ)

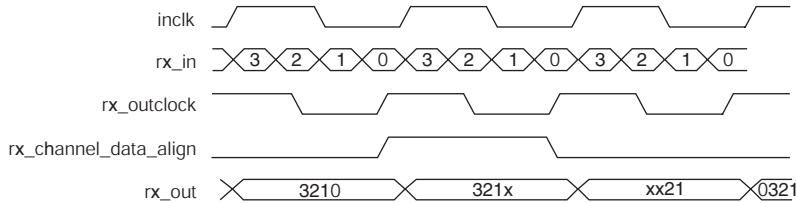
送信データのスキューとリンクで追加されるスキューによって、受信シリアル・データ・ストリームにチャンネル間スキューが発生します。DPA がイネーブルされた場合、受信データが各チャンネル上の異なるクロック位相でキャプチャされます。これにより、チャンネル間で受信データのミスマライメントが生じます。このチャンネル間スキューを補正し、各チャンネル上で正しい受信ワード境界を確立するために、各レシーバ・チャンネルはビット・レイテンシをシリアル・ストリームに挿入してデータを再アライメントする、専用のデータ・リアライメント回路を備えています。

オプションの `RX_CHANNEL_DATA_ALIGN` ポートは、内部ロジックから個別に制御される各レシーバのビット挿入を制御します。データは `RX_CHANNEL_DATA_ALIGN` のパルスごとに 1 ビット・スリップします。`RX_CHANNEL_DATA_ALIGN` 信号には以下の条件が必要です。

- 最小パルス幅は、ロジック・アレイの平行・クロックの 1 周期です。
- パルス間の最小 Low 時間は、平行・クロックの 1 周期です。
- 最大 High または Low 時間はありません。
- 有効なデータは、`RX_CHANNEL_DATA_ALIGN` の立ち上がりエッジから 2 平行・クロック・サイクル後に利用可能になります。

図 8-7 に、シリアライゼーション・ファクタを 4 に設定した状態での、1 ビット・スリップ・パルス後のレシーバ出力 (rx_out) を示します。

図 8-7. データ・リアライメント・タイミング

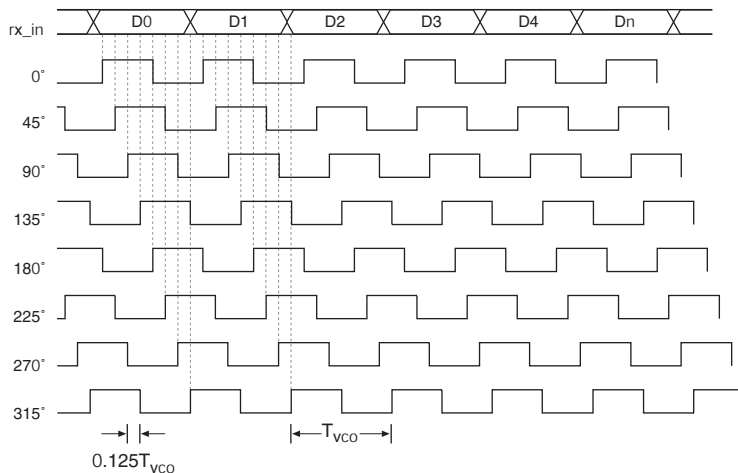


データ・リアライメント回路は、ロールオーバーが発生する前に最大 11 ビット時間を挿入することができます。ビット・ロールオーバー・ポイントは、デシリアライゼーション・ファクタに関係なく、1 ~ 11 ビット時間にすることができます。プリセット・ロールオーバー・ポイントに達したことを示すために、各チャンネルから FPGA にオプションのステータス・ポート rx_cda_max が提供されます。

ダイナミック・フェーズ・アライナ (DPA)

DPA ブロックは差動入力バッファから高速シリアル・データを取り込み、レフトまたはライト PLL から 8 つの位相クロックの 1 つを選択して、データをサンプリングします。DPA はシリアル・データの位相に最も近い位相を選択します。受信データと選択された位相の間の最大位相オフセットは $1/8UI$ であり、これは DPA の最大量子化誤差です。クロックの 8 つの位相は均等に分割され、分解能は 45° となります。図 8-8 に、DPA クロックと受信シリアル・データ間の可能な位相関係を示します。

図 8-8. DPA クロック位相とシリアル・データ・タイミングの関係



DPA ブロックは着信シリアル・データの位相を継続的にモニタし、必要に応じて新しいクロック位相を選択します。オプションの `rx_dp11_hold` ポートをアサートすることによって、DPA が新しいクロック位相を選択するのを防止することができます。この機能は各チャンネルで利用できます。

DPA ブロックは、トレーニング・パターンおよび 256 回以上のトレーニング・シーケンスを必要とします。トレーニング・パターンは固定されていないため、ユーザーは少なくとも 1 回の遷移がある任意のトレーニング・パターンを使用することができます。オプションの出力ポート `rx_dpa_locked` が内部ロジックに提供されており、DPA ブロックが受信データ位相に最も近い位相に安定したことを示します。新しい位相が選択されたとき、または DPA が同じ方向に 2 位相移動したとき、Quartus II MegaWizard Plug-In Manager で選択されたオプションに応じて、DPA ブロックは `rx_dpa_locked` をデアサートします。`rx_dpa_locked` 信号は DPA クロック・ドメインに同期されており、ロック状態の初期インジケータと見なす必要があります。データ・チェッカを使用してデータ・インテグリティの正当性を確認します。

DPA 回路をリセットするために、独立したリセット・ポート `rx_reset` を使用できます。DPA 回路はリセット後に再トレーニングする必要があります。

ソフト CDR モード

HardCopy III LVDS チャンネルは、ソフト CDR モードを提供してギガビット・イーサネット / SGMII プロトコルをサポートします。SGMII をサポートするために、クロックが埋め込まれたデータからクロックを抽出するには、クロック・データ・リカバリ (CDR) が必要です。HardCopy III デバイスでは、CDR 回路は IP として HCell に実装されます。

ソフト CDR モードでは、DPA 回路が最適な DPA クロック位相を選択して、データをサンプルし、ビット・スリップ操作とデシリアライゼーションを実行します。選択された DPA クロックもデシリアライゼーション・ファクタで分周され、デシリアライズされたデータとともに PLD コアに転送されます。LVDS ブロックには、転送されるクロック信号用に divclkout と呼ばれる出力があります。この信号は、新しく導入された PCLK (ペリフェラル・クロック) ネットワーク上に出力されます。HardCopy III デバイスでは、すべての LVDS チャンネルをソフト CDR モードで使用し、PCLK ネットワークを通してコアをドライブできます。

図 8-9 に、ソフト CDR モードでイネーブルされるパスを示します。

図 8-9. ソフト CDR モードでのデータおよびクロック・パス 注 (1)

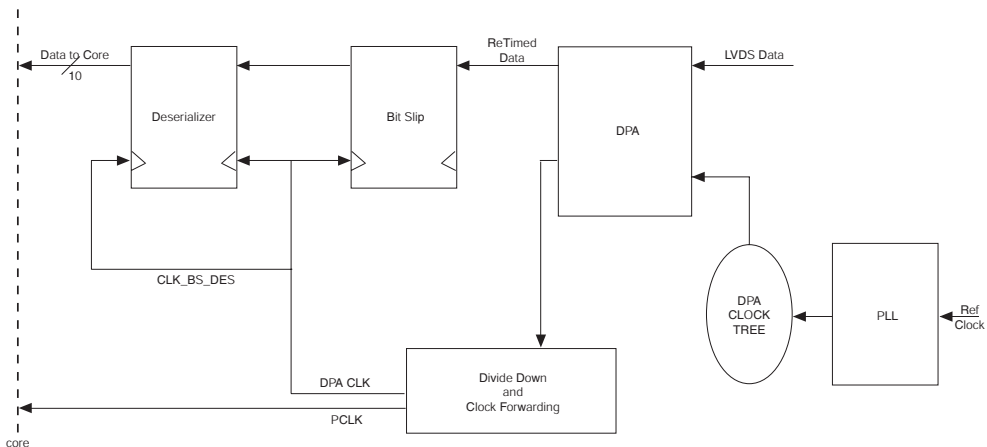


図 8-9 の注:

- (1) ソフト CDR モードではシンクロナイザ FIFO はバイパスされます。リファレンス・クロック周波数は、インタフェースのデータ・レートに一致するクロックを生成するために、PLL に適したものでなければなりません。DPA 回路はリファレンス・クロックとデータ・ストリーム間の ppm の相違を追跡できます。

シンクロナイザ

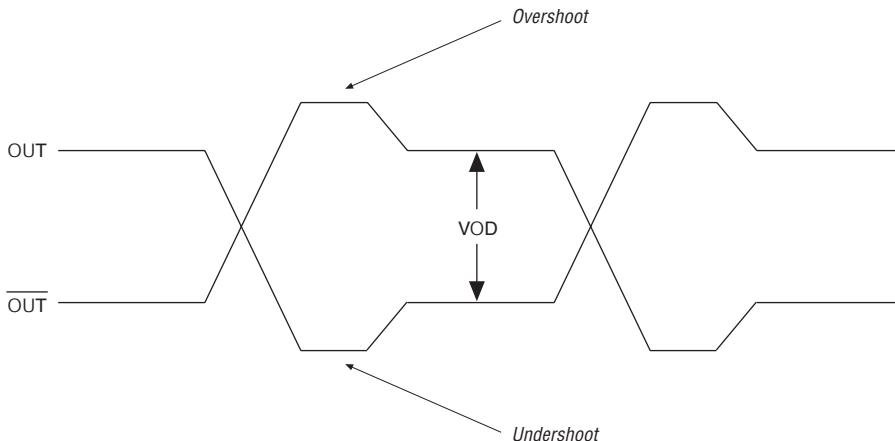
シンクロナイザは、DPA 回路の復元クロックとレシーバ内のその他の部分をクロックする `diffioclk` 間の位相差を補正する、1 ビット × 6 ビットの深度の FIFO バッファです。シンクロナイザは位相差を補正することができるだけで、データとレシーバの `inclck` 間の周波数差は補正できません。

オプションのポート `rx_fifo_reset` は内部ロジックで使用でき、シンクロナイザをリセットします。シンクロナイザは、DPA が受信データを最初にロックすると自動的にリセットします。アルテラは、DPA が初期ロック状態から外れてロック状態を喪失したときに `rx_fifo_reset` を使用してシンクロナイザをリセットすることを推奨しています。

プリアンファシスおよび出力差動電圧 (VOD)

HardCopy III LVDS トランスミッタは、4 つのプリアンファシスと 4 つの VOD 設定をサポートします。プリアンファシスは、出力信号の高周波成分の振幅を大きくして、伝送線路における周波数依存減衰を補償するのに役立ちます。図 8-10 に、プリアンファシスを適用したときの LVDS 出力を示します。プリアンファシスによりオーバーシュートが発生します。このオーバーシュートを VOD 電圧に含めてはなりません。VOD の定義は図 8-10 にも示しています。

図 8-10. 差動出力電圧



プリアンファシスは高速伝送にとって重要な機能です。プリアンファシスを使用しない場合、出力電流は VOD 設定およびドライバの出力インピーダンスにより制限されます。高周波数では、スルー・レートが次のエッジの前にフル VOD に達するほど高速ではないため、パターンに依存するジッタが発生します。

プリエンファシスを適用した場合、スイッチング中に出力電流が瞬時に増幅され、出力スルー・レートが増大します。この余分な電流によるオーバーシュートは、信号の反射で発生するオーバーシュートとは異なり、スイッチング中にのみ発生し、リングングは生じません。必要なプリエンファシス量は、伝送線路における高周波成分の減衰に依存します。

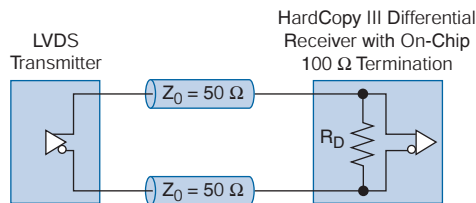
HardCopy III デバイスでのプリエンファシスは、異なる伝送条件で適切な量のオーバーシュートを発生させるように調整することができます。プリエンファシスには、Zero、Low、Medium、および High の 4 つの設定があります。デフォルト設定は Low です。特定のデザインでは、LVDS バッファや伝送線路でのシミュレーションを使用して、最良のプリエンファシス設定を決定することができます。VOD は Low、Medium low、Medium high、および High の 4 つの設定のいずれにも調整可能です。デフォルト設定は Medium low です。

差動 I/O 終端

HardCopy III デバイスは、LVDS 規格用の各差動レシーバ・チャンネルの $100\ \Omega$ の差動 On-Chip Termination (チップ内終端) オプションを提供します。On-Chip Termination により、外部終端抵抗を追加する必要がないため、ボード・スペースが削減されます。Quartus II アサインメント・エディタで、On-Chip Termination をイネーブルできます。

差動 On-Chip Termination は、すべてのロウ I/O ピンおよび SERDES ブロック・クロック・ピン $clk(0, 2, 9, 11)$ でサポートされています。カラム I/O ピン、高速クロック・ピン $clk[1, 3, 8, 10]$ 、またはコーナー PLL クロック入力では、サポートされていません。図 8-11 に、デバイスの On-Chip Termination を示します。

図 8-11. オンチップの差動 On-Chip Termination

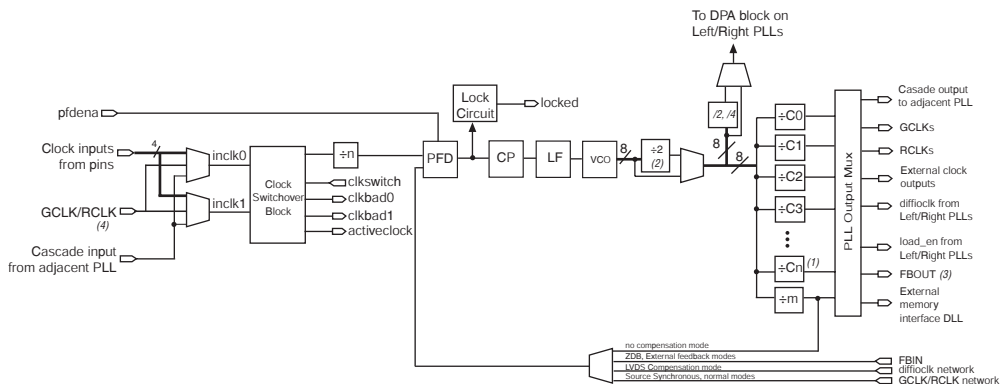


レフト/ライト PLL (PLL_Lx/ PLL_Rx)

HardCopy III デバイスは、デバイスの左側 (PLL_L1、PLL_L2、PLL_L3、および PLL_L4) および右側 (PLL_R1、PLL_R2、PLL_R3、および PLL_R4) にそれぞれ最大4つのPLLを配置した最大8つのレフトまたはライトPLLを備えています。レフトPLLは左側でのみ高速差動 I/O バンクをサポートし、ライトPLLはデバイスの右側でのみバンクをサポートします。高速差動 I/O レシーバおよびトランスミッタ・チャネルは、これらのレフトおよびライトPLLを使用して、パラレル・グローバル・クロック (rx または tx クロック) および高速クロック (diffioclk) を生成します。8-2 ページの図 8-1 に、レフトおよびライトPLLの位置を示します。PLL VCO はデータ・レート・クロック周波数で動作します。各レフトまたはライトPLLは、シングル・シリアル・データ・レートをサポートしますが、使用できるのは (レフトまたはライトPLLクロック出力の c0 および c1 からの) 最大2つの独立したシリアルライゼーション・ファクタとデシリアルライゼーション・ファクタです。高速差動 I/O サポート・モードでは、クロック・スイッチオーバーとダイナミック・レフトおよびライトPLLリコンフィギュレーションが使用できます。

図 8-12 に、HardCopy III PLL の主要コンポーネントの簡略化ブロック図を示します。

図 8-12. PLL のブロック図



クロック

レフトおよびライト PLL は、LVDS および DPA クロック・ネットワークを通して、差動トランスミッタおよびレシーバ・チャンネルに供給されます。図 8-13 および図 8-14 に、HardCopy III デバイスのコーナーおよびセンター PLL クロックを示します。左側または右側の各 I/O バンクは、1 つの LVDS クロック・ネットワークで構成されており、デバイスには合計 4 つのクロック・ツリーがあります。センターのレフト / ライト PLL は、LVDS クロック・ネットワークをドライブでき、それらの上のバンクまたは下のバンクのトランスミッタおよび受信チャンネルをクロックします。コーナーのレフトおよびライト PLL は、隣接するロウ I/O バンクのみドライブできます。例えば、コーナーの PLL_L1 は、I/O バンク 1A およびバンク 1C でのみ LVDS クロック・ネットワークをドライブできます。したがって、コーナー PLL では、各 LVDS クロック・ネットワークを、2 つのセンター PLL と 1 つのコーナー PLL の 3 つの PLL でドライブできます。コーナー PLL のない HardCopy III デバイスでは、各クロック・ツリーは 2 つのコーナー PLL でドライブできます。各クロック・ネットワークは、2 つの全二重トランスシーバ・チャンネルをサポートします。ただし、アルテラでは可能な場合は、同一 I/O バンク内の送信チャンネルと受信チャンネル間で diffioclk 信号と load_en 信号を共有することを推奨しています。PLL クロック制約について詳しくは、8-19 ページの「差動ピン配置ガイドライン」の項を参照してください。

図 8-13. HardCopy III および Stratix III デバイスのセンター PLL の LVDS/DPA クロック

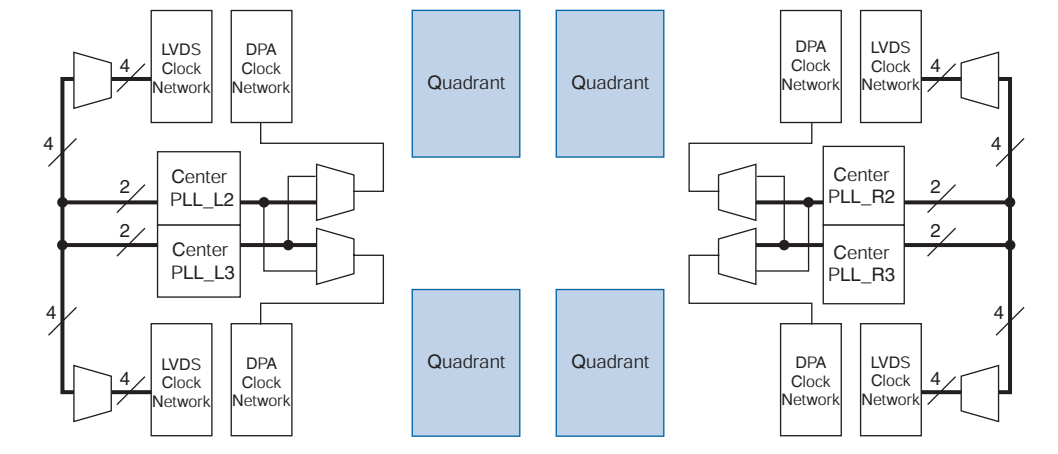
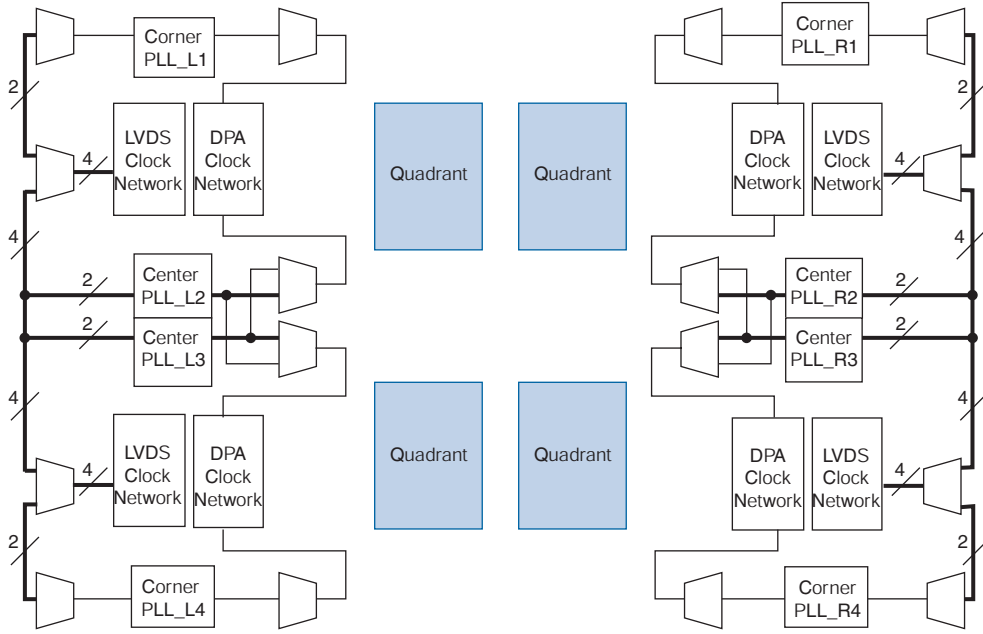


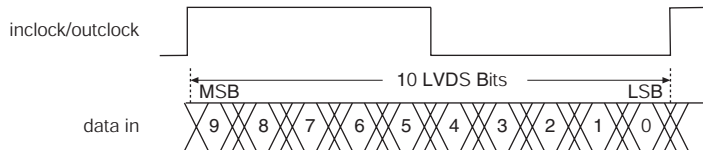
図 8-14. HardCopy III および Stratix III デバイスのセンターおよびコーナー PLL のクロック



HardCopy III デバイスの差動 データ方向の 高速差動 I/O インタフェース および DPA

外部クロックと受信データの間には一定の関係があります。1 Gbps および SERDES 係数 10 の動作では、外部クロックを 10 通倍し、またフェーズ・アラインメントを PLL で各データ・ビットのサンプリング・ウィンドウと一致するよう設定できます。データは通倍されたクロックの立ち下がりエッジでサンプリングされます。図 8-15 に、x10 モードのデータ・ビット方向を示します。

図 8-15. Quartus II ソフトウェアの差動 I/O ビット位置におけるビット方向



高周波でのデータ伝送を成功させるにはデータの同期化が必要です。
 図 8-16 に、チャンネル動作のデータ・ビット方向を示します。これらの図は以下をベースとしています。

- SERDES 係数はクロック通倍係数と同等
- エッジ・アラインメントはフェーズ・アラインメントに選択
- ハード SERDES に実装

図 8-16. 1 本の差動チャンネルのビット・オーダおよびワード境界 注 (1)

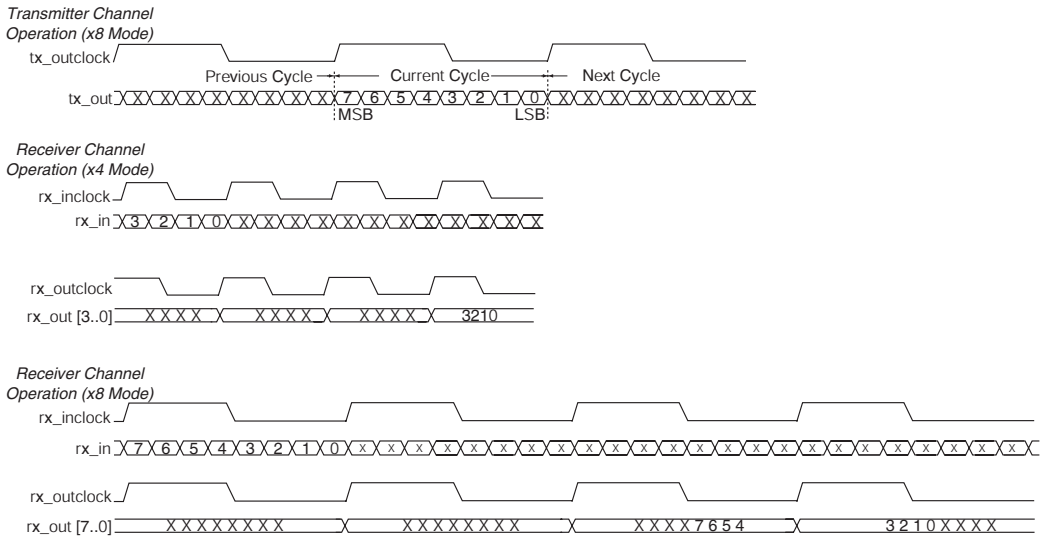


図 8-16 の注:

(1) これらは波形の機能のみを示しており、タイミング情報を示すことを意図したものではありません。

その他のシリアル変換係数は、QuartusII ソフトウェア・ツールを使用してワード内のビット位置を検索します。デシリアライゼーション後のビット位置は、表 8-3 に表記されています。

表 8-3 に、8 個の差動チャネルの差動ビットの命名規則を示します。最上位ビット (MSB) および最下位ビット (LSB) の位置は、システムで使用されるチャネル数が増えると増加します。

レシーバ・ チャネル番号	内部 8 ビット・パラレル・データ	
	最上位ビット (MSB) の位置	最下位ビット (LSB) の位置
1	7	0
2	15	8
3	23	16
4	31	24
5	39	32
6	47	40
7	55	48
8	63	56

差動ピン配置 ガイドライン

適切な高速動作を確実に実行させるために、差動ピン配置ガイドラインが提供されています。また、Quartus II コンパイラは、これらのガイドラインを自動的に検証し、ガイドラインに準拠していない場合はエラーメッセージを表示します。

DPA の使用は高速差動チャネルの配置に何らかの制約を加えるため、この項は DPA の使用時および非使用時におけるピン配置のガイドラインに分割されています。



シングル・エンドおよび差動 I/O の両方を同じロウまたはカラム I/O バンクに配置したい場合は、「HardCopy III デバイス・ハンドブック Volume 1」の「HardCopy III デバイスの I/O 機能」の章を参照してください。

DPA がイネーブルされた差動チャンネルのガイドライン

HardCopy III デバイスは、デバイスの左側および右側の I/O バンクに差動レシーバおよびトランスミッタを搭載しています。各レシーバは、クロックの位相を関連するチャンネルのデータ位相にアラインメントするための専用 DPA 回路を備えています。差動バンクで DPA がイネーブルされたチャンネルが使用された場合、以下の項のガイドラインに準拠する必要があります。

コーナーおよびセンターのレフト/ライト PLL の使用

コーナー・レフトまたはライト PLL が 1 つのグループを、センター・レフトまたはライト PLL が別のグループをドライブするというように、差動バンクが 2 個のレフトまたはライト PLL でドライブされている場合、少なくとも 1 つのロウで 2 つの DPA がイネーブルされたチャンネル・グループを分割する必要があります (図 8-17 参照)。この 2 つのグループは別々の周波数で動作できます。

1 個のレフトまたはライト PLL が DPA がイネーブルされたチャンネル、および DPA がディセーブルされたチャンネルをドライブしている場合、分離させる必要はありません。

図 8-17. センター・レフトおよびライト PLL の両方を使用した同じバンクにある DPA がイネーブルされた差動 I/O をドライブしているコーナーおよびセンター・レフト/ライト PLL

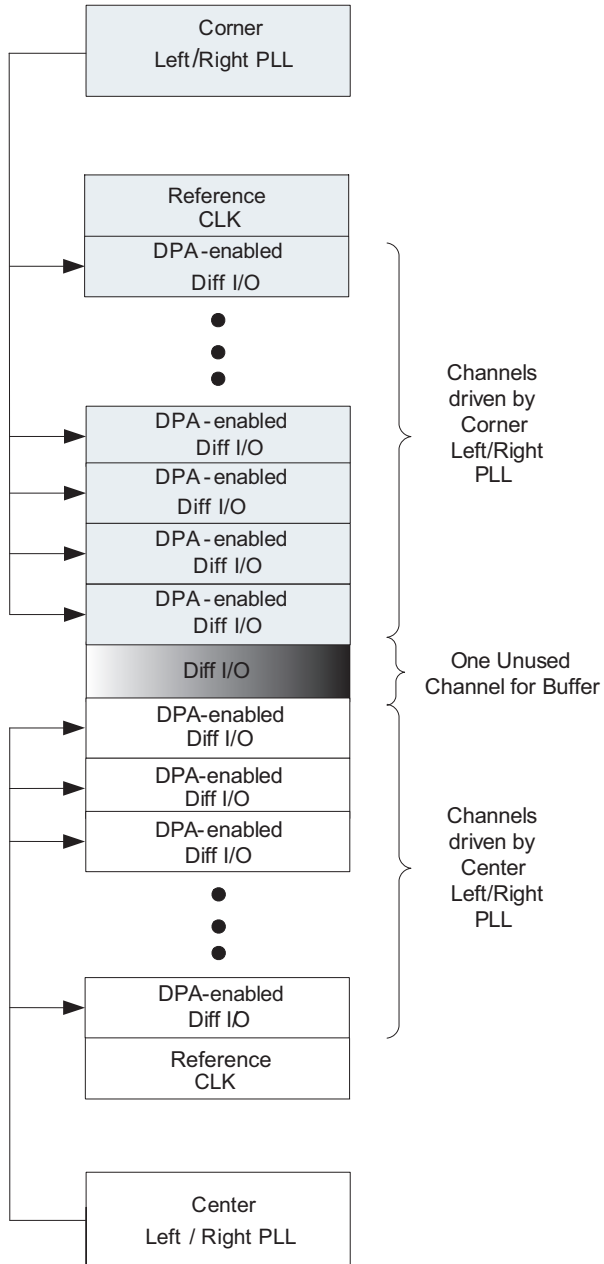
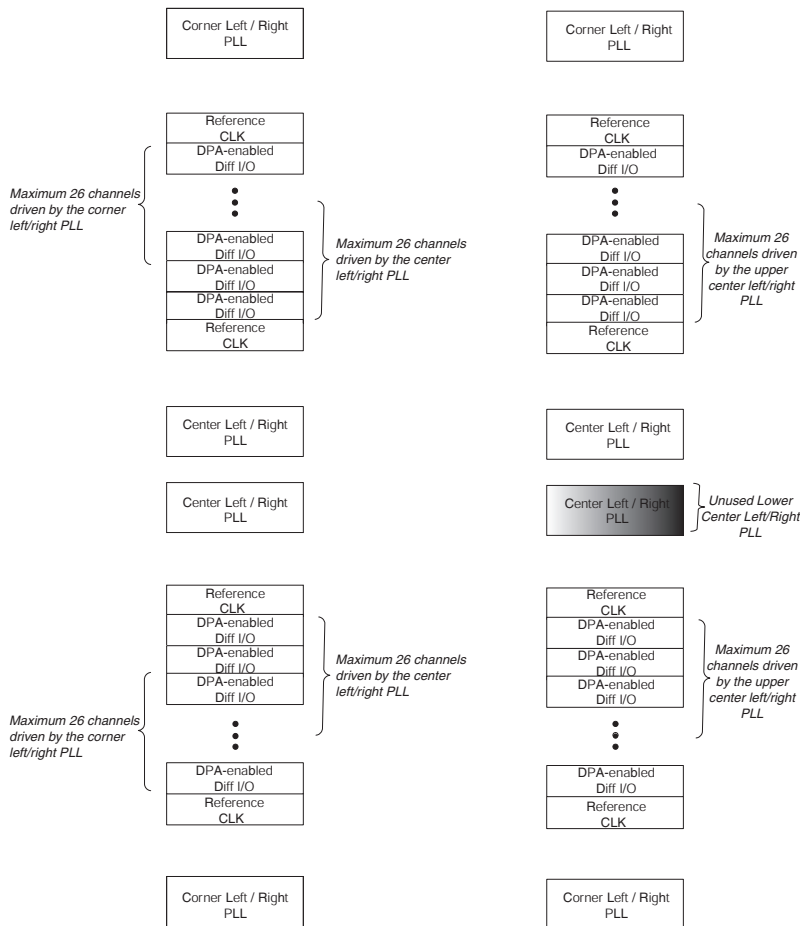


図 8-18 に示すように、両方のセンター・レフトまたはライト PLL が、隣接するバンクのみで DPA がイネーブルされたチャンネルをドライブする場合、それらの PLL を DPA がイネーブルされたチャンネルを同時にドライブするのに使用することができます。

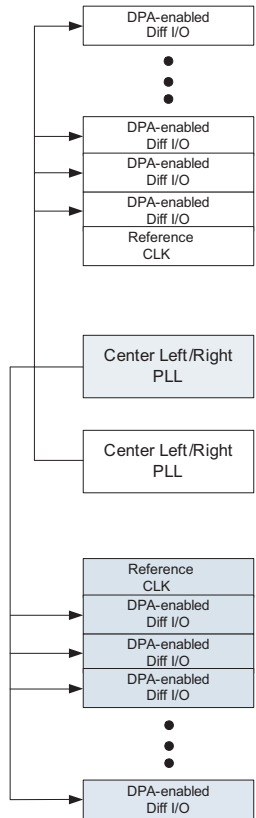
図 8-18 に示すように、センター・レフトまたはライト PLL の 1 つがトップ・バンクとボトム・バンクをドライブする場合、その他のセンター・レフトまたはライト PLL は差動チャンネルをドライブするのに使用できません。

図 8-18. DPA がイネーブルされた差動 I/O をドライブしているセンター・レフト/ライト PLL



トップ PLL_L2/PLL_R2 がローワー差動バンク内の DPA がイネーブルされたチャンネルをドライブする場合、PLL_L3/PLL_R3 はアッパー差動バンク内の DPA がイネーブルされたチャンネルを（あるいはその逆を）ドライブすることはできません。つまり、図 8-19 に示すように、センター・レフトまたはライト PLL はバンクをクロスして同時にドライブすることはできません。

図 8-19. 両方のセンター・レフト/ライト PLL でドライブされる DPA がイネーブルされた差動 I/O の無効な配置



DPA が ディセーブル された差動 チャンネルの ガイドライン

HardCopy III デバイスの左側および右側のバンクで、DPA がディセーブルされたチャンネルが使用された場合、以下の項のガイドラインに準拠する必要があります。

DPA がディセーブルされたチャンネルのドライブ距離

各レフトまたはライト PLL は、バンク全体のすべての DPA がディセーブルされたチャンネルをドライブすることができます。

コーナーおよびセンターのレフトおよびライト PLL の使用

- 同一差動バンク内で、コーナー・レフトまたはライト PLL (PLL_L1、PLL_L4、PLL_R1、および PLL_R4) を使用して、すべてのトランスミッタ・チャンネルをドライブでき、センター・レフトまたはライト PLL (PLL_L2、PLL_L3、PLL_R2、および PLL_R3) を使用して DPA がディセーブルされたすべてのレシーバ・チャンネルをドライブできます。図 8-20 に示すとおり、同じ LAB ロウのトランスミッタ・チャンネルおよびレシーバ・チャンネルを異なる 2 つの PLL でドライブできます。
- 各 PLL でドライブされるチャンネルがインタリーブされない限り、コーナー・レフトまたはライト PLL およびセンター・レフトまたはライト PLL で、同じ差動バンク内のデュープレックス・チャンネルをドライブできます。コーナーおよびセンター・レフトまたはライト PLL でドライブされるチャンネル・グループ間に分離は必要ありません。図 8-20 と図 8-21 を参照してください。

図 8-20. 同じバンクにある DPA がディセーブルされた差動 I/O をドライブしているコーナーおよびセンター・レフトおよびライト PLL

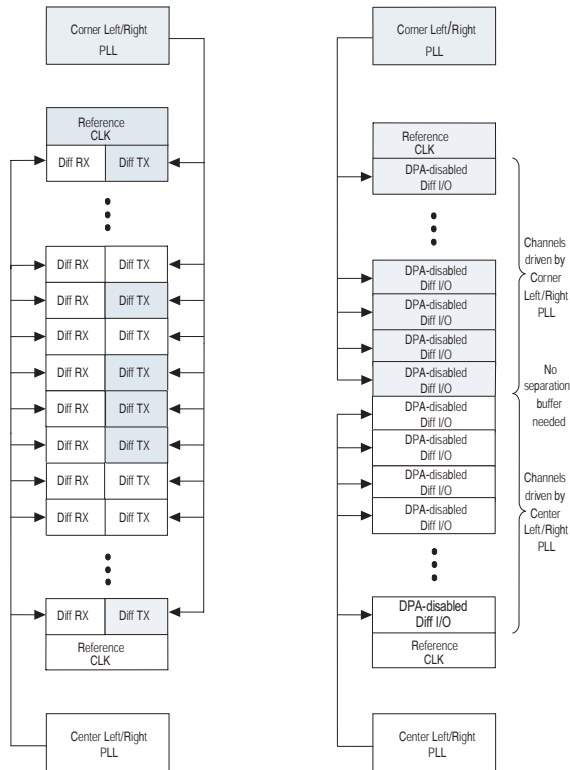
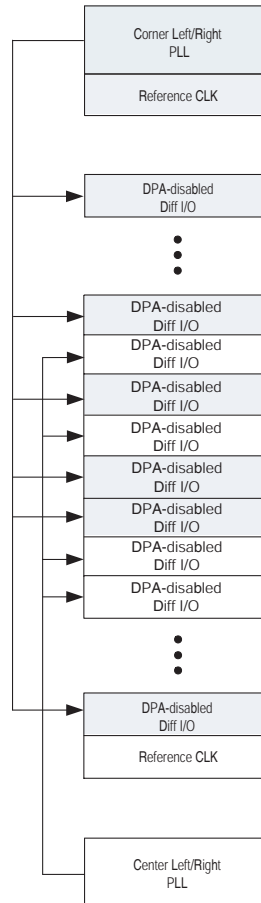


図 8-21. コーナーおよびセンター・レフトおよびライト PLL でドライブされるチャンネルのインタリーブによる DPA がディセーブルされた差 I/O の無効な配置



両方のセンター・レフト/ライト PLL の使用

図 8-22 に示すとおり、両方のセンター・レフトおよびライト PLL は、アッパーおよびローワー差動バンクで DPA がディセーブルされたチャンネルをドライブするために同時に使用できます。DPA がイネーブルされたチャンネルとは異なり、センター・レフトおよびライト PLL はバンクをクロスしてドライブすることができます。例えば、図 8-23 に示すように、アッパー・センター・レフトまたはライト PLL は、ローワー・センター・レフトまたはライト PLL がアッパー差動バンクをドライブすると同時に、ローワー差動バンクを（あるいはその逆を）ドライブできます。

図 8-22. DPA がディセーブルされたアッパーおよびローワー・バンク・チャンネルを同時にドライブしている両方のセンター・レフトおよびライト PLL

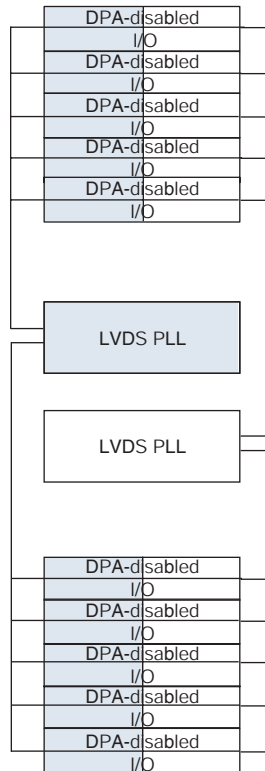
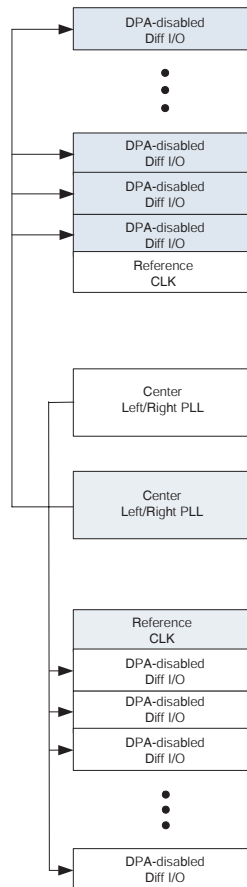


図 8-23. バンクをクロスして DPA がディセーブルされたチャンネルをドライブしている両方のセンター・レフト/ライト PLL



デザインの推奨事項

高速差動インターフェースを適切に実装するために、アルテラでは以下のデザイン・ガイドラインに従うことを推奨しています。

1. アルテラは、お客様に I/O タイミングおよび特性を検証するための HardCopy III IBIS モデルを提供しています。したがって、HardCopy デザイン・センターにデザインを提出する前に、シミュレーションで I/O インタフェースを検証することを強く推奨します。



サードパーティ・ツールを使用したシグナル・インテグリティのシミュレーションについて詳しくは、「Quartus II ハンドブック Volume 3」の「サードパーティ・ツールでのシグナル・インテグリティ解析」の章を参照してください。

2. センター PLL は Tx と Rx の両方に使用できますが、コーナー PLL は Rx アプリケーションよりも Tx アプリケーションでよく使用されます。
3. アルテラでは、可能な場合は、同一 I/O バンク内の送信チャンネルと受信チャンネルで、lvdsclk 信号と load_en 信号を共有することを推奨しています。

Stratix III デバイスと HardCopy III デバイスの 相違点

HardCopy III デバイス・ファミリは、フル高速差動 I/O と Stratix III ファミリからの DPA の移行をサポートします。両方のファミリは同じ専用回路でデザインされ、同じ I/O 規格、実装ガイドライン、および性能をサポートします。HardCopy および Stratix III デバイス・ファミリには、以下の 2 つしか相違点がありません。

- HardCopy III ファミリでは、1,780 ピン・パッケージは提供されていません。
- HardCopy III 1517 ピン・パッケージは、88 の Rx および 88 の Tx チャンネルを提供しますが、EP3SL340 および EP3SE260 の 1517 ピン・パッケージは 112 の Rx および 112 の Tx チャンネルを提供します。

参考資料

この章では以下のドキュメントを参照しています。

- 「HardCopy III デバイス・ハンドブック Volume 1」の「[HardCopy III デバイスの I/O 機能](#)」の章
- 「Quartus II ハンドブック Volume 3」の「[サードパーティ・シミュレーション・ツールでのアルテラ IP のシミュレーション](#)」の章

改訂履歴

表 8-4 に、本資料の改訂履歴を示します。

表 8-4. 改訂履歴		
日付およびドキュメント・バージョン	変更内容	概要
2008 年 5 月 v1.0	初版	—