



## 4. HardCopy III デバイスの TriMatrix エンベデッド・メモリ・ブロック

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

H11151004-1.0

### はじめに

HardCopy<sup>®</sup> III デバイスは、ASIC デザイン要求に効率的に対応する TriMatrix エンベデッド・メモリ・ブロックを提供します。TriMatrix メモリは、640 ビットのメモリ・ロジック・アレイ・ブロック (MLAB)、9 K ビットの M9K ブロック、および 144 K ビットの M144K ブロックの 3 種類のサイズで提供されています。MLAB は、フィルタのデレイ・ライン、小規模 FIFO (First-In First-Out) バッファおよびシフト・レジスタを実装するために最適化されています。M9K ブロックは汎用メモリ・アプリケーションに使用でき、M144K ブロックはプロセッサ・コードのストレージ、パケット・バッファリング、およびビデオ・フレーム・バッファリングに最適です。

HardCopy III デバイスの TriMatrix メモリは、Stratix<sup>®</sup> III デバイスと同じメモリ・ファンクションおよび機能をサポートします。Quartus<sup>®</sup> II ソフトウェアの MegaWizard<sup>®</sup> Plug-In Manager を使用して、各エンベデッド・メモリ・ブロックをシングルまたはデュアル・ポート RAM、FIFO、ROM、またはシフト・レジスタに個別にコンフィギュレーションすることができます。同じタイプの複数のブロックを統合して、最小のタイミング・ペナルティでより大きなメモリを作成することができます。TriMatrix メモリは、最大 16,272 K ビットの専用エンベデッド SRAM (Static Random Access Memory) を提供します。この章では、HardCopy III デバイスでの TriMatrix メモリ・ブロック、モード、機能、およびデザインにおける検討事項について説明します。

## メモリ・リソースおよび機能

HardCopy III エンベデッド・メモリは、MLAB、M9K、および M144K メモリ・ブロックで構成され、Stratix III メモリからの 1 対 1 のマッピングを備えています。ただし、表 4-1 に示すとおり、使用できるメモリ・ブロック数は、集積度、パッケージ、および Stratix III デバイスから HardCopy III ASIC への移行パスによって異なります。

表 4-1. HardCopy III エンベデッド・メモリ・リソース 注 (1)、(2)

| HardCopy III<br>デバイス | Stratix III<br>デバイス | M9K<br>ブロック数 | M144K<br>ブロック数 | トータル専用<br>RAM ビット数<br>(MLAB は含まない) |
|----------------------|---------------------|--------------|----------------|------------------------------------|
| HC311                | EP3SL110            | 275          | 12             | 4203 Kb                            |
| HC321                | EP3SL150            | 355          | 16             | 5499 Kb                            |
| HC322                | EP3SL150            | 355          | 16             | 5499 Kb                            |
| HC331                | EP3SE110            | 639          | 16             | 8055 Kb                            |
| HC332                | EP3SE110            | 639          | 16             | 8055 Kb                            |
| HC351                | EP3SL200            | 468          | 24             | 7668 Kb                            |
| HC352                | EP3SL200            | 468          | 36             | 9396 Kb                            |
| HC361                | EP3SE260            | 864          | 24             | 11,232 Kb                          |
| HC362                | EP3SE260            | 864          | 48             | 14,688 Kb                          |
| HC372                | EP3SL340            | 1040         | 48             | 16,272 Kb                          |

表 4-1 の注:

- (1) デバイス・リソース使用率に加えて、Stratix III パッケージは最適な HardCopy III デバイスの移行パスも決定します。例えば、EP3SL150 デバイスは、F780 および F1152 パッケージで提供されています。F780 および F1152 パッケージの移行パスは、それぞれ HC321 および HC322 デバイスです。
- (2) HardCopy III デバイスは、専用 MLAB ブロックを備えていませんが、Stratix III MLAB と同じ機能をサポートできます。HardCopy III デバイスでサポート可能な MLAB 数は、リソース使用率および Stratix III デバイスから HardCopy III デバイスへの移行パスによって異なります。

HardCopy III デバイスと Stratix III デバイスのメモリは、機能的に同等です。メモリ・ブロックは、ツール・デュアル・ポート、シンプル・デュアル・ポート、シングル・ポート RAM、ROM、FIFO など、様々なタイプのメモリをパリティ付きまたはパリティなしで実装できます。表 4-2 に、各メモリ・ブロックのサイズと特長を示します。さらに、HardCopy III デバイスの未使用メモリ・ブロックはパワー・ダウンされるため、HardCopy III デバイスは消費電力を大幅に削減できます。

表 4-2. HardCopy III エンベデッド・メモリの機能一覧 (1 / 2)

| 特長                             | MLAB   | M9K ブロック   | M144K ブロック   |
|--------------------------------|--|--|--|
| 最大性能                           | TBD  | TBD  | TBD  |
| トータル RAM ビット数<br>(パリティ・ビットを含む) | 640  | 9,216  | 147,456  |
| 構成 (深さ × 幅)                    | 64 × 8<br>64 × 9<br>64 × 10<br>32 × 16<br>32 × 18<br>32 × 20 | 8K × 1<br>4K × 2<br>2K × 4<br>1K × 8<br>1K × 9<br>512 × 16<br>512 × 18<br>256 × 32<br>256 × 36 | 16K × 8<br>16K × 9<br>8K × 16<br>8K × 18<br>4K × 32<br>4K × 36<br>2K × 64<br>2K × 72 |
| パリティ・ビット                       | √  | √  | √  |
| バイト・イネーブル                      | √  | √  | √  |
| バック・モード                        | —  | √  | √  |
| アドレス・クロック・イネーブル                | √  | √  | √  |
| シングル・ポート・メモリ                   | √  | √  | √  |
| シンプル・デュアル・ポート・メモリ              | √  | √  | √  |
| ツール・デュアル・ポート・メモリ               | —  | √  | √  |
| エンベデッド・シフト・レジスタ                | √  | √  | √  |
| ROM                            | √  | √  | √  |
| FIFO バッファ                      | √  | √  | √  |
| シンプル・デュアル・ポートの異なるデータ幅のサポート     | —  | √  | √  |

| 特長                          | MLAB  | M9K ブロック                   | M144K ブロック   |
|-----------------------------|---|----------------------------|--|
| ツール・デュアル・ポートの異なるデータ幅のサポート   | —   | √                          | √  |
| メモリ初期化ファイル (.mif)           | ROM モード以外ではサポートされていません                        | ROM モード以外ではサポートされていません     | ROM モード以外ではサポートされていません                                 |
| 混合クロック・モード                  | √   | √                          | √  |
| パワーアップ条件                    | ラッチされる場合は出力がクリアされ、ラッチされない場合はメモリ内容が読み出されます。(1) | 出力はクリア                     | 出力はクリア   |
| レジスタ・クリア                    | 出力はクリア  | 出力はクリア                     | 出力はクリア   |
| ライト/リード動作のトリガ               | ライト：立ち下がりがクロック・エッジ<br>リード：立ち上がりクロック・エッジ       | ライトおよびリード：立ち上がりクロック・エッジ    | ライトおよびリード：立ち上がりクロック・エッジ                                |
| 同一ポートに対する Read-During-Write | 出力は古いデータまたはドントケアに設定される                        | 出力は古いまたは新しいデータに設定される       | 出力は古いまたは新しいデータに設定される                                   |
| 混在ポートに対する Read-During-Write | 出力はドントケアに設定される                                | 出力は古いデータに設定される             | 出力は古いデータに設定される   |
| ECC サポート                    | Quartus II によるソフト IP のサポート                    | Quartus II によるソフト IP のサポート | ×64 幅 SDP モードでのビルトイン・サポートまたは Quartus II によるソフト IP サポート |

## 表 4-2 の注：

(1) RAM モードにおける MLAB のメモリ内容は、パワーアップ時にゼロに初期化されます。



Stratix III デバイスのエンベデッド・メモリ・サポートについて詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの TriMatrix エンベデッド・メモリ・ブロック」の章を参照してください。

## MLAB の実装

M9K および M144K メモリ・ブロックは、Stratix III および HardCopy III デバイスで同様に機能する専用リソースですが、MLAB の実装は 2 つのデバイス・ファミリーで異なります。Stratix III デバイスでは、MLAB は専用ブロックで、通常のロジック・ファンクションまたはメモリ・ファンクションにコンフィギュレーションできます。HardCopy III デバイスでは、MLAB メモリ・ブロックは HCell を使用して実装されます。HCell は、互いに接続されて HCell マクロ (HCM) を形成するロジック・トランジスタの集合です。Quartus II ソフトウェアは、Stratix III MLAB ファンクションを適切なメモリ HCell マクロにマップして、メモリ・ファンクションを維持します。これにより、HardCopy III コア・ファブリックをより効率的に使用して、アダプティブ・ロジック・モジュール (ALM) または DSP ファンクションのために未使用 HCell を解放することができます。



HardCopy III デバイスの HCell について詳しくは、「HardCopy III デバイス・ハンドブック Volume 1」の「[HardCopy III デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール実装](#)」の章を参照してください。

## デザインの 検討事項

Stratix III デバイスとは異なり、HardCopy III デバイスにはデバイス・コンフィギュレーションがないため、メモリはランダムな内容でパワーアップされる RAM としてコンフィギュレーションされます。このように、メモリ・ブロックの内容は、HardCopy III デバイスのメモリ初期化ファイル (.mif) でプリロードまたは初期化することはできません。メモリ・ブロックが RAM として使用される場合は、Stratix III デザインが .mif ファイルを必要としないことを確認しなければなりません。ただし、メモリ・ブロックが ROM として使用される場合は、デザインの ROM の内容にマスク・プログラムされます。



HardCopy III デバイスのパワーアップ後に、altmem\_init メガファンクションを使用して RAM を初期化できます。このメガファンクションは内部 ROM (メガファンクション内) または外部 ROM (オンチップまたはオフチップ) から読み出して、パワーアップ後に RAM に書き込みます。

HardCopy III MLAB メモリ・ブロックに対してラッチなし出力モードを使用すると、出力はメモリ内容でパワーアップします。これらのメモリ・ブロックに対しラッチ付き出力モードを使用すると、出力はパワーアップ時にクリアされます。MLAB メモリ・ブロックの初期パワーアップ値を評価するロジックを設計するときは、これを考慮に入れる必要があります。

## まとめ

HardCopy III デバイスは、ユーザーのデザイン要求に効率的に対応する 3 種類のサイズの TriMatrix エンベデッド・メモリ・ブロックを提供します。HardCopy III デバイスと Stratix III デバイスのエンベデッド・メモリは、機能的に同等です。Stratix III デバイスと異なり、HardCopy III デバイスで RAM として使用されるメモリ・ブロックを .mif パターンでプリロードすることはできません。ただし、ROM パターンは、メモリ内にマスク・プログラムされるため、すべてのメモリ・タイプに対して実装できます。

## 参考資料

この章では以下のドキュメントを参照しています。

- 「HardCopy III デバイス・ハンドブック Volume 1」の「HardCopy III デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール実装」の章
- 「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの TriMatrix エンベデッド・メモリ・ブロック」の章

## 改訂履歴

表 4-3 に、本資料の改訂履歴を示します。

| 表 4-3. 改訂履歴       |      |    |
|-------------------|------|----|
| 日付およびドキュメント・バージョン | 変更内容 | 概要 |
| 2008 年 5 月 v1.0   | 初版   | —  |