

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

HIII51003-1.0

### はじめに

Stratix® III デバイスは、コア・ファブリック全体に分配される専用高性能デジタル信号処理 (DSP) ブロックを備えています。これらのハード・ワイヤード DSP ブロックは、高性能コンピューティング (HPC)、ビデオ圧縮 / 伸張、および Voice over Internet Protocol (VoIP) などのアプリケーションに最適です。このようなアプリケーションでは通常、多数の数学的演算が必要です。Stratix III DSP ブロックは、乗算、加算、減算、累算、総和、およびダイナミック・シフト演算を行う専用エレメントの組み合わせで構成されています。HardCopy® III デバイスでは、これらの DSP ファンクションを専用 DSP ブロックの代わりに HCell を使用して構成します。HCell により、HardCopy III デバイスは Stratix III DSP ブロックと同じ機能を持つことができます。また、HCell で実装された DSP ブロックでは、その演算に必要な HCell のみが実装されるため、スタティック消費電力が大幅に削減されます。

### DSP ファンクション の実装

Stratix III デバイスは、各種 DSP ファンクションを実装するための専用 DSP ブロックを内蔵しています。Stratix III DSP ブロックは、入力レジスタ・バンク、乗算器・加算器、パイプライン・レジスタ・バンク、第 2 ステージ加算器 / アキュムレータ、丸めおよび飽和ユニット、ならびに第 2 加算レジスタおよび出力レジスタ・バンクで構成されています。HardCopy III デバイスでは、HCell がデバイスのコア・ファブリックの一部を構成します。HCell は、Stratix III DSP ブロックと同じ DSP ファンクションを提供するように接続されたロジック・トランジスタで構成されています。HCell は、Stratix III アダプティブ・ロジック・モジュール (ALM) および HardCopy III デバイスでロジック・アレイ・ブロック (LAB) を実装するのに使用することもできます。



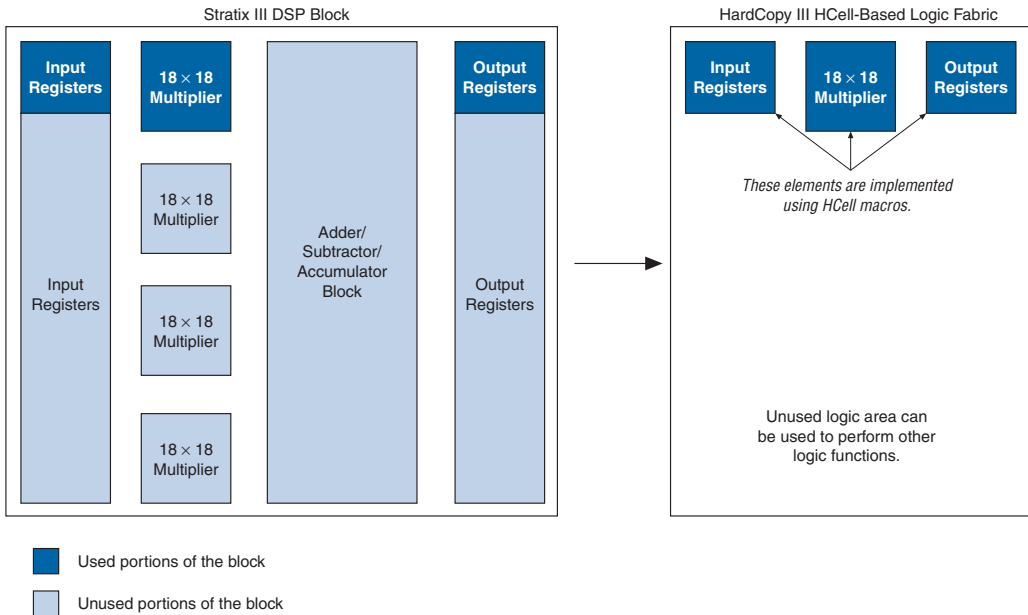
HardCopy III デバイスの ALM、LAB、およびメモリ・ロジック・アレイ・ブロック (MLAB) の実装について詳しくは、「HardCopy III デバイス・ハンドブック Volume 1」の「HardCopy III デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール実装」の章を参照してください。

Quartus® II ソフトウェアは、HCell マクロ・ライブラリを使用して Stratix III DSP コンフィギュレーションを HardCopy III HCell ベースのロジック・ファブリックに配置します。HCell マクロ (HCM) は、HCell グループを接続する方法を定義します。Quartus II ソフトウェアは、デザイン要件に基づき DSP 機能を実装するのに適切な DSP HCell マクロを選択します。HardCopy III デバイスでは、HCell マクロは Stratix III デバイスの専用 DSP ブロックと同等の面積効率および性能を持つ Stratix III DSP ブロック機能を実装します。

デザインの DSP ファンクションの実装に必要な HCell のみイネーブルされます。DSP ファンクションで使用されない HCell は、ALM コンフィギュレーションで使用でき、これによって効率的なロジックの使用が可能になります。面積管理に加え、これらの HCell マクロを配置することにより、配線と性能が最適化されます。

専用 DSP ブロックを使用した  $18 \times 18$  独立乗算器の Stratix III デバイスへの実装と、HCell を使用した HardCopy III デバイスへの実装を比較すれば、ロジック領域の効率的な使用法の一例を知ることができます。図 3-1 に示すとおり、Stratix III DSP ファンクションで 1 個の  $18 \times 18$  乗算器のみ必要な場合、他の 3 個の  $18 \times 18$  乗算器および DSP ブロックの加算器出力ブロックは使用されません。HardCopy III デバイスでは、DSP ファンクションに使用されない HCell ベースのロジック・ファブリックを、他の組み合わせロジック、加算器、レジスタ、および MLAB ファンクションの実装に使用することができます。

図 3-1. Stratix III DSP ブロックと HardCopy III HCell 18 × 18 ビット 独立乗算器の実装



## DSP の 動作モード および機能 のサポート

HardCopy III デバイスは、すべての Stratix III DSP コンフィギュレーション (9×9、12×12、18×18、および 36×36 乗算器)、ならびにダイナミック符号コントロール、ダイナミック加算 / 減算、ダイナミック丸めおよび飽和、およびダイナミック入力シフト・レジスタなどすべての Stratix III DSP ブロック機能をサポートします。

HardCopy III デバイスは DSP HCell マクロを使用して、Stratix III DSP ブロックの以下の 5 つすべての動作モードを実装します。

- 独立した乗算器 (9×9、12×12、18×18、36×36)
- Two-Multiplier Adder
- Four-Multiplier Adder
- Multiply Accumulate
- シフト・モード



Stratix III の DSP ブロックについて詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの DSP ブロック」の章を参照してください。

Stratix III DSP のコンフィギュレーションに応じて、Quartus II ソフトウェアは DSP ファンクションを HardCopy III デバイス用 DSP HCell マクロの組み合わせに分割します。これにより、DSP ファンクションが最適化され、コア・ファブリックをより効率よく使用できるようになります。

## まとめ

HardCopy III デバイスは HCell を使用して、Stratix III デバイスの DSP ブロック・ファンクションを実装します。すべての Stratix III DSP 動作モードがサポートされています。HCell を使用した DSP ファンクションの実装により、HardCopy III デバイスのコア・ファブリックを効率よく使用でき、Stratix III プロトタイプ・デバイスに比較して、スタティック消費電力が大幅に削減されます。

## 参考資料

この章では以下のドキュメントを参照しています。

- 「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスの DSP ブロック」の章
- 「HardCopy III デバイス・ハンドブック Volume 1」の「HardCopy III デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール実装」の章

## 改訂履歴

表 3-1 に、本資料の改訂履歴を示します。

表 3-1. 改訂履歴		
日付およびドキュメント・バージョン	変更内容	概要
2008 年 5 月 v1.0	初版	—

