

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

H1151002-1.0

### はじめに

Stratix® III デバイスでは、コア・ファブリックはロジック・アレイ・ブロック (LAB) のアレイおよびメモリ・ロジック・アレイ・ブロック (MLAB) で構成されています。LAB および MLAB は、カスタマ・デザインのロジック・ファンクション、演算ファンクション、およびレジスタ・ファンクションを実装することができるコンフィギュレーション可能なアダプティブ・ロジック・モジュール (ALM) で構成されています。また、MLAB はメモリ・ファンクションを実装することができます。これに対して、HardCopy® III デバイスのコア・ファブリックは、HCell と呼ばれる柔軟性の高い微細アーキテクチャ・ブロックを使用して構築されており、ALM、LAB、および MLAB のすべての機能を効率的に実装できます。Stratix III FPGA プロトタイプ・デバイスと比較して、HardCopy III デバイスは性能向上と大幅なスタティック消費電力削減を提供します。これは未使用 HCell がパワーダウンされ、ユーザーのデザインを実装するのに必要な HCell のみ使用されるためです。



ALM、LAB、および MLAB について詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「Stratix III デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール」の章を参照してください。

### HCell

HCell は、0.9 V、40 nm プロセス・テクノロジーをベースにしたロジック・トランジスタで構成されています。HCell を使用したロジックの構造は柔軟性のある機能を提供し、HCell を組み合わせることで Stratix III の機能で実現可能なロジックの組み合わせを複製することができます。これらの HCell は、図 2-1 に示す HCell 領域のアレイを構成します。HCell の利用を最適化するため、カスタマ・デザインの実装に必要な HCell のみが集められます。未使用の HCell ロジック・ファブリック領域はパワーダウンされるため、Stratix III FPGA プロトタイプと比較してスタティック消費電力が大幅に削減されます。

図 2-1. HardCopy III デバイスのブロック図例 注 (1)

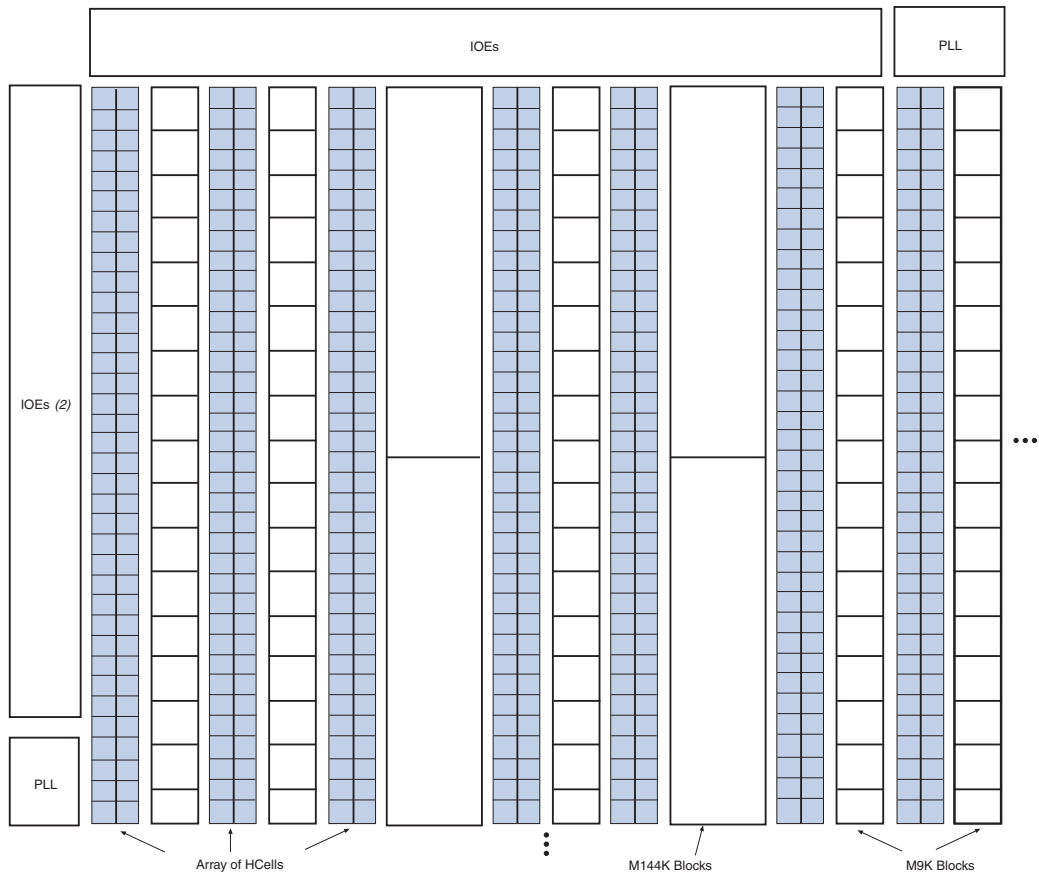


図 2-1 の注:

- (1) 図 2-1 は、デバイスのフロアプランをグラフィカルに示したものです。詳細なフロアプランは、Quartus II ソフトウェアで表示することができます。
- (2) IOE は I/O エLEMENT の略です。

## ALM および LAB ファンクション の実装

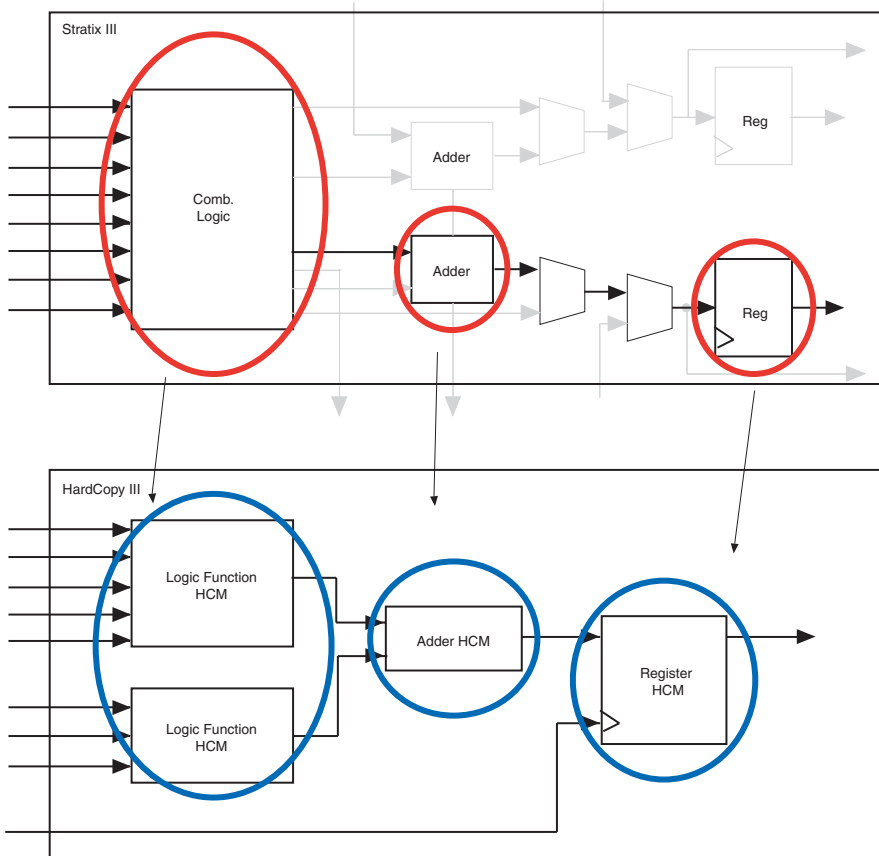
Quartus® II ソフトウェアは、事前にキャラクタライズされた HCell マクロ (HCM) を使用して Stratix III ALM コンフィギュレーションを HardCopy III HCell ベースのロジック・ファブリックに配置します。HCell マクロは、アレイ内で HCell グループを接続する方法を定義します。HCell マクロは、Stratix III ALM により実装可能な組み合わせロジック、加算器およびレジスタ機能のすべての組み合わせを構築することができます。ALM コンフィギュレーションに使用されない HCell は、MLAB および DSP ブロック・ファンクションの実装に使用できます。



HCell を使用した DSP ブロック・ファンクションの実装について詳しくは、「HardCopy III デバイス・ハンドブック Volume 1」の「[HardCopy III デバイスの DSP ブロック実装](#)」の章を参照してください。

Quartus II ソフトウェアは、デザイン要件に基づきデザイン機能を実装するのに最適な HCell マクロを選択します。例えば、Stratix III ALM は、柔軟なルック・アップ・テーブル (LUT) ブロック、レジスタ、演算ブロックおよび LAB ワイド・コントロール信号を提供します。図 2-2 に示すとおり、HardCopy III デバイスでは、デザインにこれらのアーキテクチャ・エレメントが必要な場合、Quartus II 合成ツールがデザインを適切な HCell マクロにマッピングします。それにより Stratix III FPGA プロトタイプと比較してデザイン性能が向上します。

図 2-2. HCell マクロにマップされた ALM ファンクション例



## MLAB ファンクション の実装

Stratix III デバイスの MLAB は、最大 640 ビットのシンプル・デュアル・ポート・スタティック・ランダム・アクセス・メモリ (SRAM) をサポートするようにコンフィギュレーション可能な LAB デリバティブです。LAB と同様に、各 MLAB は 10 個の ALM から成り、メモリ・ファンクションに加えて LAB の全機能を実装できます。HardCopy III デバイスでは、MLAB ファンクションは同じメモリ機能を提供する HCell マクロにマップされます。



MLAB を使用したメモリ実装について詳しくは、「Stratix III デバイス・ハンドブック Volume 1」の「[Stratix III デバイスの TriMatrix エンベデッド・メモリ・ブロック](#)」の章を参照してください。



HardCopy III メモリ・サポートについて詳しくは、「HardCopy III デバイス・ハンドブック」の「[HardCopy III デバイスの TriMatrix エンベデッド・メモリ・ブロック](#)」の章を参照してください。

## まとめ

HardCopy III デバイスでは、コア・アレイの基本ビルディング・ブロックは HCell です。HCell は連結されて、Stratix III デバイスの ALM、LAB、および MLAB の全機能を実装できる HCell マクロを形成します。未使用 HCell はパワーダウンされ、カスタマ・デザインの実装に必要な HCell のみ使用されます。これにより、コア・ファブリックを効率よく使用でき、Stratix III FPGA プロトタイプ・デバイスと比較して、スタティック消費電力が大幅に削減されます。

## 参考資料

この章では以下のドキュメントを参照しています。

- 「HardCopy III デバイス・ハンドブック Volume 1」の「[HardCopy III デバイスの DSP ブロック実装](#)」の章
- 「HardCopy III デバイス・ハンドブック Volume 1」の「[Stratix III デバイスのロジック・アレイ・ブロックおよびアダプティブ・ロジック・モジュール](#)」の章
- 「HardCopy III デバイス・ハンドブック Volume 1」の「[HardCopy III デバイスの TriMatrix エンベデッド・メモリ・ブロック](#)」の章
- 「Stratix III デバイス・ハンドブック Volume 1」の「[Stratix III デバイスの TriMatrix エンベデッド・メモリ・ブロック](#)」の章

## 改訂履歴

表 2-1 に、本資料の改訂履歴を示します。

表 2-1. 改訂履歴		
日付およびドキュメント・バージョン	変更内容	概要
2008 年 5 月 v1.0	初版	—

