



外部メモリ・インタフェース・ハンドブック

Vol 1: アルテラのメモリ・ソリューションの概要と デザイン・フロー



101 Innovation Drive
San Jose, CA 95134
www.altera.com

EMI_GS-1.1

ドキュメント・バージョン： 12.0
ドキュメント・デート： 2012年5月



Feedback

© 2012? Altera Corporation. All rights reserved. ALTERA, ARRIA, CYCLONE, HARDCOPY, MAX, MEGACORE, NIOS, QUARTUS and STRATIX words and logos are trademarks of Altera Corporation and registered in the U.S. Patent and Trademark Office and in other countries. All other words and logos identified as trademarks or service marks are the property of their respective holders as described at www.altera.com/common/legal.html. Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.



改訂日付.....	iii
-----------	-----

概要

第1章. アルテラのメモリ・ソリューションについて

ソフトおよびハード・メモリ IP	1-1
メモリ・ソリューション	1-2
低レイテンシ	1-4
効率	1-5
改訂履歴	1-6

第2章. 推奨デザイン・フロー

メモリの選択	2-3
FPGA の選択	2-3
プランニング・ピンおよび FPGA リソース	2-3
ボード・レイアウトの決定	2-3
メモリ IP の実装およびパラメータ化	2-3
メモリ IP のシミュレーション	2-4
メモリ IP のタイミング解析	2-4
フィッティング後のタイミング・シミュレーションの実行	2-4
メモリ IP のデバッグ	2-4
デザイン・チェックリスト	2-5
改訂履歴	2-8

本ハンドブック、外部メモリ・インタフェース・ハンドブックは、以下の日付で改訂されています。各章は資料番号が付けられており、個別に提供されています。

第1章． アルテラのメモリ・ソリューションについて

改訂日付： 2011年11月

資料番号： EMI_GS_001

第2章． 推奨デザイン・フロー


改訂日付： 2011年11月

資料番号： EMI_GS_002

この項では、アルテラのメモリ・ソリューションの概要および推奨メモリ IP のデザイン・フローについて説明します。

この項は、以下の章で構成されています。


- **第 1 章：アルテラのメモリ・ソリューションについて**
- **第 2 章：推奨デザイン・フロー**

 この項の章の改訂履歴については、個別の章の「改訂履歴」を参照してください。

この章では、アルテラが提供するメモリ・ソリューションについて説明します。

アルテラは、最速、最も効率的で、最も低いレイテンシのメモリ・コントローラを提供します。コントローラは、簡単に今日の高速メモリとのインタフェースにできるようにデザインされます。

アルテラは、ルータおよびスイッチからビデオ・カメラに至るまでのアプリケーションに適した様々なメモリ・インタフェースをサポートします。Quartus II ソフトウェアを介してメモリ MegaCore ファンクションを使用して、簡単にアルテラの IP (Intellectual Property) を実装することができます。また、Quartus II ソフトウェアは FPGA デバイスの IP の実装をテストすることができる外部メモリ・ツールキットを提供します。

 アルテラの FPGA でサポートされる最大速度については、「外部メモリ・インタフェース・スペック・エスティメーター」ページを参照してください。

ソフトおよびハード・メモリ IP

アルテラの最新デバイス (28 nm の FPGA) は、メモリ・ソリューションの 2 種類を提供します：ソフト・メモリ IP とハード・メモリ IP。Arria V および Cyclone V デバイスは、ソフトとハードのメモリ IP の両方を提供します。Stratix V デバイスは、ソフト・メモリ IP のみ提供します。

ソフト・メモリ IP は、システム要件を満たして、業界最先端のパフォーマンスの利点を受けるために、独自のインタフェースをデザインする柔軟性を提供します。ハード・メモリ IP は、メモリ・コントローラをデザインする際に完全な創造的作業を進めるようにデザインされます。

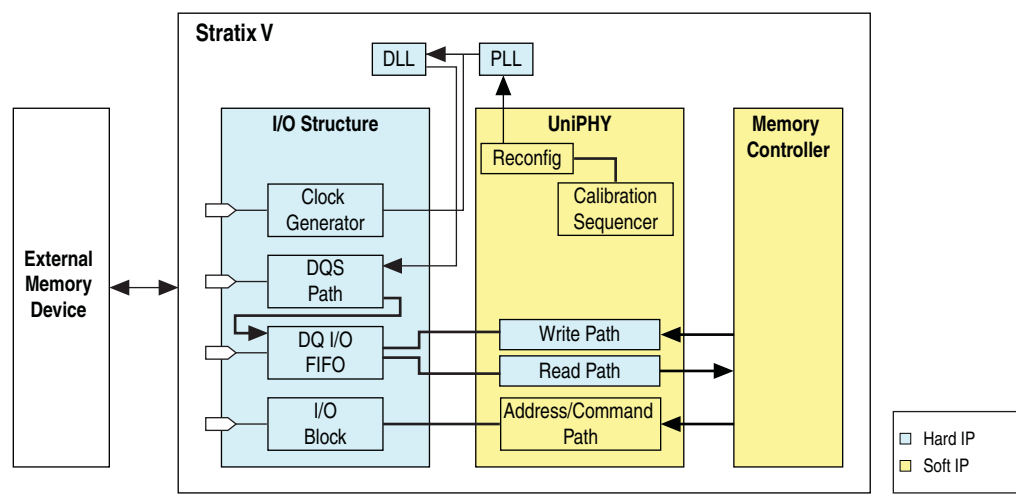
表 1-1 に、ソフトおよびハード・メモリ IP の機能を示します。

表 1-1. ソフトおよびハード・メモリ IP の機能

ソフト・メモリ IP	ハード・メモリ IP
<ul style="list-style-type: none"> ■ UniPHY IP 付きの DDR2 または DDR3 SDRAM 高性能メモリ・コントローラで構成される。 ■ デザインが最速でタイミングを満たしていることを確認するためにリードおよびライトのデータ・パスをハードウェア化される。データ・パスは I/O、PLL (Phase-Locked Loop)、DLL (Delay-Locked Loop) およびリードとライト FIFO バッファが含まれる。 ■ メモリ・コントローラを配置する場所の選択が可能になる。また、システム要件に基づいて、特に Stratix V デバイスでは、メモリ・コントローラをサイズすることができる。 	<ul style="list-style-type: none"> ■ ハードUniPHY IP付きのDDR2またはDDR3 SDRAM 高性能メモリ・コントローラおよびマルチ・ポート・フロントエンドのブロックで構成される。 ■ ダイ上の固定位置および固定の最大幅を持つ ; Arria V デバイスでは $\times 32$ で、Cyclone V デバイスでは $\times 16$ である。 ■ レイテンシの減少を可能にするために、およびデバイスのコアに入る信号の必要なバス幅を最小化するために、フル・レートで動作する。 ■ Arria V および Cyclone V デバイスの全体的なメモリ・デザインを簡素化し、すべての設計者に真の完全な創造的作業を提供する。

図 1-1 に、Stratix V デバイスのソフト・メモリ IP のハードウェア化されたデータ・パスを示します。

図 1-1. ソフト・メモリ IP のハードウェア化されたデータ・パス



メモリ・ソリューション

アルテラの FPGA は、外部メモリ IP によって最適なメモリ・インタフェース性能を実現します。IP は、次のコンポーネントを提供します。

- データ・パス自体のタイミングを処理する物理層インタフェース (PHY)。
- 全のメモリ・コマンドとアドレスを実装するメモリ・コントローラ・ブロック。
- FPGA デバイス内の複数のプロセスがメモリの一般的なバンクを共有することができるマルチポート・フロントエンド (MPFE) ブロックである。MPFE ブロックは、Arria V および Cyclone V デバイスの新機能である。

これらのブロックはメモリ・インタフェース・ブロックのデザインと使用に重要です。

アルテラは、次のいずれかのコンフィギュレーションにメモリ・インタフェース・デザインをカスタマイズできるようにするモジュラー・メモリ・ソリューションを提供します。

- 独自のコントローラとの PHY
- アルテラ・コントローラとの PHY
- アルテラ・コントローラおよび MPFE ブロックとの PHY

必要に応じてカスタム PHY、カスタム・コントローラ、あるいはその両方を構築することができます。

表 1-2 に、アルテラの PHY IP で提供する推奨メモリ種類とコントローラを示します。

表 1-2. Quartus II ソフトウェアのアルテラ・メモリ・タイプ、PHY、およびコントローラ (その1)

Quartus II バージョン	メモリ	PHY IP	コントローラ IP
11.1	DDR/DDR2/DDR3	ALTMEMPHY (AFI) ⁽¹⁾	HPC II
	DDR2/DDR3	UniPHY	HPC II
	QDR II/QDR II+	UniPHY	QDR/RLD II コントローラ
	RLDRAM II	UniPHY	QDR/RLD II コントローラ
	他の	ALTDQ_DQS ⁽²⁾	カスタム
	他の	ALTDQ_DQS2 ⁽³⁾	カスタム
11.0	DDR/DDR2/DDR3	ALTMEMPHY (AFI)	HPC II
	DDR2/DDR3	UniPHY	HPC II
	QDR II/QDR II+	UniPHY	QDR/RLD II コントローラ
	RLDRAM II	UniPHY	QDR/RLD II コントローラ
	他の	ALTDQ_DQS ⁽²⁾	カスタム
	他の	ALTDQ_DQS2 ⁽³⁾	カスタム
10.1	DDR/DDR2/DDR3	ALTMEMPHY (AFI)	HPC HPC II
	DDR2/DDR3	UniPHY Nios ベースのシーケンサ	HPC II
	QDR II/QDR II+	UniPHY RTL シーケンサ	QDR/RLD II コントローラ
	RLDRAM II	UniPHY RTL シーケンサ	QDR/RLD II コントローラ
	他の	ALTDQ_DQS ⁽²⁾	カスタム
	他の	ALTDQ_DQS2 ⁽³⁾	カスタム
10.0	DDR/DDR2/DDR3	ALTMEMPHY (AFI)	HPC HPC II
	DDR2/DDR3	UniPHY Nios ベースのシーケンサ	HPC II
	QDR II/QDR II+	UniPHY RTL シーケンサ	QDR/RLD II コントローラ
	RLDRAM II	UniPHY RTL シーケンサ	QDR/RLD II コントローラ
	他の	ALTDQ_DQS ⁽²⁾	カスタム
	他の	ALTDQ_DQS2 ⁽³⁾	カスタム

表 1-2. Quartus II ソフトウェアのアルテラ・メモリ・タイプ、PHY、およびコントローラ (その 2)

Quartus II バージョン	メモリ	PHY IP	コントローラ IP
9.1	DDR/DDR2/DDR3	ALTMEMPHY (AFI)	HPC HPC II
	QDR II/QDR II+	UniPHY	QDR II コントローラ
	RLDRAM II	UniPHY	RLDRAM II コントローラ
	他の	ALTDQ_DQS ⁽²⁾	カスタム

表 1-2 の注:

- (1) AFI = アルテラ PHY インタフェース。
- (2) Arria II、Stratix III、および Stratix IV デバイスで適用可能。
- (3) Arria V および Stratix V デバイスでのみ適用可能。



UniPHY 付きのコントローラまたは ALTMEMPHY IP 付きのコントローラについて詳しくは、「外部メモリ・インタフェース・ハンドブック」の「Vol 3」の「機能の説明」の項を参照してください。

ALTDQ_DQS メガファンクションについて詳しくは、「ALTDLL および ALTDQ_DQS メガファンクション・ユーザーガイド」を参照してください。

ALTDQ_DQS2 メガファンクションについて詳しくは、「ALTDQ_DQS2 メガファンクション・ユーザーガイド」を参照してください。

低レイテンシ

アルテラは、一般的にアルテラの競合他社よりも大幅に優れている低レイテンシ・ソリューションを提供します。アルテラの 28nm FPGA デバイスは、スイッチング・ノイズを減らすために周囲にバランスのとれたクロック・ネットワークがあります。ハードウェア化されたリード・データ FIFO バッファは、タイミングを保証し、コントローラを配置するための Fitter が容易になります。最新の UniPHY IP アドレスと共に、これらのデザインの変更は、レイテンシを大幅に削減することになります。

表 1-3 に、アルテラとその最も近い競合のレイテンシ比較を示します。

表 1-3. 四半期レート DDR3 SDRAM コントローラのレイテンシ比較

レイテンシ・タイプ	レイテンシ (メモリ・クロック・サイクル数)		利点
	競合 ⁽¹⁾	Altera	
ライト・コマンド	46	29	Altera
リード・コマンド	46	29	Altera
リード・データ	31	11	Altera

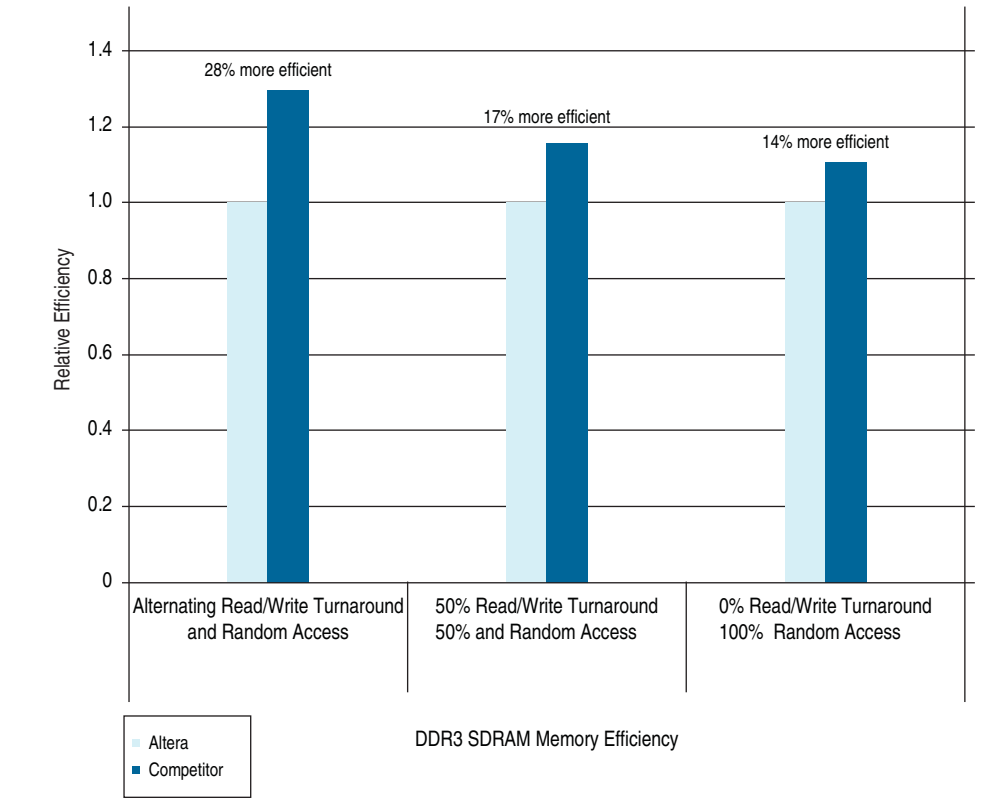
表 1-3 の注:

- (1) AXI レイテンシは含まれていない。

効率

アルテラのメモリ・コントローラは非常に効率的です。図 1-2 に、UniPHY IP 付きの DDR3 SDRAM メモリ・コントローラのメモリ効率を示します。

図 1-2. UniPHY 付きの DDR3 SDRAM メモリ・コントローラのメモリ効率



改訂履歴

表 1-4 に、本資料の改訂履歴を示します。

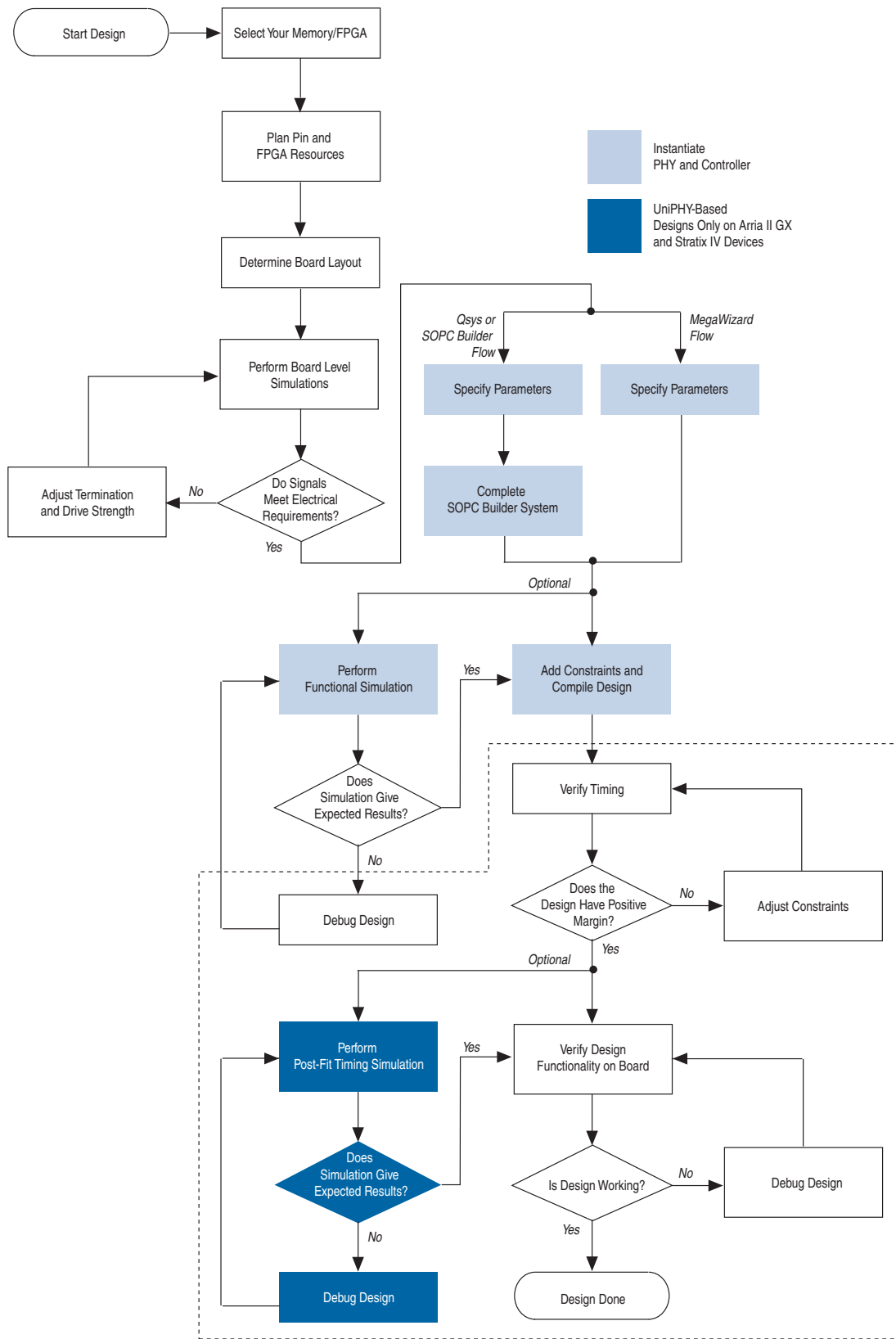
表 1-4. 改訂履歴

日付	バージョン	変更内容
2011年11月	1.0	初版。

この章では、Altera® デバイスで外部メモリ・インタフェースを適切に実装するために、アルテラが推奨するメモリ・インタフェース・デザイン・フローについて説明します。アルテラでは、必要なピン配置とインスタンス化されたすべてのインタフェース IP を持つサンプル・トップ・レベル・ファイルを作成することを推奨します。これによって、Quartus® ソフトウェアは PCB と回路図がサインオフする前に、デザインやリソースの割り当てを検証することをイネーブルにします。作業と堅牢な外部メモリ・インタフェースを作成するためのすべての推奨手順を実行したかどうかを確認するために、2-5 ページの「デザインのチェックリスト」を使用します。

図 2-1 に、デバイスの外部メモリ・インタフェースについて素早い的確な実習ができるようなデザイン・フローを示します。このトピックでは、推奨デザイン・フローの各ステップを実行する方法に関する情報を見つける方法を指示します。このフローでは、外部メモリ・インタフェースを実装するために、アルテラの IP を使用していることを前提としています。

図 2-1. 外部メモリ・インタフェース・デザインのフローチャート



メモリの選択

外部メモリ・デバイスを選択すると、帯域幅、データ・ストレージ、レイテンシや消費電力などの要因を考慮する必要があります。

- メモリ・デバイスの選択について詳しくは、「外部メモリ・インタフェース・ハンドブック」の「[メモリの選択](#)」の章を参照してください。

FPGA の選択

別のアルテラ FPGA は、さまざまなメモリ・タイプとコンフィギュレーションをサポートします。デザインの要件に応じて、適切な FPGA を決定する必要があります。

- デバイスの選択について詳しくは、「外部メモリ・インタフェース・ハンドブック」の「[Selecting Your FPGA の選択](#)」の章を参照してください。

プランニング・ピンおよび FPGA リソース

ボード・レイアウトを決定する前に、FPGA ピン、PLL (Phase-Locked Loop)、DLL (Delay-Locked Loop)、および他のリソースの使用を決定する必要があります。

- プランニング・ピンおよびリソースについて詳しくは、「外部メモリ・インタフェース・ハンドブック」の「[プランニング・ピンおよび FPGA リソース](#)」の章を参照してください。

ボード・レイアウトの決定

シグナル・インテグリティを改善するには、使用する終端方法、FPGA のドライブ強度設定、およびドライバにかかる負荷を考慮する必要があります。デザインに最適な設定を選択するには、様々な種類の終端方法間のトレードオフ、出力ドライブ強度の影響、および負荷について理解する必要があります。

- 異なるメモリ・コントローラにボード・レイアウトの決定のガイドラインについて詳しくは、「外部メモリ・インタフェース・ハンドブック」の以下の章を参照してください。

- [DDR2 および DDR3 SDRAM のボード・デザイン・ガイドライン](#)
- [デュアル DIMM DDR2 および DDR3 SDRAM のボード・デザイン・ガイドライン](#)
- [RLDRAM II のボード・デザイン・ガイドライン](#)
- [QDR II SRAM のボード・デザイン・ガイドライン](#)

メモリ IP の実装およびパラメータ化

適切なデバイスおよびメモリ・タイプを選択した後、Quartus II ソフトウェアでそのデバイスおよびメモリ・タイプをターゲットとするプロジェクトを作成します。

外部メモリ・インタフェースを実装およびパラメータ化する時に、アルテラは、アルテラの高性能コントローラまたは独自のカスタム・コントローラと使用できる PHY を含むアルテラのメモリ・インタフェース IP を使用することを推奨します。

- パラメータの指定について詳しくは、「外部メモリ・インタフェース・ハンドブック」の「メモリ IP の実装およびパラメータ化」の章を参照してください。

メモリ IP のシミュレーション

メモリ IP を実装し、パラメータ化した後、機能シミュレーションを実行する必要があります。

- シミュレーションについて詳しくは、「外部メモリ・インタフェース・ハンドブック」の「メモリ IP のシミュレーション」の章を参照してください。

メモリ IP のタイミング解析

外部メモリ・インタフェースは、様々なタイミング要件を満たしていることを確認するには、タイミング・パスを解析し、制約を調整し、およびタイミングを確認する必要があります。

- タイミング解析、制約の調整、およびタイミングの検証について詳しくは、「外部メモリ・インタフェース・ハンドブック」の「メモリ IP のタイミング解析」の章を参照してください。

フィッティング後のタイミング・シミュレーションの実行

この手順はオプションです。それは IP が正常に動作していることを保証します。

- シミュレーションについて詳しくは、「外部メモリ・インタフェース・ハンドブック」の「メモリ IP のシミュレーション」の章を参照してください。

メモリ IP のデバッグ

アルテラの SignalTap® II ロジック・アナライザを使用して、システム・レベル検証を実行し、システムをユーザのデザイン・ターゲットに関連付けることができます。

- SignalTap II アナライザの使用方法について詳しくは、「外部メモリ・インタフェース・ハンドブック」の「メモリ IP のデバッグ」の章を参照してください。

デザインのチェックリスト

このトピックには、アルテラ・デバイスに外部メモリ・インタフェースを実装する
最に使用できるデザイン・チェックリストがあります。

Done	動作	参照先
	メモリの選択	
1.	<input type="checkbox"/> メモリ・インタフェースの動作周波数およびバス幅を選択します。	■ 「外部メモリ・インタフェース・ハンドブック」の「メモリの選択」の章。
	FPGA の選択	
2.	<input type="checkbox"/> ターゲットとする FPGA デバイスの集積度とパッケージの組み合わせを選択します。	■ 「外部メモリ・インタフェース・ハンドブック」の「FPGA の選択」の章。
	プラン・ピンおよび FPGA リソース	
3.	<input type="checkbox"/> ターゲットの FPGA デバイスが、目的のクロック・レートとメモリ・バス幅をサポートしていることを確認します。また、FPGA は DQ/DQS リードおよびライトのグループに十分な I/O ピンを持っている必要があります。	詳細なデバイスのリソース情報については、外部メモリ・インタフェース・サポートに関連するデバイス・ハンドブックの章を参照してください。
	ボード・レイアウトの決定	
4.	<input type="checkbox"/> メモリ側および FPGA 側で、すべてのメモリ・インタフェース信号に対して終端方法とドライブ強度の設定を選択します。	■ 「外部メモリ・インタフェース・ハンドブック」の「DDR2 および DDR3 SDRAM のボード・デザイン・ガイドライン」の章。
5.	<input type="checkbox"/> 適切な終端とドライブ強度設定がすべてのメモリ・インタフェース信号に適用され、ボードレベル・シミュレーションを使用して検証されていることを確認します。	■ 「外部メモリ・インタフェース・ハンドブック」の「デュアル DIMM DDR2 および DDR3 SDRAM のボード・デザイン・ガイドライン」の章。
6.	<input type="checkbox"/> ボード・レベル・シミュレーションを使用して、最良のシグナル・インテグリティを得るための最適な設定を選択します。メモリ側については、アルテラではメモリへの入力信号（ライト・データ、アドレス、コマンド、およびクロック信号）に対して外部並列終端を使用することを推奨しています。	■ 「外部メモリ・インタフェース・ハンドブック」の「RLDRAM II のボード・デザイン・ガイドライン」の章。
7.	<input type="checkbox"/> ボード・レベル・シミュレーションを実行して、メモリ・インタフェースに対する電気的およびタイミング・マージンを確認します。	■ 「外部メモリ・インタフェース・ハンドブック」の「QDR II SRAM のボード・デザイン・ガイドライン」の章。
8.	<input type="checkbox"/> シミュレーションを使用してアイ開口部を十分に確保していることを確認します。シミュレーションでは、最新の FPGA およびメモリ IBIS モデル、ボード・トレース特性、ドライブ強度、および終端設定を使用します。	
	シミュレーションによって計算するボード・レベルのタイミングの不確実性を使用して、入力タイミング制約を調整し、Quartus II タイミング・マージン・レポートの確度を保証する必要があります。例えば、クロストーク、ISI、およびスルー・レート・ディレーティングです。	

Done	動作	参照先
メモリ IP のパラメータ化および実装		
9.	□ ターゲット・メモリ・インタフェースのアルテラの外部メモリ IP をパラメータ化し、インスタンス化します。	■ 「外部メモリ・インタフェース・ハンドブック」の「メモリ IP の実装およびパラメータ化」の章。
10.	□ 以下の処理を実行することを確認します。 <ul style="list-style-type: none"> ■ 正しいメモリ・インタフェース・データ・レート、幅、およびコンフィギュレーションを選択します。 ■ DDR、DDR2、および DDR3 SDRAM インタフェースの場合、必要に応じて tIS、tIH、tDS、および tDH パラメータをディレーティングすることを確認します。 ■ ボードにボード・スキュー・パラメータを含みます。 	
11.	□ PHY のローカル信号をドライバ・ロジックに接続し、PHY のメモリ・インタフェース信号をトップ・レベル・ピンに接続します。 PHY のローカル・インタフェース信号がユーザー独自のロジックに適切に接続されていることを確認します。これらのローカル・インタフェース接続がない状態で ALTMEMPHY IP がコンパイルされた場合、信号数がターゲット・デバイス上で使用可能なピン数を超えると、コンパイル・エラーが発生する可能性があります。 また、アルテラのメモリ PHY に独自のカスタム・コントローラを接続する方法の例として、サンプル・トップ・レベル・ファイルを使用することができます。	<ul style="list-style-type: none"> ■ 「外部メモリ・インタフェース・ハンドブック」の「機能の説明：HPC II」の章。 ■ 「外部メモリ・インタフェース・ハンドブック」の「機能の説明：QDR II および QDR II+ SRAM コントローラ」の章。 ■ 「外部メモリ・インタフェース・ハンドブック」の「機能の説明：RLDRAM II コントローラ」の章。
機能シミュレーションの実行		
12.	□ RTL 機能モデルを使用してデザインをシミュレーションします。 IP 機能シミュレーション・モデルと独自のドライバ・ロジック、テストベンチ、およびメモリ・モデルを使用して、メモリに対する適切なリードとライト動作を確認します。 スピード・グレードおよびデバイス・バス・モードを設定することにより、メモリ機能モデルを準備する必要があります。	■ 「外部メモリ・インタフェース・ハンドブック」の「メモリ IP のシミュレーション」の章。
制約の追加		
13.	□ タイミング制約を追加します。ウィザードで生成された .sdc ファイルはタイミング制約をインタフェースに追加します。ただし、これらの設定は、メモリ・インタフェース・コンフィギュレーションに最適に適合するように調整する必要がある場合もあります。	

Done	動作	参照先
14.	<input type="checkbox"/> ピンの設定および DQ グループ・アサインメントを追加します。ウィザードで生成された .tcl ファイルは、I/O 規格およびピン負荷の制約をデザインに含みます。	
15.	<input type="checkbox"/> 制約スクリプトで使用される一般的なピン名が、トップ・レベルのピン名に一致するように変更されていることを確認します。メモリ・インタフェース・ピンの負荷は、ボード・トポロジ（メモリ・コンポーネント）に依存します。	
16.	<input type="checkbox"/> ピン位置アサインメントを追加します。ただし、Pin Planner を使用してピン位置アサインメントを手動で割り当てます。	
17.	<input type="checkbox"/> サンプルのトップ・レベル・ファイルまたはトップ・レベル・ロジックは、トップ・レベル・エンティティとして設定されていることを確認します。	
18.	<input type="checkbox"/> 残りの制約条件が与えられていないパスの配線で最高の速度と効率が達成されるように、最適化手法を調整します。 <ol style="list-style-type: none"> a. Assignments メニューの Settings をクリックします。 b. Analysis & Synthesis Settings を選択します。 c. Optimization Technique で、Speed を選択します。 d. Fitter Settings を展開します。 e. Optimize Hold Timing をオンにして、All Paths を選択します。 f. Optimize Fast Corner Timing をオンにします。 g. Fitter Effort で Standard Fit を選択します。 	
19.	<input type="checkbox"/> ボード・トレース遅延モデルを提供します。正確な I/O タイミング解析のために、Quartus II ソフトウェアでボード・トレースおよび負荷情報を指定します。この情報は、ブリー・レイアウト（ライン）と最終的にポスト・レイアウト（ボード）シミュレーションのボード開発過程で得られ、リファインされる必要があります。Quartus II ソフトウェアでボード・トレース・モデルを介して出力と双方向ピンのボード・トレース情報を提供します。	
デザインのコンパイルおよびタイミングの検証		
20.	<input type="checkbox"/> デザインをコンパイルし、使用可能なすべてのモデルを使用してタイミング・クロージャを検証します。	
21.	<input type="checkbox"/> IP インスタンスごとのカスタム・タイミング・レポートを生成するには、ウィザードで生成された <variation_name>_report_timing.tcl ファイルを実行します。すべてのデバイス・タイミング・モデル（低速 0°C、低速 85°C、高速 0°C）を使用してこのプロセスを実行します。	
22.	<input type="checkbox"/> タイミング違反がある場合は、制約を調整してタイミングを最適化します。	

- | Done | 動作 | 参照先 |
|-----------------------------------|---|--|
| 23. | <input type="checkbox"/> 必要に応じて、IP 内の各種タイミング・パスに対して PLL クロック位相シフト設定または適切なタイミング・アサインメントおよびロケーション・アサインメントのマージンを調整します。 | <ul style="list-style-type: none"> ■ 「外部メモリ・インタフェース・ハンドブック」の「メモリ IP のタイミング解析」の章。 |
| フィッティング後のタイミング・シミュレーションの実行 | | |
| 24. | <input type="checkbox"/> すべてのメモリ・トランザクションは、ベンダのメモリ・モデルとのタイミング仕様を満たすことを確認するためにフィッティング後のタイミング・シミュレーションを実行します。 | <ul style="list-style-type: none"> ■ 「外部メモリ・インタフェース・ハンドブック」の「メモリ IP のシミュレーション」の章。 |
| デザイン機能の検証 | | |
| 25. | <input type="checkbox"/> システムのメモリ・インタフェースの機能を検証します。 | <ul style="list-style-type: none"> ■ 「外部メモリ・インタフェース・ハンドブック」の「メモリ IP のデバッグ」の章。 |

改訂履歴

表 2-1 に、本資料の改訂履歴を示します。

表 2-1. 改訂履歴

日付	バージョン	変更内容
2011 年 11 月	2.1	デザイン・フローおよびデザイン・チェックリストを更新。
2010 年 7 月	2.0	10.0 のリリースにより更新。
2010 年 1 月	1.1	<ul style="list-style-type: none"> ■ 「アルテラのメモリ・インタフェース IP の実装」の章の説明を改善。 ■ フローチャートおよびデザイン・チェックリストにタイミング・シミュレーションを追加。
2009 年 11 月	1.0	初版。