

インテル® Cyclone® 10 LP デバイス・データシート

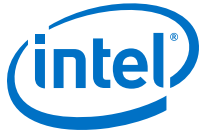
C10LP51002
2017.05.08



更新情報



フィードバック



目次

Cyclone® 10 LP デバイス・データシート	3
動作条件.....	3
絶対最大定格.....	4
最大許容オーバーシュート/アンダーシュート電圧.....	4
推奨動作条件.....	6
ESD 性能.....	7
DC 特性.....	7
I/O 規格仕様.....	14
消費電力.....	19
スイッチング特性.....	20
コア性能の仕様.....	20
周辺性能.....	26
I/O タイミング.....	35
用語集.....	36
改訂履歴.....	41



Cyclone® 10 LP デバイス・データシート

このドキュメントでは、プログラマブル IOE(I/O エlement)遅延とプログラマブル出力バッファ遅延を含む、I/O タイミングと同様に、Cyclone® 10 LP デバイスの電気的特性とスイッチング特性について説明します。

動作条件

Cyclone 10 LP デバイスがシステムに実装されると、定義されたパラメーターのセットに従って定格されます。

Cyclone 10 LP デバイスの可能な限り高いパフォーマンスと信頼性を維持するために、本ドキュメントで説明する動作要件を考慮する必要があります。Cyclone 10 LP デバイスは、次のように、商業用、工業用、拡張工業用および自動車用グレードで提供されています。

- 商業用デバイスでは、-6(最高速)と-8 スピードグレード
- 工業用デバイスでは、-7 と-8 スピードグレード
- 自動車用デバイスでは、-7 スピードグレード

Cyclone 10 LP デバイスは、次のコア電圧で提供されます。

- より低いコア電圧オプション(1.0V) - "Z": -I8 スピードグレード用
- 標準コア電圧オプション(1.2V) - "Y": -C6、-C8、-I7、および-A7 スピードグレード用

動作温度範囲に関連付けられたプレフィックスが、次のように、スピードグレードに添付されています。

- プレフィックス「C」が付く商業用グレード: -C6、-C8
- プレフィックス「I」が付く工業用グレード: -I7、-I8
- プレフィックス「A」が付く自動車用グレード: -A7



関連情報

Cyclone 10 LP デバイスの概要: Cyclone 10 LP で使用可能なオプション

Cyclone 10 LP デバイスのサポートされているスピードグレードに関する詳細情報を提供します。

絶対最大定格

絶対最大定格は、Cyclone 10 LP デバイスの絶対最大定格を定義します。この値は、デバイスを使用した試験結果、破損に至るまでの理論的なモデル、破損のメカニズムに基づいています。デバイスの機能的動作は、これらの条件を示唆するものではありません。

注意: 以下の絶対最大定格表に記載されている範囲外の条件下では、デバイスに恒久的な損傷を与える可能性があります。また、絶対最大定格で長期間デバイスを動作させる場合、デバイスに望ましくない影響を与える場合があります。

表 1. Cyclone 10 LP デバイスの絶対最大定格

電源電圧仕様は、電源ではなく、グラウンドに対するデバイスピンでの電圧読み取り値に適用されます。

シンボル	パラメーター	Min	Max	単位
V _{CCINT}	コア電圧	-0.5	1.8	V
V _{CCA}	PLL (Phase-Locked Loop) アナログ電源	-0.5	3.75	V
V _{CCD_PLL}	PLL デジタル電源	-0.5	1.8	V
V _{CCIO}	I/O バンク電源	-0.5	3.75	V
V _I	DC 入力電圧	-0.5	4.2	V
I _{OUT}	ピンあたりの DC 出力電流	-25	40	mA
T _{STG}	保存温度	-65	150	°C
T _J	動作ジャンクション温度	-40	125	°C

最大許容オーバーシュート/アンダーシュート電圧

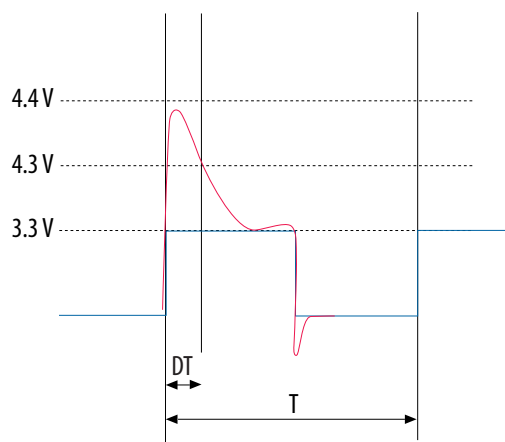
遷移中、入力信号は次の表に示す電圧までオーバーシュートし、100 mA 未満の電流の大きさと 20 ns 未満の時間では -2.0 V にアンダーシュートすることがあります。次の表は、許容される入力オーバーシュート電圧の最大値とオーバーシュート電圧の持続時間を、デバイスの寿命にわたってのパーセンテージとして示しています。オーバーシュートの最大許容期間は、デバイスの寿命にわたっての High 時間のパーセンテージとして指定されます。

注意: DC 信号は 100 % のデューティサイクルに相当します。例えば、4.3 V にオーバーシュートする信号は、デバイス寿命の 65 % までの期間のみ 4.3 V になることができます。デバイス寿命が 10 年の場合、これは 1 年の 65/10 に相当します。

表 2. Cyclone 10 LP デバイスの 10 年間の時間枠で遷移時に許容される最大オーバーシュート

シンボル	パラメーター	条件(V)	High 時間の % としてのオーバーシュート期間	単位
V _i	AC 入力電圧	V _I = 4.20	100	%
		V _I = 4.25	98	%
		V _I = 4.30	65	%
		V _I = 4.35	43	%
		V _I = 4.40	29	%
		V _I = 4.45	20	%
		V _I = 4.50	13	%
		V _I = 4.55	9	%
		V _I = 4.60	6	%

次の図では、オーバーシュート電圧は赤で示されており、Cyclone 10 LP デバイスの入力ピンには、4.3 V を超え 4.4 V 以下にあります。例えば、オーバーシュートが 4.3 V の場合、オーバーシュートの High 時間のパーセンテージは、10 年間で 65 % と高くなります。High 時間のパーセンテージは、 $([\Delta T]/T) \times 100$ として計算されます。この 10 年間は、デバイスが常に 100 % の I/O トグルレートと 50 % のデューティサイクル信号でオンになっていることを前提としています。I/O トグルレートを低くしたり、デバイスがアイドル状態にある場合は、寿命が長くなります。

図 -1: Cyclone 10 LP デバイスのオーバーシュート期間




推奨動作条件

この項では、Cyclone 10 LP デバイスの AC および DC パラメーターの機能上の動作制限について説明します。

表 3. Cyclone 10 LP デバイスの推奨動作条件

次の表では、Cyclone 10 LP デバイスで期待される定常状態の電流および電圧値を示します。すべての電源供給は、水平状態にならずに厳密に単調でなければなりません。

デバイスの動作中は、すべての I/O バンクの V_{CCIO} をパワーアップする必要があります。すべての V_{CCA} ピンは、(PLL が使用されていない場合でも) 2.5 V にパワーアップする必要があり、パワーアップとパワーダウンは同時に実行する必要があります。

シンボル	パラメーター	条件	Min	Typ	Max	単位
$V_{CCINT}^{(1)}$	内部ロジックの電源電圧	1.2 V 動作	1.15	1.2	1.25	V
		1.0 V 動作	0.97	1.0	1.03	V
$V_{CCIO}^{(1)(2)}$	出力バッファの電源電圧	3.3 V 動作	3.135	3.3	3.465	V
		3.0 V 動作	2.85	3	3.15	V
		2.5 V 動作	2.375	2.5	2.625	V
		1.8 V 動作	1.71	1.8	1.89	V
		1.5 V 動作	1.425	1.5	1.575	V
		1.2 V 動作	1.14	1.2	1.26	V
$V_{CCA}^{(1)}$	PLL 用レギュレーター電源(アナログ)電圧	—	2.375	2.5	2.625	V
$V_{CCD_PLL}^{(1)}$	PLL 用電源(デジタル)電圧	1.2 V 動作	1.15	1.2	1.25	V
		1.0 V 動作	0.97	1.0	1.03	V
V_I	入力電圧	—	-0.5	—	3.6	V
V_O	出力電圧	—	0	—	V_{CCIO}	V
T_J	動作ジャンクション温度	商業用	0	—	85	°C

continued...

(1) V_{CC} は単調に上昇する必要があります。

(2) V_{CCIO} はすべての入力バッファに電力を供給します。



シンボル	パラメーター	条件	Min	Typ	Max	単位
		工業用	-40	—	100	°C
		拡張温度用	-40	—	125	°C
		自動車用	-40	—	125	°C
t _{RAMP}	電源ランプ時間	標準 POR (パワーオンリセット) ⁽³⁾	50 μs	—	50 ms	—
		高速 POR ⁽⁴⁾	50 μs	—	3 ms	—
I _{Diode}	イネーブルされた場合の PCI* クランプダイオード全体にわたる DC 電流の大きさ	—	—	—	10	mA

ESD 性能

ESD (静電気放電) 電圧は、Cyclone 10 LP デバイス GPIO (汎用 I/O) および HSSI (高速シリアル・インターフェイス) I/O に対して HBM (人体モデル) および CDM (デバイス帯電モデル) を使用します。

表 4. Cyclone 10 LP デバイスの GPIO および HSSI I/O の ESD

シンボル	パラメーター	通過電圧	単位
V _{ESDHBM}	HBM (GPIO) を使用する ESD 電圧	± 2000	V
V _{ESDCDM}	CDM (GPIO) を使用する ESD 電圧	± 500	V

DC 特性

供給電流

デバイスの電源電流要件は、電源サイズの計画の基準として使用できる電源ピンから引き出される最小電流です。電流は使用されるリソースによって大きく異なるため、Excel ベースの EPE (Early Power Estimator) を使用して、デザインの電源電流の見積もりを取得してください。

⁽³⁾ 標準 POR の POR 時間は 50 ~ 200 ms です。個々の電源は、50 ms 以内に推奨動作範囲に達する必要があります。

⁽⁴⁾ 高速 POR の POR 時間は 3 ~ 9 ms です。個々の電源は、3 ms 以内に推奨動作範囲に達する必要があります。



表 5. Cyclone 10 LP デバイスの I/O ピンのリーク電流

この値は、通常のデバイス動作に指定されています。値は、デバイスのパワーアップ中に変化します。これは、すべての V_{CCIO} 設定 (3.3、3.0、2.5、1.8、1.5、および 1.2 V) に適用されます。

内部クランプダイオードがオフの時に 10 μ A の I/O リーク電流制限が適用可能です。ダイオードがオンの時に、より高い電流が観測されます。

シンボル	パラメーター	条件	Min	Max	単位
I_I	入力ピンのリーク電流	$V_I = 0\text{ V} \sim V_{CCIO\text{MAX}}$	-10	10	μ A
I_{OZ}	トライステート I/O ピンのリーク電流	$V_O = 0\text{ V} \sim V_{CCIO\text{MAX}}$	-10	10	μ A

バスホールド

バスホールドは、それを駆動するソースが高インピーダンス状態に入るか、または除去された後に最後の有効な論理状態を保持します。各 I/O ピンには、ユーザーモードでバスホールドをイネーブルするオプションがあります。バスホールドはコンフィグレーション・モードでは常にディスエーブルされません。

表 6. Cyclone 10 LP デバイスのバスホールド・パラメーター

バスホールドのトリップポイントは、JEDEC 規格から算出した入力電圧に基づきます。

パラメーター	条件	V_{CCIO} (V)												単位
		1.2		1.5		1.8		2.5		3.0		3.3		
		Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
バスホールド Low、保持電流	$V_{IN} > V_{IL}$ (最大)	8	—	12	—	30	—	50	—	70	—	70	—	μ A
バスホールド High、保持電流	$V_{IN} < V_{IL}$ (最小)	-8	—	-12	—	-30	—	-50	—	-70	—	-70	—	μ A
バスホールド Low、オーバードライブ電流	$0\text{ V} < V_{IN} < V_{CCIO}$	—	125	—	175	—	200	—	300	—	500	—	500	μ A
バスホールド High、オーバードライブ電流	$0\text{ V} < V_{IN} < V_{CCIO}$	—	-125	—	-175	—	-200	—	-300	—	-500	—	-500	μ A
バスホールドのトリップポイント	—	0.3	0.9	0.375	1.125	0.68	1.07	0.7	1.7	0.8	2	0.8	2	V



OCT 仕様

表 7. Cyclone 10 LP デバイスのプロセス、温度、および電圧(PVT)においてキャリブレーションを持たない直列 OCT の仕様

記述	V _{CCIO} (V)	抵抗の許容値		単位
		商業用最大値	工業用、拡張工業用、および自動車用最大値	
キャリブレーションを持たない直列 OCT	3.0	±30	±40	%
	2.5	±30	±40	%
	1.8	±40	±50	%
	1.5	±50	±50	%
	1.2	±50	±50	%

表 8. Cyclone 10 LP デバイスのデバイス・パワーアップ時のキャリブレーション機能を持つ直列 OCT の仕様

OCT キャリブレーションは、OCT がイネーブルされている I/O に対してデバイス・パワーアップ時に自動的に実行されます。

記述	V _{CCIO} (V)	キャリブレーション精度		単位
		商業用最大値	工業用、拡張工業用、および自動車用最大値	
デバイス・パワーアップ時のキャリブレーションを持つ直列 OCT	3.0	±10	±10	%
	2.5	±10	±10	%
	1.8	±10	±10	%
	1.5	±10	±10	%
	1.2	±10	±10	%

表 9. Cyclone 10 LP デバイスのデバイス・パワーアップ時におけるキャリブレーション後の電圧と温度による OCT バリエーション

デバイスのパワーアップ時におけるキャリブレーション後のばらつきを考慮し、最終的な OCT 抵抗を決定するには、次の表を使用してください。

公称電圧	dR/dT (%/°C)	dR/dV (%/mV)
3.0	0.262	-0.026
2.5	0.234	-0.039

continued...



公称電圧	dR/dT (%/°C)	dR/dV (%/mV)
1.8	0.219	-0.086
1.5	0.199	-0.136
1.2	0.161	-0.288

最終的な OCT 抵抗の方程式

$$\Delta R_V = (V_2 - V_1) \times 1000 \times dR/dV \text{ (5) (6) (7) (8)}$$

$$\Delta R_T = (T_2 - T_1) \times dR/dT \text{ (9) (10) (11) (12)}$$

$$\Delta R_x < 0 \text{ の場合、} MF_x = 1 / (|\Delta R_x|/100 + 1) \text{ (13) (14)}$$

$$\Delta R_x > 0 \text{ の場合、} MF_x = \Delta R_x/100 + 1 \text{ (13) (14)}$$

$$MF = MF_V \times MF_T \text{ (14)}$$

$$R_{\text{final}} = R_{\text{initial}} \times MF \text{ (14) (15) (16)}$$

(5) ΔR_V は電圧に対する抵抗の変化です。

(6) V_2 は最終電圧です。

(7) V_1 は初期電圧です。

(8) dR/dV はデバイスのパワーアップ時におけるキャリブレーション後の電圧による抵抗の変化率です。

(9) ΔR_T は温度に対する抵抗の変化です。

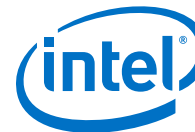
(10) T_2 は最終温度です。

(11) T_1 は初期温度です。

(12) dR/dT はデバイスのパワーアップ時におけるキャリブレーション後の温度による抵抗の変化率です。

(13) 添字 x は V と T の両方を指します。

(14) MF は増倍率です。



インピーダンス変化の例

次のように、3.0 V での 25 °C から 3.15 V での 85 °C における 50 Ω の I/O インピーダンスの変化を計算します。

$$\Delta R_V = (3.15 - 3) \times 1000 \times -0.026 = -3.83$$

$$\Delta R_T = (85 - 25) \times 0.262 = 15.72$$

ΔR_V は負であるため、

$$MF_V = 1 / (3.83/100 + 1) = 0.963$$

ΔR_T は正であるため、

$$MF_T = 15.72/100 + 1 = 1.157$$

$$MF = 0.963 \times 1.157 = 1.114$$

$$R_{\text{final}} = 50 \times 1.114 = 55.71 \Omega$$

ピン・キャパシタンス

表 10. Cyclone 10 LP デバイスのピン・キャパシタンス

ピン・キャパシタンスは FBGA、UBGA、および MBGA パッケージに適用されます。

シンボル	パラメーター	標準 - QFP(クワッド・フラット・パック)	標準 - QFN(クワッド・フラット・ノーリード)	標準 - BGA(ボール・グリッド・アレイ)	単位
C _{IOTB}	トップとボトム I/O ピンの入力キャパシタンス	7	7	6	pF
C _{IOLR}	右の I/O ピンの入力キャパシタンス	7	7	5	pF
C _{LVDSLR}	専用 LVDS 出力付き右の I/O ピンの入力キャパシタンス	8	8	7	pF

continued...

(15) R_{final} は最終的な抵抗です。

(16) R_{initial} は初期抵抗です。



シンボル	パラメーター	標準 - QFP(クワッド・フラット・パック)	標準 - QFN(クワッド・フラット・ノーリード)	標準 - BGA(ボール・グリッド・アレイ)	単位
C _{VREFLR} ⁽¹⁷⁾	V _{REF} またはユーザー I/O ピンとして使用される際の右の兼用 V _{REF} ピンの入力キャパシタンス	21	21	21	pF
C _{VREFTB} ⁽¹⁷⁾	V _{REF} またはユーザー I/O ピンとして使用される際のトップとボトム兼用 V _{REF} ピンの入力キャパシタンス	23 ⁽¹⁸⁾	23	23	pF
C _{CLKTB}	トップとボトム専用クロック入力ピンの入力キャパシタンス	7	7	6	pF
C _{CLKLR}	右の専用クロック入力ピンの入力キャパシタンス	6	6	5	pF

内部ウィークプルアップおよびウィークプルダウン抵抗

表 11. Cyclone 10 デバイスの内部ウィークプルアップおよびウィークプルダウン抵抗値

すべての I/O ピンには、コンフィグレーション、テスト、および JTAG ピンを除く、ウィークプルアップをイネーブルするオプションがあります。ウィークプルダウン機能は、JTAG TCK ピンでのみ使用できます。

シンボル	パラメーター	条件	Min	Typ	Max	単位
R _{PU}	プログラマブルなプルアップ抵抗のオプションがイネーブルされた場合の、コンフィグレーション前とコンフィグレーション中、およびユーザーモードの I/O ピンのプルアップ抵抗値	V _{CCIO} = 3.3 V ± 5 % ⁽¹⁹⁾ (20)	7	25	41	kΩ
		V _{CCIO} = 3.0 V ± 5 % ⁽¹⁹⁾ (20)	7	28	47	kΩ
		V _{CCIO} = 2.5 V ± 5 % ⁽¹⁹⁾ (20)	8	35	61	kΩ
		V _{CCIO} = 1.8 V ± 5 % ⁽¹⁹⁾ (20)	10	57	108	kΩ
		V _{CCIO} = 1.5 V ± 5 % ⁽¹⁹⁾ (20)	13	82	163	kΩ
		V _{CCIO} = 1.2 V ± 5 % ⁽¹⁹⁾ (20)	19	143	351	kΩ

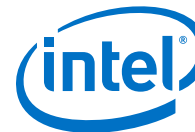
continued...

(17) V_{REF} ピンを通常の入力または出力として使用すると、ピン・キャパシタンスが大きいため、トグルレートおよび t_{CO} の性能が低下することが予想されます。

(18) 10CL025 デバイスの C_{VREFTB} は 30 pF です。

(19) 外部ソースが V_{CCIO} よりも高い電圧でピンをドライブすると、ピンのプルアップ抵抗値はより低くなる場合があります。

(20) R_{PU} = (V_{CCIO} - V_I)/I_{R_PU} 最小条件が -40 °C の場合、V_{CCIO} = V_{CC} + 5 %、V_I = V_{CC} + 5 % - 50 mV、標準条件が 25 °C の場合、V_{CCIO} = V_{CC}、V_I = 0 V、最大条件が 100 °C の場合、V_{CCIO} = V_{CC} - 5 %、V_I = 0 V。V_I は I/O ピンの入力電圧を指します。



シンボル	パラメーター	条件	Min	Typ	Max	単位
R _{PD}	コンフィグレーションの実行前および実行時の I/O ピンのプルダウン抵抗値	V _{CCIO} = 3.3 V ± 5 % ⁽²¹⁾	6	19	30	kΩ
		V _{CCIO} = 3.0 V ± 5 % ⁽²¹⁾	6	22	36	kΩ
		V _{CCIO} = 2.5 V ± 5 % ⁽²¹⁾	6	25	43	kΩ
		V _{CCIO} = 1.8 V ± 5 % ⁽²¹⁾	7	35	71	kΩ
		V _{CCIO} = 1.5 V ± 5 % ⁽²¹⁾	8	50	112	kΩ

ホットソケット

表 12. Cyclone 10 LP デバイスのホットソケットの仕様

ホットソケット中には、I/O ピンのキャパシタンスは 15 pF 未満で、クロックピンのキャパシタンスは 20 pF 未満です。

シンボル	パラメーター	Max
I _{IOPIN(DC)}	I/O ピンあたりの DC 電流	300 μA
I _{IOPIN(AC)}	I/O ピンあたりの AC 電流	8 mA ⁽²²⁾
I _{XCVRTX(DC)}	トランシーバー TX ピンあたりの DC 電流	100 mA
I _{XCVRRX(DC)}	トランシーバー RX ピンあたりの DC 電流	50 mA

シュミットトリガー入力

Cyclone 10 LP デバイスは、TDI、TMS、TCK、nSTATUS、nCONFIG、nCE、CONF_DONE、および DCLK ピンのシュミットトリガー入力をサポートしています。シュミットトリガー機能は、特に低速エッジレートを持つ信号に対し、ノイズ耐性を向上させるために入力信号にヒステリシスを導入します。

$$(21) R_{PD} = V_I / I_{R_{PD}}$$

最小条件が -40 °C の場合、V_{CCIO} = V_{CC} + 5 %、V_I = 50 mV、標準条件が 25 °C の場合、V_{CCIO} = V_{CC}、V_I = V_{CC} - 5 %、最大条件が 100 °C の場合、V_{CCIO} = V_{CC} - 5 %、V_I = V_{CC} - 5 %。V_I は I/O ピンの入力電圧を指します。

(22) I/O ランプレートは、10 ns またはそれ以上となります。10 ns 以上のランプレートの場合、|I_{IOPIN}| = C dv/dt となり、この場合 C は I/O ピンのキャパシタンスで、dv/dt はスルーレートです。

表 13. Cyclone 10 LP デバイスでサポートされている V_{CCIO} 範囲のシュミットトリガー入力のカスタム仕様

シンボル	パラメーター	条件 (V)	Min	単位
V _{SCHMITT}	シュミットトリガー入力のカスタム仕様	$V_{CCIO} = 3.3$	200	mV
		$V_{CCIO} = 2.5$	200	mV
		$V_{CCIO} = 1.8$	140	mV
		$V_{CCIO} = 1.5$	110	mV

I/O 規格仕様

以下の表に、Cyclone 10 LP デバイスがサポートするさまざまな I/O 規格の入力電圧感度 (V_{IH} , V_{IL})、出力電圧 (V_{OH} , V_{OL})、および電流ドライブ特性 (I_{OH} , I_{OL}) を示します。

シングルエンド I/O 規格の仕様

表 14. Cyclone 10 LP デバイスのシングルエンド I/O 規格の仕様

AC 負荷、 $C_L = 10$ pF

I/O 規格	V_{CCIO} (V)			V_{IL} (V)		V_{IH} (V)		V_{OL} (V)	V_{OH} (V)	I_{OL} (mA) (23)	I_{OH} (mA) (23)
	Min	Typ	Max	Min	Max	Min	Max	Max	Min		
3.3-V LVTTTL	3.135	3.3	3.465	—	0.8	1.7	3.6	0.45	2.4	4	-4
3.3-V LVCMOS	3.135	3.3	3.465	—	0.8	1.7	3.6	0.2	$V_{CCIO} - 0.2$	2	-2
3.0-V LVTTTL	2.85	3.0	3.15	-0.3	0.8	1.7	$V_{CCIO} + 0.3$	0.45	2.4	4	-4
3.0-V LVCMOS	2.85	3.0	3.15	-0.3	0.8	1.7	$V_{CCIO} + 0.3$	0.2	$V_{CCIO} - 0.2$	0.1	-0.1
2.5 V	2.375	2.5	2.625	-0.3	0.7	1.7	$V_{CCIO} + 0.3$	0.4	2.0	1	-1
1.8 V	1.71	1.8	1.89	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	2.25	0.45	$V_{CCIO} - 0.45$	2	-2
1.5 V	1.425	1.5	1.575	-0.3	$0.35 \times V_{CCIO}$	$0.65 \times V_{CCIO}$	$V_{CCIO} + 0.3$	$0.25 \times V_{CCIO}$	$0.75 \times V_{CCIO}$	2	-2

continued...

(23) I_{OL} と I_{OH} の仕様を満たすには、それらに応じた電流強度を設定する必要があります。例えば、**3.3-V LVTTTL** 仕様 (4 mA) を満たすには、電流強度を 4 mA またはそれ以上に設定する必要があります。より低い電流強度で設定すると、ハンドブックの I_{OL} と I_{OH} の仕様を満たさない場合があります。



I/O 規格	V _{CCIO} (V)			V _{IL} (V)		V _{IH} (V)		V _{OL} (V)	V _{OH} (V)	I _{OL} (mA) (23)	I _{OH} (mA) (23)
	Min	Typ	Max	Min	Max	Min	Max	Max	Min		
1.2 V	1.14	1.2	1.26	-0.3	0.35 × V _{CCIO}	0.65 × V _{CCIO}	V _{CCIO} + 0.3	0.25 × V _{CCIO}	0.75 × V _{CCIO}	2	-2
3.0-V PCI	2.85	3.0	3.15	—	0.3 × V _{CCIO}	0.5 × V _{CCIO}	V _{CCIO} + 0.3	0.1 × V _{CCIO}	0.9 × V _{CCIO}	1.5	-0.5
3.0-V PCI-X	2.85	3.0	3.15	—	0.35 × V _{CCIO}	0.5 × V _{CCIO}	V _{CCIO} + 0.3	0.1 × V _{CCIO}	0.9 × V _{CCIO}	1.5	-0.5

関連情報

AN 447: Interfacing Altera Devices with 3.3/3.0/2.5 V LVTTTL/LVCMOS I/O Systems (英語版)

Cyclone 10 LP デバイスと 3.3/3.0/2.5-V LVTTTL/LVCMOS I/O 規格とのインターフェイスに関する詳細情報を提供します。

シングルエンド SSTL および HSTL I/O リファレンス電圧仕様

表 15. Cyclone 10 LP デバイスにおけるシングルエンド SSTL および HSTL I/O リファレンス電圧仕様

I/O 規格	V _{CCIO} (V)			V _{REF} (V)			V _{TT} (V) ⁽²⁴⁾		
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max
SSTL-2 Class I, II	2.375	2.5	2.625	1.19	1.25	1.31	V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04
SSTL-18 Class I, II	1.7	1.8	1.9	0.833	0.9	0.969	V _{REF} - 0.04	V _{REF}	V _{REF} + 0.04
HSTL-18 Class I, II	1.71	1.8	1.89	0.85	0.9	0.95	0.85	0.9	0.95
HSTL-15 Class I, II	1.425	1.5	1.575	0.71	0.75	0.79	0.71	0.75	0.79
HSTL-12 Class I, II	1.14	1.2	1.26	0.48 × V _{CCIO} (25)	0.5 × V _{CCIO} ⁽²⁵⁾	0.52 × V _{CCIO} ⁽²⁵⁾	—	0.5 × V _{CCIO}	—
				0.47 × V _{CCIO} (26)	0.5 × V _{CCIO} ⁽²⁶⁾	0.53 × V _{CCIO} ⁽²⁶⁾			

(23) I_{OL} と I_{OH} の仕様を満たすには、それらに応じた電流強度を設定する必要があります。例えば、**3.3-V LVTTTL** 仕様 (4 mA) を満たすには、電流強度を 4 mA またはそれ以上に設定する必要があります。より低い電流強度で設定すると、ハンドブックの I_{OL} と I_{OH} の仕様を満たさない場合があります。

(24) 送信デバイスの V_{TT} は、受信デバイスの V_{REF} に追従しなければなりません。

(25) 示された値は、DC 入力リファレンス電圧である V_{REF(DC)} です。



シングルエンド SSTL および HSTL I/O 規格信号仕様

表 16. Cyclone 10 LP デバイスにおけるシングルエンド SSTL および HSTL I/O 規格信号仕様

I/O 規格	V _{IL(DC)} (V)		V _{IH(DC)} (V)		V _{IL(AC)} (V)		V _{IH(AC)} (V)		V _{OL} (V)	V _{OH} (V)	I _{OL} (mA)	I _{OH} (mA)
	Min	Max	Min	Max	Min	Max	Min	Max	Max	Min		
SSTL-2 Class I	—	V _{REF} - 0.18	V _{REF} + 0.18	—	—	V _{REF} - 0.35	V _{REF} + 0.35	—	V _{TT} - 0.57	V _{TT} + 0.57	8.1	-8.1
SSTL-2 Class II	—	V _{REF} - 0.18	V _{REF} + 0.18	—	—	V _{REF} - 0.35	V _{REF} + 0.35	—	V _{TT} - 0.76	V _{TT} + 0.76	16.4	-16.4
SSTL-18 Class I	—	V _{REF} - 0.125	V _{REF} + 0.125	—	—	V _{REF} - 0.25	V _{REF} + 0.25	—	V _{TT} - 0.475	V _{TT} + 0.475	6.7	-6.7
SSTL-18 Class II	—	V _{REF} - 0.125	V _{REF} + 0.125	—	—	V _{REF} - 0.25	V _{REF} + 0.25	—	0.28	V _{CCIO} - 0.28	13.4	-13.4
HSTL-18 Class I	—	V _{REF} - 0.1	V _{REF} + 0.1	—	—	V _{REF} - 0.2	V _{REF} + 0.2	—	0.4	V _{CCIO} - 0.4	8	-8
HSTL-18 Class II	—	V _{REF} - 0.1	V _{REF} + 0.1	—	—	V _{REF} - 0.2	V _{REF} + 0.2	—	0.4	V _{CCIO} - 0.4	16	-16
HSTL-15 Class I	—	V _{REF} - 0.1	V _{REF} + 0.1	—	—	V _{REF} - 0.2	V _{REF} + 0.2	—	0.4	V _{CCIO} - 0.4	8	-8
HSTL-15 Class II	—	V _{REF} - 0.1	V _{REF} + 0.1	—	—	V _{REF} - 0.2	V _{REF} + 0.2	—	0.4	V _{CCIO} - 0.4	16	-16
HSTL-12 Class I	-0.15	V _{REF} - 0.08	V _{REF} + 0.08	V _{CCIO} + 0.15	-0.24	V _{REF} - 0.15	V _{REF} + 0.15	V _{CCIO} + 0.24	0.25 × V _{CCIO}	0.75 × V _{CCIO}	8	-8
HSTL-12 Class II	-0.15	V _{REF} - 0.08	V _{REF} + 0.08	V _{CCIO} + 0.15	-0.24	V _{REF} - 0.15	V _{REF} + 0.15	V _{CCIO} + 0.24	0.25 × V _{CCIO}	0.75 × V _{CCIO}	14	-14

関連情報

Cyclone 10 LP Core Fabric and General Purpose I/Os Handbook の I/O and High Speed I/O in Devices の章 (英語版)

レシーバー入力波形とトランスミッタ出力波形、およびその他の差動 I/O 規格に関する詳細情報を提供します。

(26) 示された値は、AC 入力ファレンス電圧である V_{REF(AC)} です。



差動 SSTL I/O 規格の仕様

表 17. Cyclone 10 LP デバイスの差動 SSTL I/O 規格の仕様

差動 SSTL は、V_{REF} 入力が必要とします。

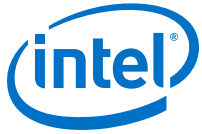
I/O 規格	V _{CCIO} (V)			V _{Swing(DC)} (V)		V _{X(AC)} (V)			V _{Swing(AC)} (V)		V _{Ox(AC)} (V)		
	Min	Typ	Max	Min	Max	Min	Typ	Max	Min	Max	Min	Typ	Max
SSTL-2 Class I, II	2.375	2.5	2.625	0.36	V _{CCIO}	$V_{CCIO}/2 - 0.2$	—	$V_{CCIO}/2 + 0.2$	0.7	V _{CCIO}	$V_{CCIO}/2 - 0.125$	—	$V_{CCIO}/2 + 0.125$
SSTL-18 Class I, II	1.7	1.8	1.90	0.25	V _{CCIO}	$V_{CCIO}/2 - 0.175$	—	$V_{CCIO}/2 + 0.175$	0.5	V _{CCIO}	$V_{CCIO}/2 - 0.125$	—	$V_{CCIO}/2 + 0.125$

差動 HSTL I/O 規格の仕様

表 18. Cyclone 10 LP デバイスの差動 HSTL I/O 規格の仕様

差動 HSTL は、V_{REF} 入力が必要とします。

I/O 規格	V _{CCIO} (V)			V _{DIF(DC)} (V)		V _{X(AC)} (V)			V _{CM(DC)} (V)			V _{DIF(AC)} (V)	
	Min	Typ	Max	Min	Max	Min	Typ	Max	Min	Typ	Max	Min	Max
HSTL-18 Class I, II	1.71	1.8	1.89	0.2	—	0.85	—	0.95	0.85	—	0.95	0.4	—
HSTL-15 Class I, II	1.425	1.5	1.575	0.2	—	0.71	—	0.79	0.71	—	0.79	0.4	—
HSTL-12 Class I, II	1.14	1.2	1.26	0.16	V _{CCIO}	$0.48 \times V_{CCIO}$	—	$0.52 \times V_{CCIO}$	$0.48 \times V_{CCIO}$	—	$0.52 \times V_{CCIO}$	0.3	$0.48 \times V_{CCIO}$



差動 I/O 規格の仕様

表 19. Cyclone 10 LP デバイスの差動 I/O 規格の仕様

I/O 規格	V _{CCIO} (V)			V _{ID} (mV)		V _{ICM} (V) ⁽²⁷⁾			V _{OD} (mV) ⁽²⁸⁾			V _{OS} (V) ⁽²⁸⁾		
	Min	Typ	Max	Min	Max	Min	条件	Max	Min	Typ	Max	Min	Typ	Max
LVPECL (ロー I/O) ⁽²⁹⁾	2.375	2.5	2.625	100	—	0.05	D _{MAX} ≤ 500 Mbps	1.80	—	—	—	—	—	—
						0.55	≤ 500 Mbps D _{MAX} ≤ 700 Mbps	1.80						
						1.05	D _{MAX} > 700 Mbps	1.55						
LVPECL (カラム I/O) ⁽²⁹⁾	2.375	2.5	2.625	100	—	0.05	D _{MAX} ≤ 500 Mbps	1.80	—	—	—	—	—	—
						0.55	500 Mbps ≤ D _{MAX} ≤ 700 Mbps	1.80						
						1.05	D _{MAX} > 700 Mbps	1.55						
LVDS (ロー I/O)	2.375	2.5	2.625	100	—	0.05	D _{MAX} ≤ 500 Mbps	1.80	247	—	600	1.125	1.25	1.375
						0.55	500 Mbps ≤ D _{MAX} ≤ 700 Mbps	1.80						
						1.05	D _{MAX} > 700 Mbps	1.55						
LVDS (カラム I/O)	2.375	2.5	2.625	100	—	0.05	D _{MAX} ≤ 500 Mbps	1.80	247	—	600	1.125	1.25	1.375
						0.55	500 Mbps ≤ D _{MAX} ≤ 700 Mbps	1.80						
						1.05	D _{MAX} > 700 Mbps	1.55						
BLVDS (ロー I/O) ⁽³⁰⁾	2.375	2.5	2.625	100	—	—	—	—	—	—	—	—	—	—

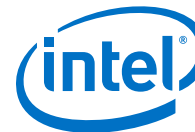
continued...

(27) V_{IN} 範囲: 0 V ≤ V_{IN} ≤ 1.85 V。

(28) R_L 範囲: 90 ≤ R_L ≤ 110 Ω。

(29) LVPECL I/O 規格は専用クロック入力ピンでのみサポートされています。この I/O 規格は出力ピンではサポートされていません。

(30) BLVDS の固定 V_{IN}、V_{OD}、および V_{OS} の仕様はありません。これらはシステムトポロジーに依存します。



I/O 規格	V _{CCIO} (V)			V _{ID} (mV)		V _{ICM} (V) ⁽²⁷⁾			V _{OD} (mV) ⁽²⁸⁾			V _{OS} (V) ⁽²⁸⁾		
	Min	Typ	Max	Min	Max	Min	条件	Max	Min	Typ	Max	Min	Typ	Max
BLVDS (カラム I/O) ⁽³⁰⁾	2.375	2.5	2.625	100	—	—	—	—	—	—	—	—	—	—
mini-LVDS (ロー I/O) ⁽³¹⁾	2.375	2.5	2.625	—	—	—	—	—	300	—	600	1.0	1.2	1.4
mini-LVDS (カラム I/O) ⁽³¹⁾	2.375	2.5	2.625	—	—	—	—	—	300	—	600	1.0	1.2	1.4
RSDS (ロー I/O) ⁽³¹⁾	2.375	2.5	2.625	—	—	—	—	—	100	200	600	0.5	1.2	1.5
RSDS (カラム I/O) ⁽³¹⁾	2.375	2.5	2.625	—	—	—	—	—	100	200	600	0.5	1.2	1.5
PPDS (ロー I/O) ⁽³¹⁾	2.375	2.5	2.625	—	—	—	—	—	100	200	600	0.5	1.2	1.4
PPDS (カラム I/O) ⁽³¹⁾	2.375	2.5	2.625	—	—	—	—	—	100	200	600	0.5	1.2	1.4

消費電力

デザインの消費電力を見積もるには、次の方法を使用します。

- Excel ベースの EPE
- Quartus® Prime パワー・アナライザーの機能

インタラクティブな Excel ベースの EPE は、デバイスをデザインする前に使用され、デバイスの電力の大きさの推定値を取得します。Quartus Prime パワー・アナライザーは、配置配線完了後のデザインの詳細に基づいて、より良い品質の見積もりを提供します。パワー・アナライザーは、詳細な回路モデルと組み合わせられた場合、ユーザー入力、シミュレーション派生、および推定信号アクティビティの組み合わせを適用し、非常に正確な電力見積もりを生成できます。

⁽²⁷⁾ V_{IN} 範囲: 0 V ≤ V_{IN} ≤ 1.85 V。

⁽²⁸⁾ R_L 範囲: 90 ≤ R_L ≤ 110 Ω。

⁽³¹⁾ Mini-LVDS、RSDS、および PPDS 規格は、出力ピンでのみサポートされています。



関連情報

- [Early Power Estimator User Guide \(英語版\)](#)
電力見積もりツールに関する詳細情報を提供します。
- [Quartus Prime Standard Edition Handbook Volume 3: Verification の Power Analysis の章](#)
電力見積もりツールに関する詳細情報を提供します。

スイッチング特性

この項では、Cyclone 10 LP コアおよび商業用グレードデバイスの周辺ブロックの性能特性について説明します。

コア性能の仕様

クロックツリーの仕様

表 20. Cyclone 10 LP デバイスにおけるクロックツリーの性能

デバイス	性能					単位
	C6	C8	I7	I8	A7	
10CL006	500	402	437.5	362	402	MHz
10CL010	500	402	437.5	362	402	MHz
10CL016	500	402	437.5	362	402	MHz
10CL025	500	402	437.5	362	402	MHz
10CL040	500	402	437.5	362	402	MHz
10CL055	500	402	437.5	362	—	MHz
10CL080	500	402	437.5	362	—	MHz
10CL120	—	402	437.5	362	—	MHz

PLL 仕様

PLL 仕様は、商用ジャンクション温度範囲(0 °C ~ 85 °C)、工業用ジャンクション温度範囲(-40 °C ~ 100 °C)、拡張工業用ジャンクション温度範囲(-40 °C ~ 125 °C)、および自動車用ジャンクション温度範囲(-40 °C ~ 125 °C)で動作する Cyclone 10 LP デバイス用です。



表 21. Cyclone 10 LP デバイスの PLL 仕様

以下の表は、汎用 PLL および多目的 PLL に適用されます。

V_{CCD_PLL} は、デカップリング・コンデンサーとフェライトビーズを介して V_{CCINT} に接続しなければなりません。

シンボル	パラメーター	Min	Typ	Max	単位
f _{IN} ⁽³²⁾	入力クロック周波数 (-C6、-C8、-I7、および-A7 スピードグレード)	5	—	472.5	MHz
	入力クロック周波数 (-I8 スピードグレード)	5	—	362	MHz
f _{INPFD}	PFD 入力周波数	5	—	325	MHz
f _{VCO} ⁽³³⁾	PLL 内部 VCO の動作範囲	600	—	1300	MHz
f _{INDUTY}	入力クロックのデューティサイクル	40	—	60	%
t _{INJITTER_CCJ} ⁽³⁴⁾	入力クロックのサイクル間ジッター F _{REF} ≥ 100 MHz	—	—	0.15	UI
	F _{REF} < 100 MHz	—	—	±750	ps
f _{OUT_EXT} (外部クロック出力) ⁽³²⁾	PLL 出力周波数	—	—	472.5	MHz
f _{OUT} (グローバルクロックへ)	PLL 出力周波数 (-C6 スピードグレード)	—	—	472.5	MHz
	PLL 出力周波数 (-I7、-A7 スピードグレード)	—	—	450	MHz
	PLL 出力周波数 (-C8 スピードグレード)	—	—	402.5	MHz
	PLL 出力周波数 (-I8 スピードグレード)	—	—	362	MHz
t _{OUTDUTY}	外部クロック出力のデューティサイクル(50 % に設定した場合)	45	50	55	%
t _{LOCK}	デバイス・コンフィグレーション終了からロックまでに必要となる時間	—	—	1	ms

continued...

(32) このパラメーターは、I/O の最大周波数によって、Quartus Prime ソフトウェアで制限されています。I/O の最大周波数は、各 I/O 規格によって異なります。

(33) Quartus Prime ソフトウェアがコンパイルレポートの PLL サマリーセクションでレポートする V_{CO} 周波数は、V_{CO} ポスト・スケール・カウンタ K の値を考慮します。このため、カウンタ K の値が 2 である場合、レポートされる周波数は f_{VCO} 仕様よりも低い値となることがあります。

(34) 高い入力ジッターは、PLL 出力ジッターに直接影響します。PLL 出力クロックジッターを低く抑えるには、200 ps より低いジッターを持つクリーンなクロックソースを提供する必要があります。



シンボル	パラメーター	Min	Typ	Max	単位
t _{DLOCK}	動的にロックするのに必要な時間 (任意の非ポスト・スケール・カウンタ/遅延の切り換え、リコンフィグレーション後、または areset がデアサートされた後)	—	—	1	ms
t _{OUTJITTER_PERIOD_DEDCLK} ⁽³⁵⁾	専用クロック出力の周期ジッター F _{OUT} ≥ 100 MHz	—	—	300	ps
	F _{OUT} < 100 MHz	—	—	30	mUI
t _{OUTJITTER_CCJ_DEDCLK} ⁽³⁵⁾	専用クロック出力のサイクル間ジッター F _{OUT} ≥ 100 MHz	—	—	300	ps
	F _{OUT} < 100 MHz	—	—	30	mUI
t _{OUTJITTER_PERIOD_IO} ⁽³⁵⁾	通常 I/O の周期ジッター F _{OUT} ≥ 100 MHz	—	—	650	ps
	F _{OUT} < 100 MHz	—	—	75	mUI
t _{OUTJITTER_CCJ_IO} ⁽³⁵⁾	通常 I/O のサイクル間ジッター F _{OUT} ≥ 100 MHz	—	—	650	ps
	F _{OUT} < 100 MHz	—	—	75	mUI
t _{PLL_PSERR}	PLL 位相シフトの精度	—	—	±50	ps
t _{ARESET}	areset 信号の最小パルス幅	10	—	—	ns
t _{CONFIGPLL}	PLL のスキャンチェーンをリコンフィグレーションするのに必要となる時間	—	3.5 ⁽³⁶⁾	—	SCANCLK サイクル

continued...

(35) 確率レベルが 10⁻¹² (14 シグマ、99.9999999974404 % 信頼レベル) のピーク間ジッター。出力ジッター仕様は、30 ps の入力ジッターが印加された時の PLL の固有ジッターに適用されます。

(36) 100 MHz の scanclk 周波数を使用します。



シンボル	パラメーター	Min	Typ	Max	単位
f _{SCANCLK}	scanclk 周波数	—	—	100	MHz
t _{CASC_OUTJITTER_PERIOD_DEDECLK} ⁽³⁷⁾ ⁽³⁸⁾	カスケード接続された PLL における専用クロック出力の周期ジッター (F _{OUT} ≥ 100 MHz)	—	—	425	ps
	カスケード接続された PLL における専用クロック出力の周期ジッター (F _{OUT} ≥ 100 MHz)	—	—	42.5	mUI

エンベデッド・マルチプライヤの仕様

表 22. Cyclone 10 LP デバイスのエンベデッド・マルチプライヤの仕様

モード	使用リソース	性能				単位
		乗算器の個数	C6	I7、A7	C8	
9 × 9 ビット乗算器	1	340	300	260	240	MHz
18 × 18 ビット乗算器	1	287	250	200	185	MHz

- (37) カスケード接続された PLL の仕様は、次の条件でのみ適用されます。
- アップストリーム PLL : 0.59 MHz ≥ アップストリーム PLL 帯域幅 < 1 MHz
 - ダウンストリーム PLL : ダウンストリーム PLL 帯域幅 > 2 MHz

- (38) PLL カスケードはトランシーバー・アプリケーションではサポートされていません。



メモリーブロックの仕様

表 23. Cyclone 10 LP デバイスの M9K メモリーブロック性能の仕様

メモリー	モード	使用リソース		性能				単位
		LE 数	M9K メモリー	C6	I7、A7	C8	I8	
M9K ブロック	FIFO 256 × 36	47	1	315	274	238	200	MHz
	シングルポート 256 × 36	0	1	315	274	238	200	MHz
	シングル・デュアルポート 256 × 36 CLK	0	1	315	274	238	200	MHz
	真のデュアルポート 512 × 18 シングル CLK	0	1	315	274	238	200	MHz

コンフィグレーションおよび JTAG 仕様

表 24. Cyclone 10 LP デバイスのパッシブ・コンフィグレーション・モード仕様

プログラミング・モード	V _{CCINT} 電圧レベル(V)	DCLK f _{MAX}	単位
パッシブシリアル (PS)	1.0 ⁽³⁹⁾	66	MHz
	1.2	133	MHz
FPP(高速パッシブパラレル) ⁽⁴⁰⁾	1.0 ⁽³⁹⁾	66	MHz
	1.2 ⁽⁴¹⁾	100	MHz

表 25. Cyclone 10 LP デバイスのアクティブ・コンフィグレーション・モード仕様

プログラミング・モード	DCLK レンジ	標準 DCLK	単位
アクティブシリアル (AS)	20~40	33	MHz

⁽³⁹⁾ V_{CCINT} = 1.0 V は、Cyclone 10 LP 1.0 V コア電圧デバイスでのみサポートされています。

⁽⁴⁰⁾ FPP コンフィグレーション・モードは、すべての Cyclone 10 LP デバイス(E144 パッケージデバイスを除く)をサポートします。

⁽⁴¹⁾ Cyclone 10 LP 1.2 V コア電圧デバイスは、10CL006、10CL010、10CL016、10CL025、および 10CL040 の場合のみ 133 MHz DCLK f_{MAX} をサポートします。

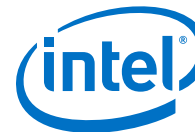


表 26. Cyclone 10 LP デバイスの JTAG タイミング・パラメーター

シンボル	パラメーター	Min	Max	単位
t _{JCP}	TCK クロックの周期	40	—	ns
t _{JCH}	TCK クロックの High 時間	19	—	ns
t _{JCL}	TCK クロックの Low 時間	19	—	ns
t _{JPSU_TDI}	TDI の JTAG ポート・セットアップ時間	1	—	ns
t _{JPSU_TMS}	TMS の JTAG ポート・セットアップ時間	3	—	ns
t _{JPH}	JTAG ポートのホールド時間	10	—	ns
t _{JPCO}	JTAG ポートの Clock-to-Output ⁽⁴²⁾	—	15	ns
t _{JPZX}	JTAG ポートの高インピーダンスから有効出力まで ⁽⁴²⁾	—	15	ns
t _{JPXZ}	JTAG ポートの有効出力から高インピーダンスまで ⁽⁴²⁾	—	15	ns
t _{JSSU}	キャプチャー・レジスターのセットアップ時間	5	—	ns
t _{JSH}	キャプチャー・レジスターのホールド時間	10	—	ns
t _{JSCO}	アップデート・レジスターの Clock-to-Output	—	25	ns
t _{JSZX}	アップデート・レジスターの高インピーダンスから有効出力まで	—	25	ns
t _{JSXZ}	アップデート・レジスターの有効出力から高インピーダンスまで	—	25	ns

関連情報

[Cyclone 10 LP Core Fabric and General Purpose I/Os Handbook の Configuration and Remote System Upgrades in Cyclone 10 LP Devices の章 \(英語版\)](#)

PS および FPP のコンフィギュレーション・タイミング・パラメーターに関する詳細情報を提供します。

⁽⁴²⁾ この仕様は、JTAG ピンの 3.3 V、3.0 V、および 2.5 V LVTTTL / LVCMOS 動作について示されています。1.8 V LVTTTL / LVCMOS および 1.5 V LVCMOS の場合、出力時間の仕様は 16 ns です。



周辺性能

I/O 性能は、高速 I/O インターフェイスや PCI / PCI-X バス・インターフェイスなど、いくつかのシステム・インターフェイスをサポートします。3.3 V、3.0 V、2.5 V、1.8 V、または 1.5 V-LVTTL / LVCMOS などの汎用 I/O 規格を使用した I/O では、10 pF の負荷で標準 200 MHz のインターフェイス周波数が可能です。

注意: 実際に達成可能な周波数は、デザインやシステム固有の要因により異なります。システムで達成可能な最大周波数を決定するには、使用しているデザインとシステム設定に基づく HSPICE / IBIS シミュレーションを実行する必要があります。

高速 I/O の仕様

RSDS トランスミッタのタイミング仕様

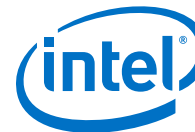
表 27. Cyclone 10 LP デバイスの RSDS トランスミッタのタイミング仕様

真の RSDS およびエミュレートされた RSDS_E_3R トランスミッタに適用されます。

真の RSDS トランスミッタは、ロー I/O バンク 1、2、5、および 6 の出力ピンでのみサポートされています。エミュレートされた RSDS トランスミッタは、すべての I/O バンクの出力ピンでサポートされています。

シンボル	モード	C6			I7			C8, A7			I8			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
f _{HCLK} (入力クロック周波数)	×10	5	—	180	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×8	5	—	180	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×7	5	—	180	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×4	5	—	180	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×2	5	—	180	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×1	5	—	360	5	—	311	5	—	311	5	—	311	MHz
Mbps 単位でのデバイス動作	×10	100	—	360	100	—	311	100	—	311	100	—	311	Mbps
	×8	80	—	360	80	—	311	80	—	311	80	—	311	Mbps
	×7	70	—	360	70	—	311	70	—	311	70	—	311	Mbps
	×4	40	—	360	40	—	311	40	—	311	40	—	311	Mbps

continued...



シンボル	モード	C6			I7			C8, A7			I8			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	×2	20	—	360	20	—	311	20	—	311	20	—	311	Mbps
	×1	10	—	360	10	—	311	10	—	311	10	—	311	Mbps
t _{DUTY}	—	45	—	55	45	—	55	45	—	55	45	—	55	%
TCCS(トランスミッタのチャンネル間スキュー)	—	—	—	200	—	—	200	—	—	200	—	—	200	ps
出力ジッター(ピーク・ツー・ピーク)	—	—	—	500	—	—	500	—	—	550	—	—	600	ps
t _{RISE}	20 ~ 80 %、 C _{LOAD} = 5 pF	—	500	—	—	500	—	—	500	—	—	500	—	ps
t _{FALL}	20 ~ 80 %、 C _{LOAD} = 5 pF	—	500	—	—	500	—	—	500	—	—	500	—	ps
t _{LOCK} ⁽⁴³⁾	—	—	—	1	—	—	1	—	—	1	—	—	1	ms

エミュレートされた RSDS_E_1R トランスミッタのタイミング仕様

表 28. Cyclone 10 LP デバイスのエミュレートされた RSDS_E_1R トランスミッタのタイミング仕様

エミュレートされた RSDS_E_1R トランスミッタはすべての I/O バンクでの出力ピンでサポートされています。

シンボル	モード	C6			I7			C8, A7			I8			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
f _{HSCLK} (入カクロック周波数)	×10	5	—	85	5	—	85	5	—	85	5	—	85	MHz
	×8	5	—	85	5	—	85	5	—	85	5	—	85	MHz
	×7	5	—	85	5	—	85	5	—	85	5	—	85	MHz
	×4	5	—	85	5	—	85	5	—	85	5	—	85	MHz
	×2	5	—	85	5	—	85	5	—	85	5	—	85	MHz

continued...

⁽⁴³⁾ t_{LOCK} は、PLL がデバイス・コンフィグレーション終了からロックするのに必要な時間です。



シンボル	モード	C6			I7			C8, A7			I8			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
	×1	5	—	170	5	—	170	5	—	170	5	—	170	MHz
Mbps 単位でのデバイス動作	×10	100	—	170	100	—	170	100	—	170	100	—	170	Mbps
	×8	80	—	170	80	—	170	80	—	170	80	—	170	Mbps
	×7	70	—	170	70	—	170	70	—	170	70	—	170	Mbps
	×4	40	—	170	40	—	170	40	—	170	40	—	170	Mbps
	×2	20	—	170	20	—	170	20	—	170	20	—	170	Mbps
	×1	10	—	170	10	—	170	10	—	170	10	—	170	Mbps
t _{DUTY}	—	45	—	55	45	—	55	45	—	55	45	—	55	%
TCCS	—	—	—	200	—	—	200	—	—	200	—	—	200	ps
出カジッター(ピーク・ツー・ピーク)	—	—	—	500	—	—	500	—	—	550	—	—	600	ps
t _{RISE}	20 ~ 80 %、 C _{LOAD} = 5 pF	—	500	—	—	500	—	—	500	—	—	500	—	ps
t _{FALL}	20 ~ 80 %、 C _{LOAD} = 5 pF	—	500	—	—	500	—	—	500	—	—	500	—	ps
t _{LOCK} ⁽⁴⁴⁾	—	—	—	1	—	—	1	—	—	1	—	—	1	ms

(44) t_{LOCK} は、PLL がデバイス・コンフィグレーション終了からロックするのに必要な時間です。



Mini-LVDS トランスミッタのタイミング仕様

表 29. Cyclone 10 LP デバイスの Mini-LVDS トランスミッタのタイミング仕様

真とエミュレートされた mini-LVDS トランスミッタに適用されます。

真の mini-LVDS トランスミッタは、ロー I/O バンク 1、2、5、および 6 の出力ピンでのみサポートされています。エミュレートされた mini-LVDS トランスミッタは、すべての I/O バンクの出力ピンでサポートされています。

シンボル	モード	C6			I7			C8, A7			I8			単位
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	
f _{HCLK} (入力クロック 周波数)	×10	5	—	200	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×8	5	—	200	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×7	5	—	200	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×4	5	—	200	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×2	5	—	200	5	—	155.5	5	—	155.5	5	—	155.5	MHz
	×1	5	—	400	5	—	311	5	—	311	5	—	311	MHz
Mbps 単位でのデバイス 動作	×10	100	—	400	100	—	311	100	—	311	100	—	311	Mbps
	×8	80	—	400	80	—	311	80	—	311	80	—	311	Mbps
	×7	70	—	400	70	—	311	70	—	311	70	—	311	Mbps
	×4	40	—	400	40	—	311	40	—	311	40	—	311	Mbps
	×2	20	—	400	20	—	311	20	—	311	20	—	311	Mbps
	×1	10	—	400	10	—	311	10	—	311	10	—	311	Mbps
t _{DUTY}	—	45	—	55	45	—	55	45	—	55	45	—	55	%
TCCS	—	—	—	200	—	—	200	—	—	200	—	—	200	ps
出力ジッター(ピーク・ ツー・ピーク)	—	—	—	500	—	—	500	—	—	550	—	—	600	ps

continued...



シンボル	モード	C6			I7			C8, A7			I8			単位	
		Min	Typ	Max	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max		
t _{RISE}	20 ~ 80 %、 C _{LOAD} = 5 pF	—	500	—	—	500	—	—	—	500	—	—	500	—	ps
t _{FALL}	20 ~ 80 %、 C _{LOAD} = 5 pF	—	500	—	—	500	—	—	—	500	—	—	500	—	ps
t _{LOCK} ⁽⁴⁵⁾	—	—	—	1	—	—	1	—	—	1	—	—	1	ms	

真の LVDS トランスミッタのタイミング仕様

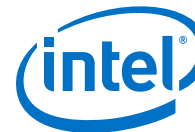
表 30. Cyclone 10 LP デバイスの真の LVDS トランスミッタのタイミング仕様

真の LVDS トランスミッタは、ロー I/O バンク 1、2、5、および 6 の出力ピンでのみサポートされています。

シンボル	モード	C6		I7		C8, A7		I8		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
f _{HCLK} (入力クロック周波数)	×10	5	420	5	370	5	320	5	320	MHz
	×8	5	420	5	370	5	320	5	320	MHz
	×7	5	420	5	370	5	320	5	320	MHz
	×4	5	420	5	370	5	320	5	320	MHz
	×2	5	420	5	370	5	320	5	320	MHz
	×1	5	420	5	402.5	5	402.5	5	362	MHz
HSIODR	×10	100	840	100	740	100	640	100	640	Mbps
	×8	80	840	80	740	80	640	80	640	Mbps
	×7	70	840	70	740	70	640	70	640	Mbps
	×4	40	840	40	740	40	640	40	640	Mbps
	×2	20	840	20	740	20	640	20	640	Mbps
	×1	10	420	10	402.5	10	402.5	10	362	Mbps

continued...

(45) t_{LOCK} は、PLL がデバイス・コンフィグレーション終了からロックするのに必要な時間です。



シンボル	モード	C6		I7		C8, A7		I8		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
t _{DUTY}	—	45	55	45	55	45	55	45	55	%
TCCS	—	—	200	—	200	—	200	—	200	ps
出力ジッター(ピーク・ツー・ピーク)	—	—	500	—	500	—	550	—	600	ps
t _{LOCK} ⁽⁴⁶⁾	—	—	1	—	1	—	1	—	1	ms

エミュレートされた LVDS トランスミッタのタイミング仕様

表 31. Cyclone 10 LP デバイスのエミュレートされた LVDS トランスミッタのタイミング仕様

エミュレートされた LVDS トランスミッタはすべての I/O バンクでの出力ピンでサポートされています。

シンボル	モード	C6		I7		C8, A7		I8		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
f _{HSCLK} (入力クロック周波数)	×10	5	320	5	320	5	275	5	275	MHz
	×8	5	320	5	320	5	275	5	275	MHz
	×7	5	320	5	320	5	275	5	275	MHz
	×4	5	320	5	320	5	275	5	275	MHz
	×2	5	320	5	320	5	275	5	275	MHz
	×1	5	402.5	5	402.5	5	402.5	5	362	MHz
HSIODR	×10	100	640	100	640	100	550	100	550	Mbps
	×8	80	640	80	640	80	550	80	550	Mbps
	×7	70	640	70	640	70	550	70	550	Mbps
	×4	40	640	40	640	40	550	40	550	Mbps
	×2	20	640	20	640	20	550	20	550	Mbps

continued...

⁽⁴⁶⁾ t_{LOCK} は、PLL がデバイス・コンフィグレーション終了からロックするのに必要な時間です。



シンボル	モード	C6		I7		C8, A7		I8		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
	×1	10	402.5	10	402.5	10	402.5	10	362	Mbps
t _{DUTY}	—	45	55	45	55	45	55	45	55	%
TCCS	—	—	200	—	200	—	200	—	200	ps
出力ジッター(ピーク・ツー・ピーク)	—	—	500	—	500	—	550	—	600	ps
t _{LOCK} ⁽⁴⁷⁾	—	—	1	—	1	—	1	—	1	ms

LVDS レシーバーのタイミング仕様

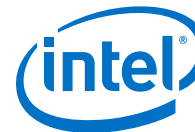
表 32. Cyclone 10 LP デバイスの LVDS レシーバーのタイミング仕様

LVDS レシーバーは、すべての I/O バンクでサポートされています。

シンボル	モード	C6		I7		C8, A7		I8		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
f _{HSCLK} (入力クロック周波数)	×10	10	437.5	10	370	10	320	10	320	MHz
	×8	10	437.5	10	370	10	320	10	320	MHz
	×7	10	437.5	10	370	10	320	10	320	MHz
	×4	10	437.5	10	370	10	320	10	320	MHz
	×2	10	437.5	10	370	10	320	10	320	MHz
	×1	10	437.5	10	402.5	10	402.5	10	362	MHz
HSIODR	×10	100	875	100	740	100	640	100	640	Mbps
	×8	80	875	80	740	80	640	80	640	Mbps
	×7	70	875	70	740	70	640	70	640	Mbps
	×4	40	875	40	740	40	640	40	640	Mbps

continued...

(47) t_{LOCK} は、PLL がデバイス・コンフィグレーション終了からロックするのに必要な時間です。



シンボル	モード	C6		I7		C8, A7		I8		単位
		Min	Max	Min	Max	Min	Max	Min	Max	
	×2	20	875	20	740	20	640	20	640	Mbps
	×1	10	437.5	10	402.5	10	402.5	10	362	Mbps
SW	—	—	400	—	400	—	400	—	550	ps
入力ジッター許容値	—	—	500	—	500	—	550	—	600	ps
t _{LOCK} ⁽⁴⁸⁾	—	—	1	—	1	—	1	—	1	ms

デューティサイクル歪み(DCD)の仕様

表 33. Cyclone 10 LP デバイスの I/O ピンにおける最悪ケースのデューティサイクル歪み

デューティサイクル歪みの仕様は、PLL からのクロック出力、グローバルクロックツリー、および専用と汎用 I/O ピンをドライブする IOE に適用されます。

Cyclone 10 LP デバイスは、I/O 規格と電流強度の組み合わせごとに、最大出力トグルレートで指定されたデューティサイクルの歪みを満たします。

シンボル	C6		I7		C8, I8, A7		単位
	Min	Max	Min	Max	Min	Max	
出力デューティサイクル	45	55	45	55	45	55	%

OCT キャリブレーション・タイミング仕様

表 34. Cyclone 10 LP デバイスのデバイス・パワーアップ時のキャリブレーション機能を持つ直列 OCT のタイミング仕様

OCT キャリブレーションは、デバイス設定後で、ユーザーモードに入る前に行われます。

シンボル	記述	Max	単位
t _{OCTCAL}	デバイス・パワーアップ時のキャリブレーションを持つ直列 OCT の持続時間	20	μs

IOE プログラマブル遅延

設定の増分値は一般的にリニアです。各設定の正確な値については、Quartus Prime ソフトウェアの最新バージョンを使用してください。

⁽⁴⁸⁾ t_{LOCK} は、PLL がデバイス・コンフィグレーション終了からロックするのに必要な時間です。



最小および最大オフセットタイミングの数は、Quartus Prime ソフトウェアで利用可能な設定 **0** に準拠しています。

表 35. Cyclone 10 LP 1.0 V コア電圧デバイスのカラムピンにおける IOE プログラマブル遅延

パラメーター	影響されるバス	設定数	最小オフセット	最大オフセット		単位
				高速コーナー	低速コーナー	
				I8	I8	
ピンから内部セルまでの入力遅延	パッドからコアへの I/O データ出力	7	0	1.924	3.411	ns
ピンから入力レジスターまでの入力遅延	I/O 入力レジスターへのパッド	8	0	1.875	3.367	ns
出力レジスターから出力ピンまでの遅延	パッドへの I/O 出力レジスター	2	0	0.631	1.124	ns
兼用クロックピンからファンアウト目的地までの入力遅延	グローバルクロック・ネットワークへのパッド	12	0	0.931	1.684	ns

表 36. Cyclone 10 LP 1.0 V コア電圧デバイスのローピンにおける IOE プログラマブル遅延

パラメーター	影響されるバス	設定数	最小オフセット	最大オフセット		単位
				高速コーナー	低速コーナー	
				I8	I8	
ピンから内部セルまでの入力遅延	パッドからコアへの I/O データ出力	7	0	1.921	3.412	ns
ピンから入力レジスターまでの入力遅延	I/O 入力レジスターへのパッド	8	0	1.919	3.441	ns
出力レジスターから出力ピンまでの遅延	パッドへの I/O 出力レジスター	2	0	0.623	1.168	ns
兼用クロックピンからファンアウト目的地までの入力遅延	グローバルクロック・ネットワークへのパッド	12	0	0.919	1.656	ns

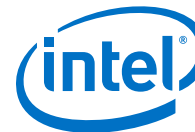


表 37. Cyclone 10 LP 1.2 V コア電圧デバイスのカラムピンにおける IOE プログラマブル遅延

パラメーター	影響されるバス	設定数	最小オフセット	最大オフセット								単位
				高速コーナー			低速コーナー					
				C6	I7	A7	C6	C8	I7	A7		
ピンから内部セルまでの入力遅延	パッドからコアへの I/O データ出力	7	0	1.314	1.211	1.211	2.177	2.433	2.388	2.508	ns	
ピンから入力レジスターまでの入力遅延	I/O 入力レジスターへのパッド	8	0	1.307	1.203	1.203	2.19	2.540	2.430	2.545	ns	
出力レジスターから出力ピンまでの遅延	パッドへの I/O 出力レジスター	2	0	0.437	0.402	0.402	0.747	0.880	0.834	0.873	ns	
兼用クロックピンからファンアウト目的地までの入力遅延	グローバルクロック・ネットワークへのパッド	12	0	0.693	0.665	0.665	1.200	1.532	1.393	1.441	ns	

表 38. Cyclone 10 LP 1.2 V コア電圧デバイスのローピンにおける IOE プログラマブル遅延

パラメーター	影響されるバス	設定数	最小オフセット	最大オフセット								単位
				高速コーナー			低速コーナー					
				C6	I7	A7	C6	C8	I7	A7		
ピンから内部セルまでの入力遅延	パッドからコアへの I/O データ出力	7	0	1.314	1.209	1.209	2.201	2.510	2.429	2.548	ns	
ピンから入力レジスターまでの入力遅延	I/O 入力レジスターへのパッド	8	0	1.312	1.207	1.207	2.202	2.558	2.447	2.557	ns	
出力レジスターから出力ピンまでの遅延	パッドへの I/O 出力レジスター	2	0	0.458	0.419	0.419	0.783	0.924	0.875	0.915	ns	
兼用クロックピンからファンアウト目的地までの入力遅延	グローバルクロック・ネットワークへのパッド	12	0	0.686	0.657	0.657	1.185	1.506	1.376	1.422	ns	

I/O タイミング

Quartus Prime タイミング・アナライザーを使用して I/O タイミングを決定することができます。

Quartus Prime タイミング・アナライザーは、配置配線が完了した後にデザインの詳細情報をもとに、より精度の高い正確な I/O タイミングデータを提供します。

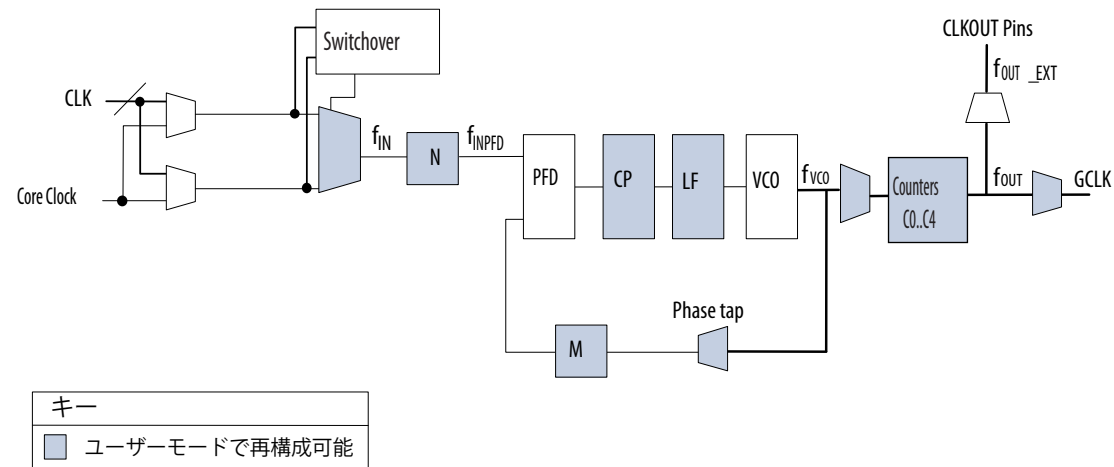
用語集

用語

- RSKM(レシーバ入力スキューマージン)—高速 I/O ブロック: サンプリング・ウィンドウと TCCS を考慮した後に残る合計マージン。RSKM = $(TUI - SW - TCCS) / 2$ 。
- SW(サンプリング・ウィンドウ)—高速 I/O ブロック: データが正しくキャプチャされるために有効でなければならない期間。セットアップ時間とホールド時間は、サンプリング・ウィンドウ内の理想的なストロブ位置を決定します。

クロックピンとブロック

- f_{HSCLK} —高速 I/O ブロック: 高速レシーバ/トランスミッタの入力および出力クロック周波数。
- GCLK: 直接グローバルクロック・ネットワークへつながる入力ピン。
- GCLK PLL: PLL を経由してグローバルクロック・ネットワークへつながる入力ピン。
- HSIODR—高速 I/O ブロック: LVDS の最大/最小データ転送レート($HSIODR = 1/TUI$)。
- PLL ブロック: 以下のブロック図は、PLL 仕様パラメーターを示しています。

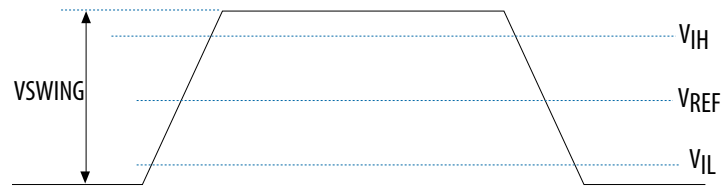


- R_L : レシーバ差動入力ディスクリート抵抗 (Cyclone 10 LP デバイス外部)。

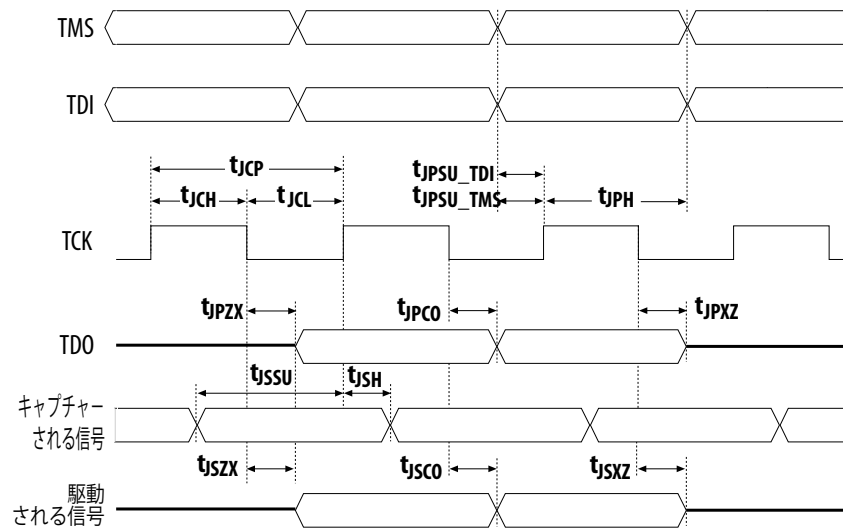


波形の例

SSTL 差動 I/O 規格の入力波形

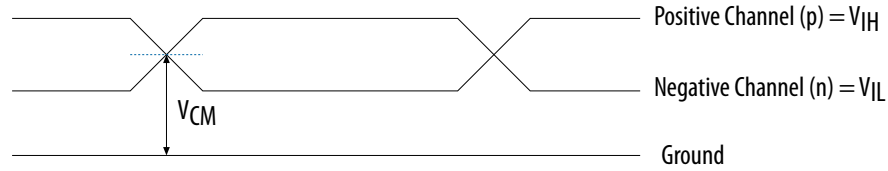


JTAG 波形

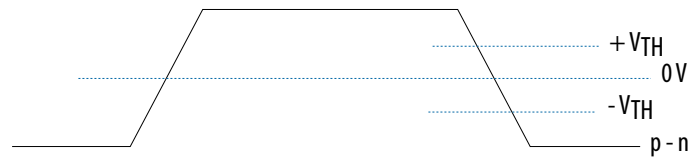


LVDS および LVPECL 差動規格のレシーバー波形

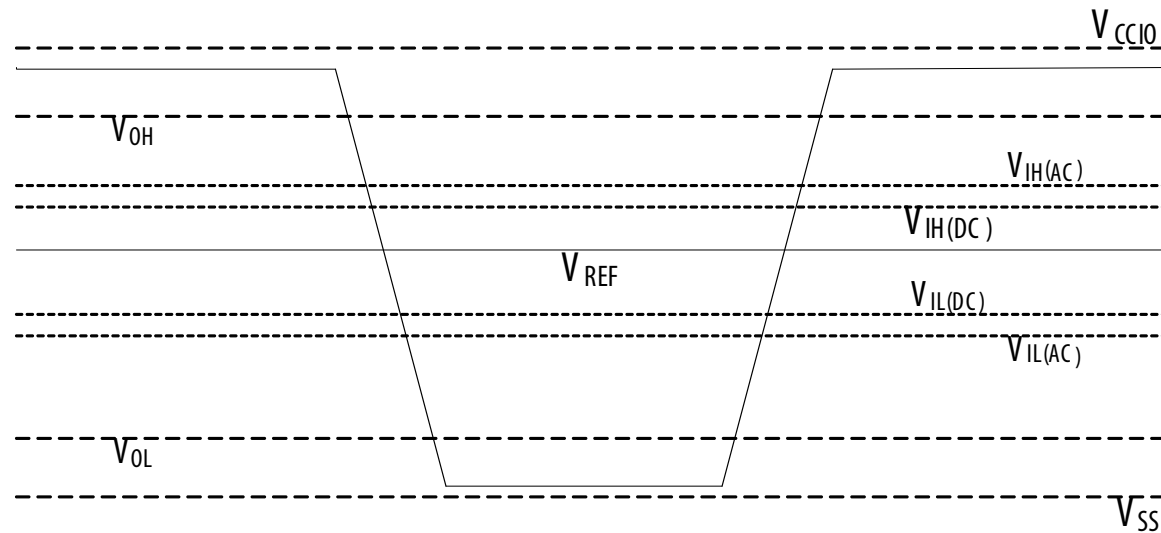
Single-Ended Waveform



Differential Input Waveform



シングルエンド電圧リファレンス形式の I/O 規格

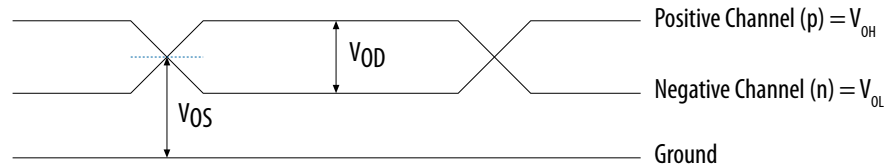




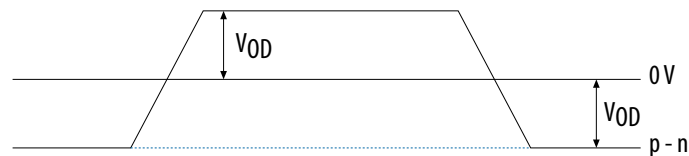
SSTL と HSTL I/O 規格の JEDEC 規格は、AC と DC の両方の入力信号値を定義しています。AC 値は、レシーバーがそのタイミング仕様を満たさなければならない電圧レベルを示します。DC 値は、レシーバーの最終的なロジック状態が明白に定義されている電圧レベルを示します。レシーバー入力が AC 値を超えた後、レシーバーは新しいロジック状態に変化します。入力が DC しきい値を超えている限り、新しいロジック状態が維持されます。このアプローチは、入力波形のリングングの存在下で予測可能なレシーバータイミングを提供することを意図しています。

LVDS、Mini-LVDS、PPDS、および RSDS 差動 I/O 規格のトランスミッタ出力波形:

Single-Ended Waveform

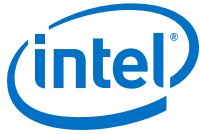


Differential Waveform (Mathematical Function of Positive and Negative Channel)



遅延の定義

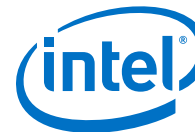
- t_C : 高速レシーバーおよびトランスミッタの入力および出カクロック周期。
- TCCS (チャンネル間スキュー) – 高速 I/O ブロック: t_{CO} のばらつきやクロックスキューを含む、最高速および最低速出力エッジ間のタイミングの差。クロックは TCCS 測定に含まれています。
- t_{cin} : クロックパッドから I/O 入力レジスターまでの遅延。
- t_{CO} : クロックパッドから I/O 出力までの遅延。
- t_{cout} : クロックパッドから I/O 出力レジスターまでの遅延。
- t_{DUTY} – 高速 I/O ブロック: 高速トランスミッタ出カクロック上のデューティサイクル。
- t_{FALL} : 信号の High から Low への遷移時間 (80 ~ 20 %)。
- t_H : 入力レジスターのホールドタイム。



- TUI(タイミング・ユニット・インターバル)—高速 I/O ブロック:スキュー、伝播遅延、およびデータ・サンプリング・ウィンドウのために許容されるタイミングバジェット。(TUI = $1/(\text{レシーバー入力クロック周波数の通倍係数}) = t_c/w$)。
- t_{INJITTER} : PLL クロック入力の周期ジッター。
- $t_{\text{OUTJITTER_DEDCLK}}$: PLL でドライブされる専用クロック出力の周期ジッター。
- $t_{\text{OUTJITTER_IO}}$: PLL でドライブされる汎用 I/O の周期ジッター。
- t_{pllcin} : PLL inclk パッドから I/O 入力レジスターまでの遅延。
- t_{pllcout} : PLL inclk パッドから I/O 出力レジスターまでの遅延。
- t_{RISE} : 信号の Low から High への遷移時間(20 ~ 80 %)。
- t_{SU} : 入力レジスターのセットアップ時間。

電圧の定義

- $V_{\text{CM(DC)}}$: DC コモンモード入力電圧。
- $V_{\text{DIF(AC)}}$ —AC 差動入力電圧: スwitchingに必要な最小 AC 入力差動電圧。
- $V_{\text{DIF(DC)}}$ —DC 差動入力電圧: スwitchingに必要な最小 DC 入力差動電圧。
- V_{ICM} —コモンモード入力電圧: レシーバーにおける差動信号のコモンモード。
- V_{ID} —入力差動電圧振幅: レシーバーにおける差動伝送の正導体とコンプリメンタリ導体間の電圧の差。
- V_{IH} —電圧入力 High: デバイスがロジック High として受け入れる、入力に印加される最小正電圧。
- $V_{\text{IH(AC)}}$: High レベル AC 入力電圧。
- $V_{\text{IH(DC)}}$: High レベル DC 入力電圧。
- V_{IL} —電圧入力 Low: デバイスがロジック Low として受け入れる、入力に印加される最大正電圧。
- $V_{\text{IL(AC)}}$: Low レベル AC 入力電圧。
- $V_{\text{IL(DC)}}$: Low レベル DC 入力電圧。
- V_{IN} : DC 入力電圧。
- V_{OCM} —出力コモンモード電圧: トランスミッタにおける差動信号のコモンモード。
- V_{OD} —出力差動電圧振幅: トランスミッタにおける差動伝送の正導体とコンプリメンタリ導体間の電圧の差。 $V_{\text{OD}} = V_{\text{OH}} - V_{\text{OL}}$ 。
- V_{OH} —電圧出力 High: デバイスが最小の正の High レベルとして受け入れられると考慮する出力からの最大正電圧。



- V_{OL} —電圧出力 Low: デバイスが最大の正の Low レベルとして受け入れられると考慮する出力からの最大正電圧。
- V_{OS} —出力オフセット電圧: $V_{OS} = (V_{OH} + V_{OL}) / 2$ 。
- $V_{OX(AC)}$ —AC 差動出カクロスポイント電圧: 差動出力信号がクロスしなければならない電圧。
- V_{REF} : SSTL および HSTL I/O 規格の基準電圧。
- $V_{REF(AC)}$: SSTL および HSTL I/O 規格用の AC 入力基準電圧。 $V_{REF(AC)} = V_{REF(DC)} + \text{ノイズ}$ 。 V_{REF} のピーク・ツー・ピーク AC ノイズは、 $V_{REF(DC)}$ の 2 % を超えてはいけません。
- $V_{REF(DC)}$: SSTL および HSTL I/O 規格の DC 入力基準電圧。
- $V_{SWING(AC)}$ —AC 差動入力電圧: スwitchingに必要な AC 入力差動電圧。SSTL 差動 I/O 規格については、入力波形を参照してください。
- $V_{SWING(DC)}$ —DC 差動入力電圧: スwitchingに必要な DC 入力差動電圧。SSTL 差動 I/O 規格については、入力波形を参照してください。
- V_{TT} : SSTL および HSTL I/O 規格の終端電圧。
- $V_X(AC)$ —AC 差動入カクロスポイント電圧: 差動入力信号がクロスしなければならない電圧。

改訂履歴

表 39. 改訂履歴

日付	バージョン	変更内容
2017年5月	2017.05.08	初版