



インテル® Cyclone® 10 LP デバイスの概要



目次

Cyclone® 10 LP デバイスの概要	3
Cyclone 10 LP 機能の概要.....	4
Cyclone 10 LP で使用可能なオプション.....	5
Cyclone 10 LP の最大リソース.....	6
Cyclone 10 LP のパッケージプラン.....	6
Cyclone 10 LP の I/O パーティカル・マイグレーション.....	7
ロジック・エレメントおよびロジック・アレイ・ブロック.....	7
エンベデッド・マルチプライヤー.....	8
エンベデッド・メモリー・ブロック.....	8
クロッキングおよび PLL.....	9
FPGA の汎用 I/O.....	9
コンフィグレーション.....	9
消費電力管理.....	10
Cyclone 10 LP デバイスの概要 改訂履歴.....	10



Cyclone® 10 LP デバイスの概要

インテル® Cyclone® 10 LP は低コストと低スタティック消費電力に最適化されており、量産型のコスト重視のアプリケーションに最適です。

Cyclone 10 LP デバイスは、高密度のプログラマブル・ゲート、オンボードリソース、および汎用 I/O を有しています。これらのリソースは、I/O 拡張やチップ間インターフェイスの要件を満たします。

Cyclone 10 LP のアーキテクチャーは、広範囲のマーケットセグメントのスマート・コネクテッド・システムに適しています：

- インダストリアルおよびオートモーティブ用
- ブロードキャスト、ワイヤライン、およびワイヤレス
- コンピューティング機器およびストレージ機器
- 政府機関、軍事、および航空宇宙
- 医療機器、民生用、スマートエネルギー

無償で利用できる強力な Quartus® Prime 開発ソフトウェア ライト・エディションに搭載されたデザインツールは、ユーザーの多様な分野の要件を満たします：

- 既存の FPGA 設計者
- Nios® II プロセッサと FPGA を使用するエンベデッド設計者
- FPGA を初めて使用する学生やホビースト

完全な IP Base Suite へのアクセスを必要とする上級ユーザーは、Quartus Prime スタンダード・エディションをサブスクライブするか、別途ライセンスを購入してください。

関連情報

- [ソフトウェア開発ツール、Nios II プロセッサ](#)
Nios II 32 ビット・ソフト IP プロセッサおよびエンベデッド・デザイン・スイート (EDS) の詳細情報を提供します。
- [Quartus Prime IP Base Suite](#)
- [Quartus Prime エディション](#)

Cyclone 10 LP 機能の概要

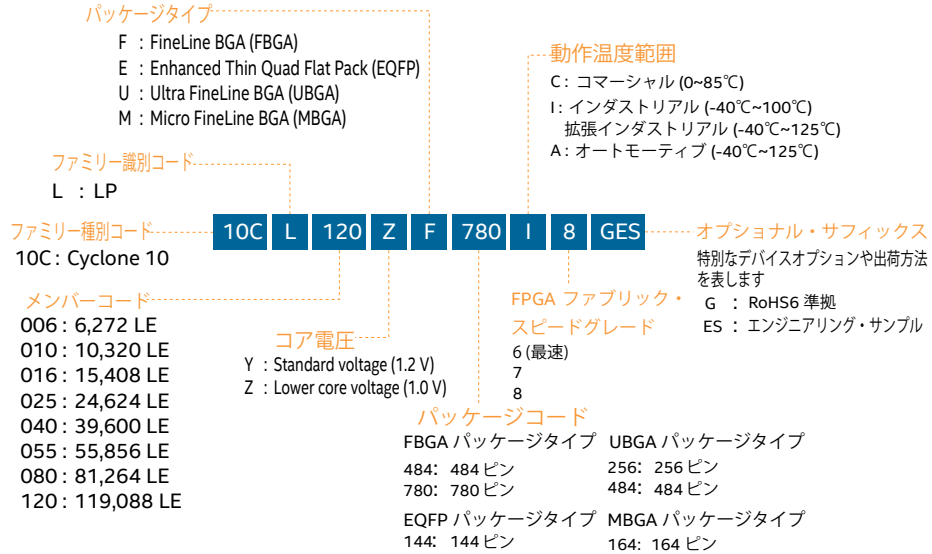
表 1. Cyclone 10 LP デバイスの機能の概要

機能	説明
テクノロジー	<ul style="list-style-type: none"> 低コストかつ低消費電力の FPGA ファブリック 1.0 V と 1.2 V のコア電圧オプション コマーシャル、インダストリアル、およびオートモーティブ温度グレードが選択可能
パッケージング	<ul style="list-style-type: none"> 数種類のパッケージタイプとパッケージ・フットプリントが使用可能です: <ul style="list-style-type: none"> FineLine BGA (FBGA) Enhanced Thin Quad Flat Pack (EQFP) Ultra FineLine BGA (UBGA) Micro FineLine BGA (MBGA) ピン・マイグレーション機能を持つ複数のデバイス集積度 RoHS6 準拠
コア・アーキテクチャー	<ul style="list-style-type: none"> ロジックエレメント (LE)–4 入カルック・アップ・テーブル (LUT) およびレジスター すべての LE 間にルーティング/金属インターコネクトが豊富に存在します
内部メモリーブロック	<ul style="list-style-type: none"> M9K–9 キロ・ビット (Kb) のエンベデッド SRAM メモリーブロック、カスケード可能 RAM (シングルポート、シングル・デュアルポート、または真のデュアルポート)、FIFO バッファ、または ROM としてコンフィグレーション可能
エンベデッド・マルチプライヤー・ブロック	<ul style="list-style-type: none"> 単一の 18 × 18 マルチプライヤー・モードあるいは 2 つの 9 × 9 マルチプライヤー・モード、カスケード可能 アルゴリズムの加速に向けた完全な DSP IP スイート
クロック・ネットワーク	<ul style="list-style-type: none"> グローバルクロックは、デバイスの 4 つのエリアにクロックを供給してデバイス全体をドライブします 最大 20 個のグローバルクロックをドライブ可能な専用クロックピンは最大 15 本使用可能です
PLL (Phase-Locked Loop)	<ul style="list-style-type: none"> 最大 4 個の汎用 PLL 堅牢なクロック管理と合成を提供します
汎用 I/O (GPIO)	<ul style="list-style-type: none"> 複数の I/O 規格をサポートします プログラム可能な I/O 機能 真の LVDS とエミュレートされた LVDS トランスミッターおよびレシーバー OCT (オンチップ終端)
SEU の緩和	コンフィグレーションおよび動作時に SEU を検出します
コンフィグレーション	<ul style="list-style-type: none"> アクティブシリアル (AS)、パッシブシリアル (PS)、高速パッシブパラレル (FPP) JTAG コンフィグレーション・スキーム コンフィグレーション・データの復元 リモート・システム・アップグレード



Cyclone 10 LP で使用可能なオプション

図 -1: Cyclone 10 LP デバイスのサンプル製品コードと利用可能なオプション (暫定版)





Cyclone 10 LP の最大リソース

表 2. Cyclone 10 LP デバイスの最大リソース数

リソース	デバイス							
	10CL006	10CL010	10CL016	10CL025	10CL040	10CL055	10CL080	10CL120
ロジックエレメント (LE)	6,272	10,320	15,408	24,624	39,600	55,856	81,264	119,088
M9K メモリー	ブロック	30	46	56	66	126	260	432
	性能 (Kb)	270	414	504	594	1,134	2,340	3,888
18 × 18 乗算器	15	23	56	66	126	156	244	288
PLL	2	2	4	4	4	4	4	4
クロック	20	20	20	20	20	20	20	20
最大 I/O	176	176	340	150	325	321	423	525
最大 LVDS	65	65	137	52	124	132	178	230

Cyclone 10 LP のパッケージプラン

表 3. Cyclone 10 LP デバイスのパッケージプラン

デバイス	パッケージ												
	種類	M164 164 ピン MBGA		U256 256 ピン UBGA		U484 484 ピン UBGA		E144 144 ピン EQFP		F484 484 ピン FBGA		F780 780 ピン FBGA	
	サイズ	8 mm × 8 mm		14 mm × 14 mm		19 mm × 19 mm		22 mm × 22 mm		23 mm × 23 mm		29 mm × 29 mm	
	ボールピッチ	0.5 mm		0.8 mm		0.8 mm		0.5 mm		1.0 mm		1.0 mm	
	I/Oの種類	GPIO	LVDS	GPIO	LVDS	GPIO	LVDS	GPIO	LVDS	GPIO	LVDS	GPIO	LVDS
10CL006	—	—	—	176	65	—	—	88	22	—	—	—	—
10CL010	101	26	—	176	65	—	—	88	22	—	—	—	—
10CL016	87	22	—	162	53	340	137	78	19	340	137	—	—
10CL025	—	—	—	150	52	—	—	76	18	—	—	—	—
10CL040	—	—	—	—	—	325	124	—	—	325	124	—	—
10CL055	—	—	—	—	—	321	132	—	—	321	132	—	—
10CL080	—	—	—	—	—	289	110	—	—	289	110	423	178
10CL120	—	—	—	—	—	—	—	—	—	277	103	525	230



Cyclone 10 LP の I/O パーティカル・マイグレーション

図 -2: Cyclone 10 LP デバイスのマイグレーション範囲

- 矢印はマイグレーション・パスを示しています。各パーティカル・マイグレーション・パスに含まれるデバイスは色付きで示しています。同じパス内でより少ない I/O リソースを持つデバイスは薄い色で示しています。
- 同じマイグレーション・パス内のデバイス間で完全な I/O マイグレーションを達成するには、I/O 数が最も少ないデバイスに合わせて I/O の使用を制限します。

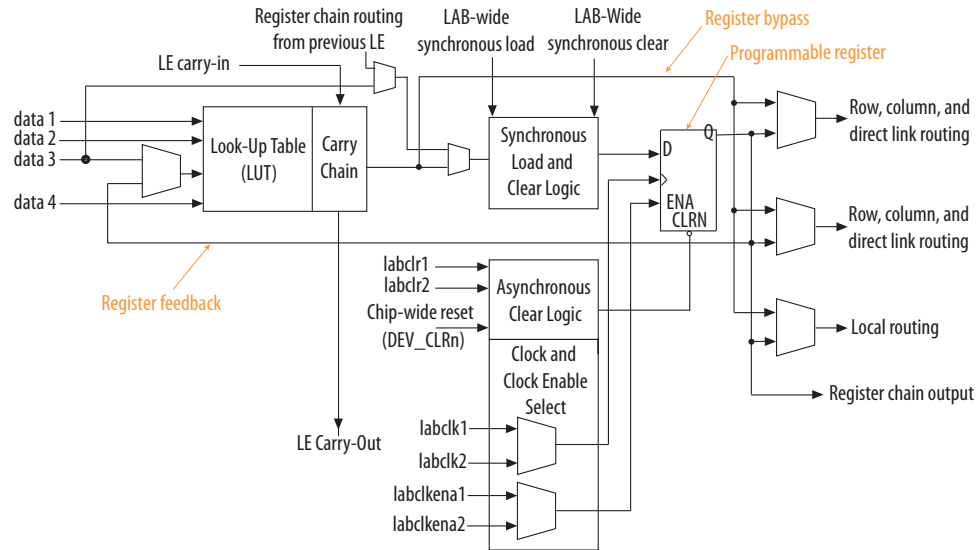
Device	Package					
	M164	U256	U484	E144	F484	F780
10CL006		↑		↑		
10CL010	↑	↑		↑		
10CL016	↓	↓	↑	↓	↑	
10CL025		↓		↓		
10CL040			↓		↓	
10CL055			↓		↓	
10CL080			↓		↓	↑
10CL120					↓	↓

注意: ピン・マイグレーションの互換性を確認するには、Quartus Prime 開発ソフトウェアの Pin Planner で Pin Migration View ウィンドウを使用します。

ロジック・エレメントおよびロジック・アレイ・ブロック

LAB は、16 個のロジックエレメント (LE) と 1 個の LAB ワイド・コントロール・ブロックで構成されています。LE は、Cyclone 10 LP デバイス・アーキテクチャー内の最小ユニットです。各 LE は、4 個の入力、1 個の 4 入力ルックアップ・テーブル (LUT)、1 個のレジスターおよび出力ロジックを有しています。4 入力 LUT には、4 変数からなる任意の機能を実装できるファンクション・ジェネレーターが搭載されています。

図 -3: Cyclone 10 LP デバイスファミリーの LE



エンベデッド・マルチプライヤー

Cyclone 10 LP デバイス内の各エンベデッド・マルチプライヤー・ブロックは、1つの個別 18 × 18 ビット・マルチプライヤーまたは 2つの個別 9 × 9 ビット・マルチプライヤーをサポートします。このマルチプライヤー・ブロックをカスケード接続することで、より幅が広く深いロジック構造を形成することができます。

以下の方法で、エンベデッド・マルチプライヤー・ブロックの動作を制御することが可能です：

- Quartus Prime の Parameter Editor を使用して関連する IP コアをパラメーター化する
- VHDL または Verilog HDL を使用してマルチプライヤーを直接的に推測する

Intel およびパートナーは、Cyclone 10 LP デバイスに向けて以下のような一般的な DSP IP を提供しています。

- 有限インパルス応答 (FIR)
- 高速フーリエ変換 (FFT)
- 数値制御オシレーター (Numerically Controlled Oscillator: NCO) 機能

ストリームライン化された DSP デザインフローに対しては、DSP Builder ツールは MathWorks および MATLAB デザイン環境を使用して Quartus Prime 開発ソフトウェアを統合します。

エンベデッド・メモリー・ブロック

エンベデッド・メモリーのストラクチャーは、M9K メモリー・ブロック・カラムで構成されています。Cyclone 10 LP デバイスの各 M9K メモリーブロックは、9 Kb のオンチップメモリーを備えています。このメモリーブロックをカスケード接続することで、より幅が広く深いロジック構造を形成することができます。

M9K メモリーブロックは、RAM、FIFO バッファー、あるいは ROM としてコンフィグレーションすることができます。



表 4. M9K Operation モードとポート幅

動作モード	ポート幅
シングルポート	×1、×2、×4、×8、×9、×16、×18、×32、および×36
シングル・デュアルポート	×1、×2、×4、×8、×9、×16、×18、×32、および×36
トゥルー・デュアルポート	×1、×2、×4、×8、×9、×16、および×18

クロッキングおよび PLL

Cyclone 10 LP デバイスは、グローバルクロック (GCLK) ネットワーク、専用クロックピン、および汎用 PLL を備えています。

- デバイス全体をドライブする最大 20 個の GCLK ネットワーク
- 最大 15 本の専用クロックピン
- PLL ごとに 5 つの出力を持つ最大 4 個の汎用 PLL

PLL は Cyclone 10 LP デバイスに向けて、堅牢なクロック管理と合成機能を提供します。ユーザーモードで PLL を動的にリコンフィグレーションすることで、クロックの位相および周波数を変更することができます。

FPGA の汎用 I/O

Cyclone 10 LP デバイスは以下の機能を持つ高度にコンフィグレーション可能な GPIO を装備しています：

- 一般的に使用されるシングルエンドおよび差動 I/O 規格を 20 種類以上サポートしています。
- バスホールド、プルアップレジスター、遅延、およびドライブ強度がプログラム可能です。
- シグナル・インテグリティの最適化に向けてスルーレート・コントロールがプログラム可能です。
- シングルエンド I/O 規格に適用するよう、オンチップ直列終端 (R_S OCT)、またはドライバー・インピーダンス・マッチング (R_S) がキャリブレーションされています。
- ロジックエレメントを使用して LVDS を持つトゥルーおよびエミュレートされた LVDS バッファがデバイスコアに実装されています。
- ホットソケットをサポートしています。

コンフィグレーション

Cyclone 10 LP デバイスは、コンフィグレーション・データの保存には SRAM セルを使用します。コンフィグレーション・データは、デバイスが起動されるたびに Cyclone 10 LP デバイスへダウンロードされます。

EPCS または EPCQ (AS x1) フラッシュ・コンフィグレーション・デバイスを使用してコンフィグレーション・データを保存し、Cyclone 10 LPFPGA をコンフィグレーションすることができます：

- Cyclone 10 LP デバイスは、1.5 V、1.8 V、2.5 V、3.0 V、および 3.3 V のプログラミング電圧ならびに数種類のコンフィグレーション・スキームをサポートしています。
- SEU (Single Event Upset) マイグレーション機能は、巡回冗長検査 (CRC) エラーをコンフィグレーション中に自動で検出します。また、オプションでユーザーモード中にも検出することができます。(1)

表 5. Cyclone 10 LP デバイスがサポートするコンフィグレーション・スキームと機能

コンフィグレーション・スキーム	コンフィグレーション・スキーム	圧縮復元	リモート・システム・アップグレード
アクティブシリアル (AS)	シリアル・コンフィグレーション・デバイス	利用可	利用可
パッシブシリアル (PS)	フラッシュメモリを持つ外部ホスト	利用可	利用可
	ダウンロード・ケーブル	利用可	—
ファースト・パッシブパラレル (FPP)	フラッシュメモリを持つ外部ホスト	—	利用可
JTAG	フラッシュメモリを持つ外部ホスト	—	—
	ダウンロード・ケーブル	—	—

関連情報

コンフィグレーション・デバイス

EPCS および EPCQ コンフィグレーション・デバイスの詳細情報を提供します。

消費電力管理

Cyclone 10 LP デバイスは、最適化された低消費電力プロセスに基づいて構築されています：

- 1.2 V と 1.0 V の 2 つの電圧オプションが利用可能です
- 外部コンポーネントや特別なデザイン要件を必要としないホットソケットに対応しています

デザイン・スケジュールを短縮するには、インテル Cyclone 10 LPFPGA と Enpirion® Power Solution とを組み合わせます。Cyclone 10 LP の電力要件を満たすには、インテルの非常にコンパクトで効率的な Enpirion PowerSoC の使用が最適です。Enpirion PowerSoC は必要となるほとんどのコンポーネントを統合しており、最大 96% の効率で十分に確認された簡潔なソリューションを提供します。このような利点を持つため、電源供給に関する設計時間が短縮され、IP および FPGA の設計に焦点を当てることができるようになります。

関連情報

Enpirion® パワーソリューション

Enpirion® PowerSoC デバイスの詳細情報を提供します。

Cyclone 10 LP デバイスの概要 改訂履歴

日付	バージョン	変更内容
2017 年 5 月	2017.05.08	初版

(1) ユーザーモードでのエラー検出は、コア電圧が 1.0 V の Cyclone 10 LP デバイス・バリエーションではサポートされていません。