

# インテル® Cyclone® 10 GX デバイス・データシート



## 目次

---

<b>Cyclone® 10 GX デバイス・データシート</b> .....	<b>3</b>
電気的特性.....	3
動作条件.....	3
スイッチング特性.....	20
トランシーバー性能仕様.....	20
コア性能の仕様.....	28
ペリフェラル性能の仕様.....	35
コンフィギュレーションの仕様.....	43
POR の仕様.....	43
JTAG コンフィギュレーション・タイミング.....	44
FPP コンフィギュレーション・タイミング.....	44
AS コンフィギュレーション・タイミング.....	48
AS コンフィギュレーション・スキームにおける DCLK 周波数仕様.....	49
PS コンフィギュレーション・タイミング.....	49
初期化.....	51
コンフィギュレーション・ファイル.....	51
最小コンフィギュレーション時間の見積もり.....	53
リモート・システム・アップグレード.....	54
ユーザー・ウォッチドッグ内部回路のタイミング仕様.....	54
I/O タイミング.....	54
プログラマブル IOE 遅延.....	55
用語集.....	55
改訂履歴.....	59



## Cyclone® 10 GX デバイス・データシート

このデータシートでは、Cyclone® 10 GX デバイスの電気的特性、スイッチング特性、コンフィギュレーション仕様、および I/O タイミングを説明します。

Cyclone 10 GX デバイスは拡張グレード、工業用グレード、およびオートモーティブ・グレードで提供されています。拡張デバイスは、-E5 (より高速) および -E6 スピードグレードで提供されます。工業用グレードのデバイスは、-I5 および -I6 スピードグレードで提供されます。オートモーティブ・グレードのデバイスは、-A6 スピードグレードで提供されます。

### 関連情報

#### Cyclone 10 GX デバイスの概要

Cyclone 10 GX デバイスの集積度とパッケージに関する詳細情報を提供します。

## 電気的特性

以下の項では、Cyclone 10 GX デバイスの動作条件および電力消費について解説します。

## 動作条件

Cyclone 10 GX デバイスは、定義されたパラメーターのセットに従って評価されます。Cyclone 10 GX デバイスの可能な限りの高性能と信頼性を維持するには、この項で説明する動作要件を考慮する必要があります。

## 絶対最大定格

この項では、Cyclone 10 GX デバイスの絶対最大定格を定義します。この値は、デバイスを使用した試験結果、破損に至るまでの理論的なモデル、破損のメカニズムに基づいています。デバイスの機能的動作は、これらの条件を示唆するものではありません。

### 注意:

以下の絶対最大定格表に記載されている範囲外の条件下では、デバイスに恒久的な損傷を与える可能性があります。また、絶対最大定格で長期間デバイスを動作させる場合、デバイスに望ましくない影響を与える場合があります。

Intel Corporation. 無断での引用、転載を禁じます。Intel、インテル、Intel ロゴ、Altera、ARRIA、CYCLONE、ENPIRION、MAX、NIOS、QUARTUS および STRATIX の名称およびロゴは、アメリカ合衆国および/またはその他の国における Intel Corporation の商標です。インテルは FPGA 製品および半導体製品の性能がインテルの標準保証に準拠することを保証しますが、インテル製品およびサービスは、予告なく変更される場合があります。インテルが書面にて明示的に同意する場合を除き、インテルはここに記載されたアプリケーション、または、いかなる情報、製品、またはサービスの使用によって生じるいっさいの責任を負いません。インテル製品の顧客は、製品またはサービスを購入する前、および、公開済みの情報を信頼する前には、デバイスの仕様を最新のバージョンにしておくことをお勧めします。

\*その他の社名、製品名などは、一般に各社の表示、商標または登録商標です。

ISO  
9001:2008  
登録済



表 1. Cyclone 10 GX デバイスの絶対最大定格—暫定仕様

シンボル	記述	条件	Min	Max	単位
V <sub>CC</sub>	コア電源電圧	—	-0.50	1.21	V
V <sub>CCP</sub>	周辺回路およびトランシーバー・ファブリック・インターフェイスの電源	—	-0.50	1.21	V
V <sub>CCERAM</sub>	エンベデッド・メモリー電源	—	-0.50	1.36	V
V <sub>CCPT</sub>	プログラマブル電源と I/O プリドライバ用電源	—	-0.50	2.46	V
V <sub>CCBAT</sub>	デザイン・セキュリティー揮発性キーレジスター用バッテリー・バックアップ電源	—	-0.50	2.46	V
V <sub>CCPGM</sub>	コンフィグレーション・ピン電源	(1)	-0.50	2.46	V
V <sub>CCIO</sub>	I/O バッファ電源	3 V I/O	-0.50	4.10	V
		LVDS I/O	-0.50	2.46	V
V <sub>CCA_PLL</sub>	PLL(Phase-Locked Loop)アナログ電源	—	-0.50	2.46	V
V <sub>CCT_GXB</sub>	トランスミッタ電力	—	-0.50	1.34	V
V <sub>CCR_GXB</sub>	レシーバー電力	—	-0.50	1.34	V
V <sub>CCH_GXB</sub>	トランスミッタ出力バッファ電力	—	-0.50	2.46	V
I <sub>OUT</sub>	ピンあたりの DC 出力電流	—	-25	25	mA
T <sub>J</sub>	動作ジャンクション温度	—	-55	125	°C
T <sub>STG</sub>	保存温度(バイアスなし)	—	-65	150	°C

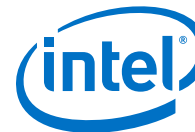
### 最大許容オーバーシュート/アンダーシュート電圧

遷移中は、入力信号が次の表に示す電圧までオーバーシュートする場合があります、また、100 mA 未満かつ期間が 20 ns 未満の入力電流に対して-2.0 V までアンダーシュートする場合があります。

許容されるオーバーシュートの期間は、デバイス寿命における High タイムのパーセンテージとして指定されています。DC 信号は、100% のデューティサイクルに相当します。

例えば、LVDS I/O で 2.70 V にオーバーシュートする信号は、デバイス寿命に亘って~4% しか 2.70 V にありません。

(1) LVDS の I/O 値は、すべての専用および二重機能コンフィグレーション I/O に適用されます。



**表 2. Cyclone 10 GX デバイスの遷移中に許容される最大オーバーシュート一暫定仕様**

以下の表には、最大許容入力オーバーシュート電圧とデバイスの寿命に対するパーセンテージとしてのオーバーシュート電圧の持続時間が記載されています。LVDS の I/O 値は、VREFP\_ADC および VREFN\_ADC の I/O ピンに適用されます。

シンボル	記述	条件(V)		T <sub>J</sub> = 100° C でのオーバーシュート時間(%)	単位
		LVDS I/O <sup>(2)</sup>	3 V I/O		
V <sub>i</sub> (AC)	AC 入力電圧	2.50	3.80	100	%
		2.55	3.85	42	%
		2.60	3.90	18	%
		2.65	3.95	9	%
		2.70	4.00	4	%
		> 2.70	> 4.00	オーバーシュートは許されない	

### 推奨動作条件

この項では、Cyclone 10 GX デバイスの AC および DC パラメーターの機能上の動作制限を示します。

### 推奨動作条件

**表 3. Cyclone 10 GX デバイスの推奨動作条件一暫定仕様**

以下の表には、Cyclone 10 GX デバイスから期待される定常状態の電圧値が記載されています。電源ランプはすべて平坦ではなく、単調でなければなりません。

シンボル	記述	条件	Min <sup>(3)</sup>	Typ	Max <sup>(3)</sup>	単位
V <sub>CC</sub>	コア電源電圧	—	0.87	0.9	0.93	V
V <sub>CCP</sub>	周辺回路およびトランシーバー・ファブリック・インターフェイスの電源	—	0.87	0.9	0.93	V
V <sub>CCPGM</sub>	コンフィグレーション・ピン電源	1.8 V	1.71	1.8	1.89	V

*continued...*

(2) LVDS の I/O 値は、すべての専用および二重機能コンフィグレーション I/O に適用されます。

(3) この値は、DC(静的)電源装置の許容誤差のバジェットを示し、動的許容誤差の要件は含まれません。動的許容誤差要件の追加バジェットについては、PDN ツールを参照してください。



シンボル	記述	条件	Min <sup>(3)</sup>	Typ	Max <sup>(3)</sup>	単位
		1.5 V	1.425	1.5	1.575	V
		1.2 V	1.14	1.2	1.26	V
V <sub>CCERAM</sub>	エンベデッド・メモリー電源	0.9 V	0.87	0.9	0.93	V
V <sub>CCBAT</sub> <sup>(4)</sup>	バッテリー・バックアップ電源(デザイン・セキュリティー揮発性キーレジスター用)	1.8 V	1.71	1.8	1.89	V
		1.2 V	1.14	1.2	1.26	V
V <sub>CCPT</sub>	プログラマブル電源技術と I/O プリドライバ用電源	1.8 V	1.71	1.8	1.89	V
V <sub>CCIO</sub>	I/O バッファ電源	3.0 V (3 V I/O のみ)	2.85	3.0	3.15	V
		2.5 V (3 V I/O のみ)	2.375	2.5	2.625	V
		1.8 V	1.71	1.8	1.89	V
		1.5 V	1.425	1.5	1.575	V
		1.35 V	<sup>(5)</sup>	1.35	<sup>(5)</sup>	V
		1.25 V	1.19	1.25	1.31	V
		1.2 V	<sup>(5)</sup>	1.2	<sup>(5)</sup>	V
V <sub>CCA_PLL</sub>	PLL アナログ電圧レギュレーター電源	—	1.71	1.8	1.89	V
V <sub>REFP_ADC</sub>	電圧センサーの高精度電圧リファレンス	—	1.2475	1.25	1.2525	V
V <sub>I</sub> <sup>(6)</sup>	DC 入力電圧	3 V I/O	-0.3	—	3.3	V
		LVDS I/O	-0.3	—	2.19	V

continued...

- <sup>(3)</sup> この値は、DC(静的)電源装置の許容誤差のバジェットを示し、動的許容誤差の要件は含まれません。動的許容誤差要件の追加バジェットについては、PDN ツールを参照してください。
- <sup>(4)</sup> Cyclone 10 GX デバイスでデザイン・セキュリティー機能を使用しない場合は、V<sub>CCBAT</sub> を 1.5 V~1.8 V の電源に接続してください。Cyclone 10 GX POR (パワーオンリセット)回路は V<sub>CCBAT</sub> をモニターします。V<sub>CCBAT</sub> に電源が投入されていない場合、Cyclone 10 GX デバイスは POR を終了しません。
- <sup>(5)</sup> 最小および最大電圧値については、I/O 標準仕様の項を参照してください。
- <sup>(6)</sup> LVDS の I/O 値は、すべての専用および二重機能コンフィグレーション I/O に適用されます。



シンボル	記述	条件	Min <sup>(3)</sup>	Typ	Max <sup>(3)</sup>	単位
V <sub>O</sub>	出力電圧	—	0	—	V <sub>CCIO</sub>	V
T <sub>J</sub>	動作ジャンクション温度	拡張	0	—	100	°C
		工業用	-40	—	100	°C
		車載用機器	-40	—	125	°C
t <sub>RAMP</sub> <sup>(7)</sup>	電源ランプ時間	標準 POR	200 μs	—	100 ms	—
		高速 POR	200 μs	—	4 ms	—

関連情報

I/O 規格仕様 (14 ページ)

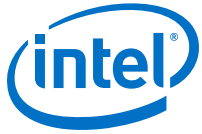
トランシーバー電源動作条件

表 4. Cyclone 10 GX デバイスのトランシーバー電源動作条件—暫定仕様

シンボル	記述	条件	Min <sup>(8)</sup>	Typ	Max <sup>(8)</sup>	単位
V <sub>CCT_GXB[L][C,D]</sub>	トランスミッタ電源	チップ-チップ ≤ 12.5 Gbps または、 バックプレーン ≤ 6.6 Gbps	1.0	1.03	1.06	V
		チップ-チップ ≤ 11.3 Gbps	0.92	0.95	0.98	
V <sub>CCR_GXB[L][C,D]</sub>	レシーバー電源	チップ-チップ ≤ 12.5 Gbps	1.0	1.03	1.06	V

*continued...*

- (3) この値は、DC(静的)電源装置の許容誤差のバジェットを示し、動的許容誤差の要件は含まれません。動的許容誤差要件の追加バジェットについては、PDN ツールを参照してください。
- (7) t<sub>ramp</sub> は、個々の電源装置のランプ時間であり、すべての組み合わせた電源装置のランプ時間ではありません。
- (8) この値は、DC(静的)電源装置の許容誤差のバジェットを示し、動的許容誤差の要件は含まれません。動的許容誤差要件の追加バジェットについては、PDN ツールを参照してください。



シンボル	記述	条件	Min <sup>(8)</sup>	Typ	Max <sup>(8)</sup>	単位
		または、 バックプレーン ≤ 6.6 Gbps				
		チップ-チップ ≤ 11.3 Gbps	0.92	0.95	0.98	
V <sub>CCH_GXBL</sub>	トランシーバーの高電圧電源		1.710	1.8	1.890	V

注意: 使用されていないトランシーバー・チャンネルに関連する V<sub>CCR\_GXB</sub> ピンと V<sub>CCT\_GXB</sub> ピンは、消費電力を最小限に抑えるためにバンク単位で接地することができます。特定のデザインの消費電力を最小限に抑えるためにパッケージをピン配置する方法については、*Cyclone 10 GX Pin Connection Guidelines* と Quartus Prime ピンのレポートを参照してください。

#### 関連情報

- [Cyclone 10 GX デバイスにおけるトランシーバー性能仕様 \(20 ページ\)](#)  
さまざまなトランシーバー・スピードグレードのデータレート範囲を提供します。
- [Cyclone 10 GX Pin Connection Guidelines \(英語版\)](#)

## DC 特性

パワーアップ・キャリブレーション仕様後の OCT のバリエーションは、*Cyclone 10 GX デバイス・データシート*の将来のリリースで利用可能になりません。

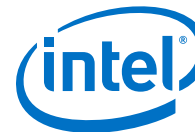
### 消費電流と消費電力

インテルは、デザインの消費電力を計算する方法として、Excel ベースの EPE (Early Power Estimator) および Quartus Prime Power Analyzer 機能の 2 種類の方法を提供しています。

デザインを開始する前に Excel ベースの EPE を使用して、デザインの消費電流を見積もります。EPE は、これらの電流がリソースの使用によって大きく変化するため、デバイス電力の大きさの推定値を提供します。

<sup>(8)</sup> この値は、DC (静的) 電源装置の許容誤差のバジェットを示し、動的許容誤差の要件は含まれません。動的許容誤差要件の追加バジェットについては、PDN ツールを参照してください。





Quartus Prime Power Analyzer は、配置配線を完了した後、デザインの詳細に基づいてより良い品質の見積もりを提供します。Power Analyzer は、詳細な回路モデルと組み合わせられた場合、ユーザー入力、シミュレーション派生、および推定信号アクティビティの組み合わせを適用し、非常に正確な電力見積もりを生成できます。

#### 関連情報

- [Early Power Estimator User Guide \(英語版\)](#)  
電力見積もりツールに関する詳細情報を提供します。
- [Power Analysis chapter, Quartus Prime Handbook \(英語版\)](#)  
電力見積もりツールに関する詳細情報を提供します。

## I/O ピンのリーク電流

表 5. Cyclone 10 GX デバイスにおける I/O ピンのリーク電流—暫定仕様

$V_O = V_{CCIO} - V_{CCIO_{MAX}}$  の場合、I/O あたり 300  $\mu A$  のリーク電流が予想されます。

シンボル	記述	条件	Min	Max	単位
$I_I$	入力ピン	$V_I = 0 V \sim V_{CCIO_{MAX}}$	-80	80	$\mu A$
$I_{OZ}$	トライステート I/O ピン	$V_O = 0 V \sim V_{CCIO_{MAX}}$	-80	80	$\mu A$

## バスホールド特性

バスホールドのトリップポイントは、JEDEC 規格から算出した入力電圧に基づきます。



表 6. Cyclone 10 GX デバイスのバスホールド・パラメータ—暫定仕様

パラメータ	シンボル	条件	V <sub>CCIO</sub> (V)										単位
			1.2		1.5		1.8		2.5		3.0		
			Min	Max	Min	Max	Min	Max	Min	Max	Min	Max	
バスホールド Low、 保持電流	I <sub>SUSL</sub>	V <sub>IN</sub> > V <sub>IL</sub> (max)	8 <sup>(9)</sup> 、 26 <sup>(10)</sup>	—	12 <sup>(9)</sup> 、 32 <sup>(10)</sup>	—	30 <sup>(9)</sup> 、 55 <sup>(10)</sup>	—	60	—	70	—	μA
バスホールド High、 保持電流	I <sub>SUSH</sub>	V <sub>IN</sub> < V <sub>IH</sub> (min)	-8 <sup>(9)</sup> 、 -26 <sup>(10)</sup>	—	-12 <sup>(9)</sup> 、 -32 <sup>(10)</sup>	—	-30 <sup>(9)</sup> 、 -55 <sup>(10)</sup>	—	-60	—	-70	—	μA
バスホールド Low、 オーバードライブ電 流	I <sub>ODL</sub>	0 V < V <sub>IN</sub> < V <sub>CCIO</sub>	—	125	—	175	—	200	—	300	—	500	μA
バスホールド High、 オーバードライブ電 流	I <sub>ODH</sub>	0 V < V <sub>IN</sub> < V <sub>CCIO</sub>	—	-125	—	-175	—	-200	—	-300	—	-500	μA
バスホールドのトリ ップポイント	V <sub>TRIP</sub>	—	0.3	0.9	0.38	1.13	0.68	1.07	0.70	1.7	0.8	2	V

### OCT キャリブレーション精度仕様

OCT(オンチップ終端)キャリブレーションをイネーブルすると、キャリブレーションはキャリブレーション・ブロックに接続された I/O のパワーアップ時に自動的に実行されます。

<sup>(9)</sup> この値は、LVDS I/O バンクにのみ適用されます。

<sup>(10)</sup> この値は、3 V I/O バンクにのみ適用されます。

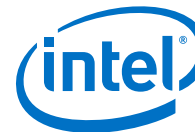


表 7. Cyclone 10 GX デバイスにおける OCT キャリブレーション精度仕様—暫定仕様

キャリブレーション時に、キャリブレーションされたオンチップ直列終端 ( $R_S$  OCT) とオンチップ並列終端 ( $R_T$  OCT) のキャリブレーション精度が適用されます。キャリブレーション後にプロセス、電圧、温度 (PVT) の状態が変化すると、許容誤差が変化することがあります。

シンボル	記述	条件 (V)	抵抗の許容値		単位
			-E5、-I5	-E6、-I6、-A6	
25-Ω と 50-Ω $R_S$	キャリブレーション付き内部直列終端 (25-Ω と 50-Ω 設定)	$V_{CCIO} = 1.8, 1.5, 1.2$	± 15	± 15	%
34-Ω と 40-Ω $R_S$	キャリブレーション付き内部直列終端 (34-Ω と 40-Ω 設定)	$V_{CCIO} = 1.5, 1.25, 1.2$	± 15	± 15	%
		$V_{CCIO} = 1.35$	± 20	± 20	%
48-Ω、60-Ω、80-Ω と 120-Ω $R_S$	キャリブレーション付き内部直列終端 (48-Ω、60-Ω、80-Ω と 120-Ω 設定)	$V_{CCIO} = 1.2$	± 15	± 15	%
240-Ω $R_S$	キャリブレーション付き内部直列終端 (240-Ω 設定)	$V_{CCIO} = 1.2$	± 20	± 20	%
30-Ω $R_T$	キャリブレーション付き内部並列終端 (30-Ω 設定)	$V_{CCIO} = 1.5, 1.35, 1.25$	-10 ~ +40	-10 ~ +40	%
34-Ω、48-Ω、80-Ω と 240-Ω $R_T$	キャリブレーション付き内部並列終端 (34-Ω、48-Ω、80-Ω と 240-Ω 設定)	$V_{CCIO} = 1.2$	± 15	± 15	%
40-Ω、60-Ω と 120-Ω $R_T$	キャリブレーション付き内部並列終端 (40-Ω、60-Ω と 120-Ω 設定)	$V_{CCIO} = 1.5, 1.35, 1.25, 1.2$	-10 ~ +40	-10 ~ +40	%
		$V_{CCIO} = 1.2$ <sup>(11)</sup>	± 15	± 15	%
80-Ω $R_T$	キャリブレーション付き内部並列終端 (80-Ω 設定)	$V_{CCIO} = 1.2$	± 15	± 15	%

(11) POD12 I/O 規格にのみ適用されます。

キャリブレーションなしの OCT 抵抗許容差の仕様

表 8. Cyclone 10 GX デバイスにおけるキャリブレーションなしの OCT 抵抗許容差の仕様—暫定仕様

次の表には、PVT の変更に対する Cyclone 10 GX キャリブレーションなしの OCT 抵抗許容値が記載されています。

シンボル	記述	条件(V)	抵抗の許容値		単位
			-E5、-I5	-E6、-I6、-A6	
25-Ω と 50-Ω R <sub>S</sub>	キャリブレーションなしの内部直列終端(25-Ω と 50-Ω 設定)	V <sub>CCIO</sub> = 3.0、2.5	± 40	± 40	%
		V <sub>CCIO</sub> = 1.8、1.5、1.2	± 50	± 50	%
34-Ω と 40-Ω R <sub>S</sub>	キャリブレーションなしの内部直列終端(34-Ω と 40-Ω 設定)	V <sub>CCIO</sub> = 1.5、1.35、1.25、1.2	± 50	± 50	%
48-Ω と 60-Ω R <sub>S</sub>	キャリブレーションなしの内部直列終端(48-Ω と 60-Ω 設定)	V <sub>CCIO</sub> = 1.2	± 50	± 50	%
120-Ω R <sub>S</sub>	キャリブレーションなしの内部直列終端(120-Ω 設定)	V <sub>CCIO</sub> = 1.2	± 50	± 50	%
100-Ω R <sub>D</sub>	内部差動終端(100-Ω 設定)	V <sub>CCIO</sub> = 1.8	± 35	± 40	%

図 -1: 再キャリブレーションなしの OCT バリエーションの方程式

$$R_{OCT} = R_{SCAL} \left( 1 + \left\langle \frac{dR}{dT} \times \Delta T \right\rangle \pm \left\langle \frac{dR}{dV} \times \Delta V \right\rangle \right)$$

方程式の定義は以下の通りです。

- 計算された R<sub>OCT</sub> 値は、温度および V<sub>CCIO</sub> の変化に伴う OCT 抵抗の範囲を示します。
- R<sub>SCAL</sub> はパワーアップ時の OCT 抵抗値です。
- ΔT は、パワーアップ時の温度に対する温度の変化です。
- ΔV は、パワーアップ時の V<sub>CCIO</sub> に対する電圧の変化です。
- dR/dT は、温度に伴う R<sub>SCAL</sub> の変化率です。
- dR/dV は、電圧に伴う R<sub>SCAL</sub> の変化率です。



## ピン・キャパシタンス

表 9. Cyclone 10 GX デバイスのピン・キャパシタンス—暫定仕様

シンボル	記述	Max	単位
C <sub>IO_COLUMN</sub>	カラム I/O ピンの入力キャパシタンス	2.5	pF
C <sub>OUTFB</sub>	兼用クロック出力/フィードバック・ピンの入力キャパシタンス	2.5	pF

## 内部ウィークプルアップおよびウィークプルダウン抵抗

コンフィグレーション、テスト、および JTAG ピンを除くすべての I/O ピンには、ウィークプルアップをイネーブルするオプションがあります。ウィークプルダウン機能は、Cyclone 10 GX デバイスにおける内部ウィークプルダウン抵抗値の表に記載されているピンでのみ使用できます。

表 10. Cyclone 10 GX デバイスにおける内部ウィークプルアップ抵抗値—暫定仕様

シンボル	記述	条件(V) <sup>(12)</sup>	値 <sup>(13)</sup>	単位
R <sub>PU</sub>	プログラマブルなプルアップ抵抗のオプションがイネーブルされた場合の、コンフィグレーション前とコンフィグレーション中、およびユーザーモードの I/O ピンのプルアップ抵抗値です。	V <sub>CCIO</sub> = 3.0 ±5%	25	kΩ
		V <sub>CCIO</sub> = 2.5 ±5%	25	kΩ
		V <sub>CCIO</sub> = 1.8 ±5%	25	kΩ
		V <sub>CCIO</sub> = 1.5 ±5%	25	kΩ
		V <sub>CCIO</sub> = 1.35 ±5%	25	kΩ
		V <sub>CCIO</sub> = 1.25 ±5%	25	kΩ
		V <sub>CCIO</sub> = 1.2 ±5%	25	kΩ

(12) 外部ソースが V<sub>CCIO</sub> よりも高い電圧でピンをドライブしている場合は、ピンのプルアップ抵抗値が低下することがあります。

(13) PVT に対する変更をカバーするために ±25% の公差で有効です。



表 11. Cyclone 10 GX デバイスにおける内部ウィークプルダウン抵抗値—暫定仕様

ピン名	記述	条件(V)	値 <sup>(13)</sup>	単位
nIO_PULLUP	ユーザー I/O ピンと兼用 I/O ピンの内部プルアップを決定する専用入力ピンです。	$V_{CC} = 0.9 \pm 3.33\%$	25	k $\Omega$
TCK	専用の JTAG テストクロック入力ピンです。	$V_{CCPGM} = 1.8 \pm 5\%$	25	k $\Omega$
		$V_{CCPGM} = 1.5 \pm 5\%$	25	k $\Omega$
		$V_{CCPGM} = 1.2 \pm 5\%$	25	k $\Omega$
MSEL[0:2]	FPGA デバイスのコンフィグレーション手法を設定するコンフィグレーション入力ピンです。	$V_{CCPGM} = 1.8 \pm 5\%$	25	k $\Omega$
		$V_{CCPGM} = 1.5 \pm 5\%$	25	k $\Omega$
		$V_{CCPGM} = 1.2 \pm 5\%$	25	k $\Omega$

#### 関連情報

#### [Cyclone 10 GX Device Family Pin Connection Guidelines \(英語版\)](#)

内部ウィークプルアップ機能と内部ウィークプルダウン機能をサポートするピンに関する詳細情報を提供します。

#### I/O 規格仕様

以下の表に、Cyclone 10 GX デバイスがサポートするさまざまな I/O 規格の入力電圧 ( $V_{IH}$ 、 $V_{IL}$ )、出力電圧 ( $V_{OH}$ 、 $V_{OL}$ )、および電流ドライブ特性 ( $I_{OH}$ 、 $I_{OL}$ ) を示します。

最小電圧値には、最小の  $V_{CCIO}$  値を使用します。最大電圧値については、最大の  $V_{CCIO}$  値を使用します。

汎用 I/O 規格で達成可能な最大周波数を決定するには、タイミングクロージャ解析を実行する必要があります。

#### 関連情報

[推奨動作条件 \(5 ページ\)](#)



シングルエンド I/O 規格の仕様

表 12. Cyclone 10 GX デバイスにおけるシングルエンド I/O 規格仕様—暫定仕様

I/O 規格	V <sub>CCIO</sub> (V)			V <sub>IL</sub> (V)		V <sub>IH</sub> (V)		V <sub>OL</sub> (V)	V <sub>OH</sub> (V)	I <sub>OL</sub> <sup>(14)</sup> (mA)	I <sub>OH</sub> <sup>(14)</sup> (mA)
	Min	Typ	Max	Min	Max	Min	Max	Max	Min		
3.0-V LVTTTL	2.85	3	3.15	-0.3	0.8	1.7	3.3	0.4	2.4	2	-2
3.0-V LVCMOS	2.85	3	3.15	-0.3	0.8	1.7	3.3	0.2	V <sub>CCIO</sub> - 0.2	0.1	-0.1
2.5 V	2.375	2.5	2.625	-0.3	0.7	1.7	3.3	0.4	2	1	-1
1.8 V	1.71	1.8	1.89	-0.3	0.35 × V <sub>CCIO</sub>	0.65 × V <sub>CCIO</sub>	V <sub>CCIO</sub> + 0.3	0.45	V <sub>CCIO</sub> - 0.45	2	-2
1.5 V	1.425	1.5	1.575	-0.3	0.35 × V <sub>CCIO</sub>	0.65 × V <sub>CCIO</sub>	V <sub>CCIO</sub> + 0.3	0.25 × V <sub>CCIO</sub>	0.75 × V <sub>CCIO</sub>	2	-2
1.2 V	1.14	1.2	1.26	-0.3	0.35 × V <sub>CCIO</sub>	0.65 × V <sub>CCIO</sub>	V <sub>CCIO</sub> + 0.3	0.25 × V <sub>CCIO</sub>	0.75 × V <sub>CCIO</sub>	2	-2

シングルエンド SSTL、HSTL および HSUL I/O リファレンス電圧仕様

表 13. Cyclone 10 GX デバイスにおけるシングルエンド SSTL、HSTL および HSUL I/O リファレンス電圧仕様—暫定仕様

I/O 規格	V <sub>CCIO</sub> (V)			V <sub>REF</sub> (V)			V <sub>TT</sub> (V)		
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max
SSTL-18 Class I, II	1.71	1.8	1.89	0.833	0.9	0.969	V <sub>REF</sub> - 0.04	V <sub>REF</sub>	V <sub>REF</sub> + 0.04
SSTL-15 Class I, II	1.425	1.5	1.575	0.49 × V <sub>CCIO</sub>	0.5 × V <sub>CCIO</sub>	0.51 × V <sub>CCIO</sub>	0.49 × V <sub>CCIO</sub>	0.5 × V <sub>CCIO</sub>	0.51 × V <sub>CCIO</sub>
SSTL-135/ SSTL-135 Class I, II	1.283	1.35	1.418	0.49 × V <sub>CCIO</sub>	0.5 × V <sub>CCIO</sub>	0.51 × V <sub>CCIO</sub>	0.49 × V <sub>CCIO</sub>	0.5 × V <sub>CCIO</sub>	0.51 × V <sub>CCIO</sub>
SSTL-125/ SSTL-125 Class I, II	1.19	1.25	1.31	0.49 × V <sub>CCIO</sub>	0.5 × V <sub>CCIO</sub>	0.51 × V <sub>CCIO</sub>	0.49 × V <sub>CCIO</sub>	0.5 × V <sub>CCIO</sub>	0.51 × V <sub>CCIO</sub>
SSTL-12/ SSTL-12 Class I, II	1.14	1.2	1.26	0.49 × V <sub>CCIO</sub>	0.5 × V <sub>CCIO</sub>	0.51 × V <sub>CCIO</sub>	0.49 × V <sub>CCIO</sub>	0.5 × V <sub>CCIO</sub>	0.51 × V <sub>CCIO</sub>
HSTL-18 Class I, II	1.71	1.8	1.89	0.85	0.9	0.95	—	V <sub>CCIO</sub> / 2	—

continued...

<sup>(14)</sup> I<sub>OL</sub> と I<sub>OH</sub> の仕様を満たすには、それらに応じた電流強度を設定する必要があります。たとえば、3.0-V LVTTTL 仕様 (2 mA) を満たすには、電流強度を 2 mA に設定する必要があります。より低い電流強度で設定すると、データシートの I<sub>OL</sub> と I<sub>OH</sub> 仕様を満たさない場合があります。



I/O 規格	V <sub>CCIO</sub> (V)			V <sub>REF</sub> (V)			V <sub>TT</sub> (V)		
	Min	Typ	Max	Min	Typ	Max	Min	Typ	Max
HSTL-15 Class I, II	1.425	1.5	1.575	0.68	0.75	0.9	—	V <sub>CCIO</sub> / 2	—
HSTL-12 Class I, II	1.14	1.2	1.26	0.47 × V <sub>CCIO</sub>	0.5 × V <sub>CCIO</sub>	0.53 × V <sub>CCIO</sub>	—	V <sub>CCIO</sub> / 2	—
HSUL-12	1.14	1.2	1.3	0.49 × V <sub>CCIO</sub>	0.5 × V <sub>CCIO</sub>	0.51 × V <sub>CCIO</sub>	—	—	—
POD12	1.16	1.2	1.24	0.69 × V <sub>CCIO</sub>	0.7 × V <sub>CCIO</sub>	0.71 × V <sub>CCIO</sub>	—	V <sub>CCIO</sub>	—

シングルエンド SSTL、HSTL、および HSUL I/O 規格信号仕様

表 14. Cyclone 10 GX デバイスにおけるシングルエンド SSTL、HSTL、および HSUL I/O 規格信号仕様—暫定仕様

I/O 規格	V <sub>IL(DC)</sub> (V)		V <sub>IH(DC)</sub> (V)		V <sub>IL(AC)</sub> (V)	V <sub>IH(AC)</sub> (V)	V <sub>OL</sub> (V)	V <sub>OH</sub> (V)	I <sub>OL</sub> <sup>(15)</sup> (mA)	I <sub>OH</sub> <sup>(15)</sup> (mA)
	Min	Max	Min	Max	Max	Min	Max	Min		
SSTL-18 Class I	-0.3	V <sub>REF</sub> - 0.125	V <sub>REF</sub> + 0.125	V <sub>CCIO</sub> + 0.3	V <sub>REF</sub> - 0.25	V <sub>REF</sub> + 0.25	V <sub>TT</sub> - 0.603	V <sub>TT</sub> + 0.603	6.7	-6.7
SSTL-18 Class II	-0.3	V <sub>REF</sub> - 0.125	V <sub>REF</sub> + 0.125	V <sub>CCIO</sub> + 0.3	V <sub>REF</sub> - 0.25	V <sub>REF</sub> + 0.25	0.28	V <sub>CCIO</sub> - 0.28	13.4	-13.4
SSTL-15 Class I	—	V <sub>REF</sub> - 0.1	V <sub>REF</sub> + 0.1	—	V <sub>REF</sub> - 0.175	V <sub>REF</sub> + 0.175	0.2 × V <sub>CCIO</sub>	0.8 × V <sub>CCIO</sub>	8	-8
SSTL-15 Class II	—	V <sub>REF</sub> - 0.1	V <sub>REF</sub> + 0.1	—	V <sub>REF</sub> - 0.175	V <sub>REF</sub> + 0.175	0.2 × V <sub>CCIO</sub>	0.8 × V <sub>CCIO</sub>	16	-16
SSTL-135/ SSTL-135 Class I, II	—	V <sub>REF</sub> - 0.09	V <sub>REF</sub> + 0.09	—	V <sub>REF</sub> - 0.16	V <sub>REF</sub> + 0.16	0.2 × V <sub>CCIO</sub>	0.8 × V <sub>CCIO</sub>	—	—
SSTL-125/ SSTL-125 Class I, II	—	V <sub>REF</sub> - 0.09	V <sub>REF</sub> + 0.09	—	V <sub>REF</sub> - 0.15	V <sub>REF</sub> + 0.15	0.2 × V <sub>CCIO</sub>	0.8 × V <sub>CCIO</sub>	—	—
SSTL-12/ SSTL-12 Class I, II	—	V <sub>REF</sub> - 0.10	V <sub>REF</sub> + 0.10	—	V <sub>REF</sub> - 0.15	V <sub>REF</sub> + 0.15	0.2 × V <sub>CCIO</sub>	0.8 × V <sub>CCIO</sub>	—	—

*continued...*

(15) I<sub>OL</sub> と I<sub>OH</sub> の仕様を満たすには、それらに応じた電流強度を設定する必要があります。たとえば、SSTL15CI仕様 (8 mA) を満たすには、電流強度を 8 mA に設定する必要があります。より低い電流強度で設定すると、データシートの I<sub>OL</sub> と I<sub>OH</sub> 仕様を満たさない場合があります。





I/O 規格	V <sub>IL(DC)</sub> (V)		V <sub>IH(DC)</sub> (V)		V <sub>IL(AC)</sub> (V)	V <sub>IH(AC)</sub> (V)	V <sub>OL</sub> (V)	V <sub>OH</sub> (V)	I <sub>OL</sub> <sup>(15)</sup> (mA)	I <sub>OH</sub> <sup>(15)</sup> (mA)
	Min	Max	Min	Max	Max	Min	Max	Min		
HSTL-18 Class I	—	V <sub>REF</sub> - 0.1	V <sub>REF</sub> + 0.1	—	V <sub>REF</sub> - 0.2	V <sub>REF</sub> + 0.2	0.4	V <sub>CCIO</sub> - 0.4	8	-8
HSTL-18 Class II	—	V <sub>REF</sub> - 0.1	V <sub>REF</sub> + 0.1	—	V <sub>REF</sub> - 0.2	V <sub>REF</sub> + 0.2	0.4	V <sub>CCIO</sub> - 0.4	16	-16
HSTL-15 Class I	—	V <sub>REF</sub> - 0.1	V <sub>REF</sub> + 0.1	—	V <sub>REF</sub> - 0.2	V <sub>REF</sub> + 0.2	0.4	V <sub>CCIO</sub> - 0.4	8	-8
HSTL-15 Class II	—	V <sub>REF</sub> - 0.1	V <sub>REF</sub> + 0.1	—	V <sub>REF</sub> - 0.2	V <sub>REF</sub> + 0.2	0.4	V <sub>CCIO</sub> - 0.4	16	-16
HSTL-12 Class I	-0.15	V <sub>REF</sub> - 0.08	V <sub>REF</sub> + 0.08	V <sub>CCIO</sub> + 0.15	V <sub>REF</sub> - 0.15	V <sub>REF</sub> + 0.15	0.25 × V <sub>CCIO</sub>	0.75 × V <sub>CCIO</sub>	8	-8
HSTL-12 Class II	-0.15	V <sub>REF</sub> - 0.08	V <sub>REF</sub> + 0.08	V <sub>CCIO</sub> + 0.15	V <sub>REF</sub> - 0.15	V <sub>REF</sub> + 0.15	0.25 × V <sub>CCIO</sub>	0.75 × V <sub>CCIO</sub>	16	-16
HSUL-12	—	V <sub>REF</sub> - 0.13	V <sub>REF</sub> + 0.13	—	V <sub>REF</sub> - 0.22	V <sub>REF</sub> + 0.22	0.1 × V <sub>CCIO</sub>	0.9 × V <sub>CCIO</sub>	—	—
POD12	-0.15	V <sub>REF</sub> - 0.08	V <sub>REF</sub> + 0.08	V <sub>CCIO</sub> + 0.15	V <sub>REF</sub> - 0.15	V <sub>REF</sub> + 0.15	(0.7 - 0.15) × V <sub>CCIO</sub>	(0.7 + 0.15) × V <sub>CCIO</sub>	—	—

差動 SSTL I/O 規格の仕様

表 15. Cyclone 10 GX デバイスにおける差動 SSTL I/O 規格の仕様—暫定仕様

I/O 規格	V <sub>CCIO</sub> (V)			V <sub>SWING(DC)</sub> (V)		V <sub>SWING(AC)</sub> (V)		V <sub>IX(AC)</sub> (V)		
	Min	Typ	Max	Min	Max	Min	Max	Min	Typ	Max
SSTL-18 Class I, II	1.71	1.8	1.89	0.25	V <sub>CCIO</sub> + 0.6	0.5	V <sub>CCIO</sub> + 0.6	V <sub>CCIO</sub> /2 - 0.175	—	V <sub>CCIO</sub> /2 + 0.175
SSTL-15 Class I, II	1.425	1.5	1.575	0.2	<sup>(16)</sup>	2(V <sub>IH(AC)</sub> - V <sub>REF</sub> )	2(V <sub>REF</sub> - V <sub>IL(AC)</sub> )	V <sub>CCIO</sub> /2 - 0.15	—	V <sub>CCIO</sub> /2 + 0.15

*continued...*

<sup>(15)</sup> I<sub>OL</sub> と I<sub>OH</sub> の仕様を満たすには、それらに応じた電流強度を設定する必要があります。たとえば、SSTL15CI 仕様 (8 mA) を満たすには、電流強度を 8 mA に設定する必要があります。より低い電流強度で設定すると、データシートの I<sub>OL</sub> と I<sub>OH</sub> 仕様を満たさない場合があります。

<sup>(16)</sup> V<sub>SWING(DC)</sub> の最大値は定義されていません。ただし、各シングルエンド信号は、シングルエンド限界値 (V<sub>IH(DC)</sub> と V<sub>IL(DC)</sub>) 内である必要があります。



I/O 規格	V <sub>CCIO</sub> (V)			V <sub>SWING(DC)</sub> (V)		V <sub>SWING(AC)</sub> (V)		V <sub>IX(AC)</sub> (V)		
	Min	Typ	Max	Min	Max	Min	Max	Min	Typ	Max
SSTL-135/ SSTL-135 Class I, II	1.283	1.35	1.45	0.18	(16)	$2(V_{IH(AC)} - V_{REF})$	$2(V_{IL(AC)} - V_{REF})$	$V_{CCIO}/2 - 0.15$	$V_{CCIO}/2$	$V_{CCIO}/2 + 0.15$
SSTL-125/ SSTL-125 Class I, II	1.19	1.25	1.31	0.18	(16)	$2(V_{IH(AC)} - V_{REF})$	$2(V_{IL(AC)} - V_{REF})$	$V_{CCIO}/2 - 0.15$	$V_{CCIO}/2$	$V_{CCIO}/2 + 0.15$
SSTL-12/ SSTL-12 Class I, II	1.14	1.2	1.26	0.16	(16)	$2(V_{IH(AC)} - V_{REF})$	$2(V_{IL(AC)} - V_{REF})$	$V_{REF} - 0.15$	$V_{CCIO}/2$	$V_{REF} + 0.15$
POD12	1.16	1.2	1.24	0.16	—	0.3	—	$V_{REF} - 0.08$	—	$V_{REF} + 0.08$

差動 HSTL I/O および差動 HSUL I/O 規格の仕様

表 16. Cyclone 10 GX デバイスの差動 HSTL および HSUL I/O 規格の仕様—暫定仕様

I/O 規格	V <sub>CCIO</sub> (V)			V <sub>DIF(DC)</sub> (V)		V <sub>DIF(AC)</sub> (V)		V <sub>IX(AC)</sub> (V)			V <sub>CM(DC)</sub> (V)		
	Min	Typ	Max	Min	Max	Min	Max	Min	Typ	Max	Min	Typ	Max
HSTL-18 Class I, II	1.71	1.8	1.89	0.2	—	0.4	—	0.78	—	1.12	0.78	—	1.12
HSTL-15 Class I, II	1.425	1.5	1.575	0.2	—	0.4	—	0.68	—	0.9	0.68	—	0.9
HSTL-12 Class I, II	1.14	1.2	1.26	0.16	$V_{CCIO} + 0.3$	0.3	$V_{CCIO} + 0.48$	—	$0.5 \times V_{CCIO}$	—	$0.4 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.6 \times V_{CCIO}$
HSUL-12	1.14	1.2	1.3	$2(V_{IH(DC)} - V_{REF})$	$2(V_{REF} - V_{IH(DC)})$	$2(V_{IH(AC)} - V_{REF})$	$2(V_{REF} - V_{IH(AC)})$	$0.5 \times V_{CCIO} - 0.12$	$0.5 \times V_{CCIO}$	$0.5 \times V_{CCIO} + 0.12$	$0.4 \times V_{CCIO}$	$0.5 \times V_{CCIO}$	$0.6 \times V_{CCIO}$



## 差動 I/O 規格の仕様

表 17. Cyclone 10 GX デバイスの差動 I/O 規格の仕様—暫定仕様

差動入力は、1.8 V を必要とする  $V_{CCPT}$  によって供給されます。

I/O 規格	$V_{CCIO}$ (V)			$V_{ID}$ (mV) <sup>(17)</sup>			$V_{ICM(DC)}$ (V)			$V_{OD}$ (V) <sup>(18)</sup>			$V_{OCM}$ (V) <sup>(18)</sup>		
	Min	Typ	Max	Min	条件	Max	Min	条件	Max	Min	Typ	Max	Min	Typ	Max
LVDS <sup>(19)</sup>	1.71	1.8	1.89	100	$V_{CM} = 1.25$ V	—	0	$D_{MAX} \leq 700$ Mbps	1.85	0.247	—	0.6	1.125	1.25	1.375
							1		$D_{MAX} > 700$ Mbps						
RSDS (HIO) <sup>(20)</sup>	1.71	1.8	1.89	100	$V_{CM} = 1.25$ V	—	0.3	—	1.4	0.1	0.2	0.6	0.5	1.2	1.4
Mini-LVDS (HIO) <sup>(21)</sup>	1.71	1.8	1.89	200	—	600	0.4	—	1.325	0.25	—	0.6	1	1.2	1.4
LVPECL <sup>(22)</sup>	1.71	1.8	1.89	300	—	—	0.6	$D_{MAX} \leq 700$ Mbps	1.7	—	—	—	—	—	—
							1		$D_{MAX} > 700$ Mbps						

(17) 最小  $V_{ID}$  値は、共通モード範囲全体 ( $V_{CM}$ ) に適用されます。

(18)  $R_L$  範囲:  $90 \leq R_L \leq 110 \Omega$

(19) LVDS レシーバーの性能を最適化するには、700 Mbps を超えるデータレートの場合、レシーバー電圧入力範囲は 1.0 V~1.6 V 以内で、700 Mbps 未満のデータレートの場合は 0 V~1.85 V でなければなりません。

(20) RSDS レシーバーの性能を最適化するには、レシーバー電圧入力範囲が 0.3 V~1.4 V の範囲内になければなりません。

(21) Mini-LVDS レシーバーの性能を最適化するには、レシーバー電圧入力範囲が 0.4 V~1.325 V の範囲内になければなりません。

(22) LVPECL レシーバーの性能を最適化するには、700 Mbps を超えるデータレートの場合、レシーバー電圧入力範囲は 0.85 V~1.75 V 以内で、700 Mbps 未満のデータレートの場合は 0.45 V~1.95 V でなければなりません。



## 関連情報

Cyclone 10 GX デバイスにおけるトランシーバーの仕様 (21 ページ)

トランスミッタ、レシーバー、およびリファレンス・クロック I/O ピンの仕様を提供します。

## スイッチング特性

この項では、拡張グレードのデバイス用の Cyclone 10 GX コアおよびペリフェラル・ブロックの性能特性について説明します。

## トランシーバー性能仕様

### Cyclone 10 GX デバイスにおけるトランシーバー性能仕様

表 18. トランスミッタおよびレシーバーのデータレート性能—暫定仕様

シンボル/説明	条件	データレート	単位
チップ-チップ <sup>(23)</sup>	最大データレート $V_{CCR\_GXB} = V_{CCT\_GXB} = 1.03\text{ V}$	12.5	Gbps
	最大データレート $V_{CCR\_GXB} = V_{CCT\_GXB} = 0.95\text{ V}$	11.3	Gbps
	最小データレート	1.0 <sup>(24)</sup>	Gbps
バックプレーン	最大データレート $V_{CCR\_GXB} = V_{CCT\_GXB} = 1.03\text{ V}$	6.6	Gbps
	最小データレート	1.0 <sup>(24)</sup>	Gbps

(23) チップ-チップリンクは、短距離チャネルを持つアプリケーションです。

(24) Cyclone 10 GX トランシーバーは、オーバーサンプリングで 125 Mbps までのデータレートをサポートできます。ユーザーは独自のサンプリング・ロジックを作成する必要があります。



表 19. ATX PLL およびフラクショナル PLL (fPLL) の性能—暫定仕様

シンボル/説明	条件	周波数	単位
サポートされている出力周波数	最大周波数	6.25	GHz
	最低周波数	500	MHz

表 20. CMU の PLL 性能—暫定仕様

シンボル/説明	条件	周波数	単位
サポートされている出力周波数	最大周波数	5.15625	GHz
	最低周波数	2450	MHz

関連情報

トランシーバー電源動作条件 (7 ページ)

Cyclone 10 GX デバイスにおける高速シリアル・トランシーバー-ファブリック・インターフェースの性能

表 21. Cyclone 10 GX デバイスにおける高速シリアル・トランシーバー-ファブリック・インターフェースの性能—暫定仕様

記載されている周波数は最大周波数です。

シンボル/説明	条件(V)	コア・スピードグレード		単位
		-5	-6	
20 ビット・インターフェイス-FIFO	$V_{CC} = 0.9$	400	400	MHz
20 ビット・インターフェイス・レジスター	$V_{CC} = 0.9$	400	400	MHz
32 ビット・インターフェイス-FIFO	$V_{CC} = 0.9$	404	335	MHz
32 ビット・インターフェイス・レジスター	$V_{CC} = 0.9$	404	335	MHz
64 ビット・インターフェイス-FIFO	$V_{CC} = 0.9$	234	222	MHz
64 ビット・インターフェイス・レジスター	$V_{CC} = 0.9$	234	222	MHz

Cyclone 10 GX デバイスにおけるトランシーバーの仕様



表 22. リファレンス・クロックの仕様—暫定仕様

シンボル/説明	条件	Min	Typ	Max	単位
サポートされる I/O 規格	専用のリファレンス・クロックピン	CML、差動 LVPECL、LVDS、および HCSL			
	RX リファレンス・クロックピン	CML、差動 LVPECL、および LVDS			
入力リファレンス・クロック周波数 (CMU PLL)		61	—	800	MHz
入力リファレンス・クロック周波数 (ATX PLL)		100	—	800	MHz
入力リファレンス・クロック周波数 (fPLL PLL)		25 <sup>(25)</sup> / 50	—	800	MHz
立ち上がり時間	20 % から 80 % へ	—	—	400	ps
立ち下がり時間	80 % から 20 % へ	—	—	400	ps
デューティサイクル	—	45	—	55	%
スペクトラム拡散変調クロック周波数	PCIe	30	—	33	kHz
スペクトラム拡散ダウンスプレッド	PCIe	—	0 ~ -0.5	—	%
オンチップ終端抵抗	—	—	100	—	Ω
V <sub>MAX</sub> 絶対最大定格	専用のリファレンス・クロックピン	—	—	1.6	V
	RX リファレンス・クロックピン	—	—	1.2	V
V <sub>MIN</sub> 絶対最大定格	—	-0.4	—	—	V
ピーク-ピーク差動入力電圧	—	200	—	1600	mV
V <sub>ICM</sub> (AC 結合)	V <sub>CCR_GXB</sub> = 0.95 V	—	0.95	—	V
	V <sub>CCR_GXB</sub> = 1.03 V	—	1.03	—	V
V <sub>ICM</sub> (DC 結合)	PCIe リファレンス・クロックの HCSL I/O 規格	250	—	550	mV
トランスミッタ REFCLK 位相ノイズ(622 MHz) <sup>(26)</sup>	100 Hz	—	—	-70	dBc/Hz

*continued...*

(25) この周波数は HDMI アプリケーション専用です。



シンボル/説明	条件	Min	Typ	Max	単位
	1 kHz	—	—	-90	dBc/Hz
	10 kHz	—	—	-100	dBc/Hz
	100 kHz	—	—	-110	dBc/Hz
	≥ 1 MHz	—	—	-120	dBc/Hz
トランスミッタ REFCLK 位相ジッター (100 MHz)	1.5 MHz ~ 100 MHz (PCIe)	—	—	4.2	ps (rms)
R <sub>REF</sub>	—	—	2.0 k ±1%	—	Ω
クロック周波数の最大変化率 T <sub>SSC-MAX-PERIOD-SLEW</sub> <sup>(27)</sup>	Max SSC df/dt			0.75	ps/UI

表 23. トランシーバーのクロック仕様—暫定仕様

シンボル/説明	条件	トランシーバー・スピードグレード 1、2、3、4 と 5			単位
		Min	Typ	Max	
トランシーバー・キャリブレーション用の CLKUSR ピン	トランシーバー・キャリブレーション	100	—	125	MHz
reconfig_clk	リコンフィギュレーション・インターフェイス	100	—	125	MHz

表 24. トランシーバー・クロック・ネットワーク最大データレート仕様—暫定仕様

クロック・ネットワーク	最大性能			チャネルスパン	単位
	ATX	fPLL	CMU		
x1	12.5	12.5	10.3125	6 チャンネル	Gbps
x6	12.5	12.5	N/A	6 チャンネル	Gbps
<i>continued...</i>					

(26) 622 MHz 以外の周波数での REFCLK 位相ノイズ要件を計算するには、次の式を使用します。f(MHz)における REFCLK 位相ノイズ = 622 MHz での REFCLK 位相ノイズ + 20\*log(f / 622)。

(27) Lexmark などの最悪の場合の SSC 変調プロファイル用に定義されています。



クロック・ネットワーク	最大性能			チャネルスパン	単位
	ATX	fPLL	CMU		
PLL フィードバック補償モード	12.5	12.5	N/A	サイドワイド	Gbps
1.03 V における xN	12.5	12.5	N/A	サイドワイド	Gbps
0.95 V における xN	10.5	10.5	N/A	サイドワイド	Gbps

表 25. レシーバーの仕様—暫定仕様

シンボル/説明	条件	Min	Typ	Max	単位
サポートされる I/O 規格	—	高速差動 I/O、CML、差動 LVPECL、および LVDS <sup>(28)</sup>			
レシーバーピンの V <sub>MAX</sub> 絶対最大定格 <sup>(29)</sup>	—	—	—	1.2	V
レシーバーピンの V <sub>MIN</sub> 絶対最大定格 <sup>(29)</sup>	—	-0.4	—	—	V
デバイス・コンフィグレーション前の最大ピーク-ピーク差動入力電圧 V <sub>ID</sub> (diff p-p)	—	—	—	1.6	V
デバイス・コンフィグレーション後の最大ピーク-ピーク差動入力電圧 V <sub>ID</sub> (diff p-p)	V <sub>CCR_GXB</sub> = 0.95 V	—	—	2.4	V
	V <sub>CCR_GXB</sub> = 1.03 V	—	—	2.0	V
レシーバーのシリアル入力ピンでの最小差動アイ・オープニング <sup>(30)</sup>	—	50	—	—	mV
差動オンチップ終端抵抗	85-Ω 設定	—	85 ± 30%	—	Ω
	100-Ω 設定	—	100 ± 30%	—	Ω

*continued...*

(28) CML、差動 LVPECL、および LVDS は、AC 結合リンクでのみ使用されます。

(29) デバイスは、この絶対最大値での長時間の動作に耐えられません。

(30) レシーバーの入力ピンの差動アイ・オープニング仕様は、レシーバー・イコライゼーションがディスエーブルされていることを前提としています。レシーバー・イコライゼーションをイネーブルすると、レシーバー回路はイコライゼーション・レベルに応じてより小さいアイ・オープニングを許容できます。





シンボル/説明	条件	Min	Typ	Max	単位
V <sub>ICM</sub> (AC および DC 結合) <sup>(31)</sup>	V <sub>CCR_GXB</sub> = 0.95 V	—	600	—	mV
	V <sub>CCR_GXB</sub> = 1.03 V	—	700	—	mV
t <sub>LTR</sub> <sup>(32)</sup>	—	—	—	10	μs
t <sub>LTD</sub> <sup>(33)</sup>	—	4	—	—	μs
t <sub>LTD_manual</sub> <sup>(34)</sup>	—	4	—	—	μs
t <sub>LTR_LTD_manual</sub> <sup>(35)</sup>	—	15	—	—	μs
ランレングス	—	—	—	200	UI
CDR PPM 許容差	PCIe のみ	-300	—	300	PPM
	他のすべてのプロトコル	-1000	—	1000	PPM
プログラマブル DC ゲイン	設定 = 0~4	0	—	10	dB
High ゲインモードおよびデータレート ≤ 6 Gbps におけるプログラマブル AC ゲイン	設定 = 0~28 V <sub>CCR_GXB</sub> = 0.95 V	0	—	19	dB
	設定 = 0~28 V <sub>CCR_GXB</sub> = 1.03 V	0	—	21	dB
High ゲインモードおよびデータレート ≤ 12.5 Gbps におけるプログラマブル AC ゲイン	設定 = 0~28 V <sub>CCR_GXB</sub> = 1.03 V	0	—	未定	dB

- (31) Cyclone 10 GX デバイスは、他の Cyclone 10 GX デバイスや、同相電圧が一致するトランスミッタを備えた他のデバイスへの DC カップリングをサポートしています。
- (32) t<sub>LTR</sub> は、リセットから出た後にレシーバー CDR が入力リファレンス・クロック周波数にロックするのに必要な時間です。
- (33) t<sub>LTD</sub> は、rx\_is\_lockedto data 信号が High になった後にレシーバー CDR が有効なデータを回復するのに必要な時間です。
- (34) t<sub>LTD\_manual</sub> は、CDR がマニュアルモードで機能している時に rx\_is\_lockedto data 信号が High になった後、レシーバー CDR が有効なデータを回復するのに必要な時間です。
- (35) t<sub>LTR\_LTD\_manual</sub> は、CDR がマニュアルモードで機能している時に rx\_is\_lockedto ref 信号が High になった後、レシーバー CDR を LTR(Lock to Reference)モードに保つ必要がある時間です。



表 26. トランスミッタの仕様—暫定仕様

シンボル/説明	条件	Min	Typ	Max	単位
サポートされる I/O 規格	—	高速差動 I/O <sup>(36)</sup>			—
差動オンチップ終端抵抗	85-Ω 設定	—	85 ± 20%	—	Ω
	100-Ω 設定	—	100 ± 20%	—	Ω
V <sub>OCM</sub> (AC 結合)	V <sub>CCT_GXB</sub> = 0.95 V	—	450	—	mV
	V <sub>CCT_GXB</sub> = 1.03 V	—	500	—	mV
V <sub>OCM</sub> (DC 結合)	V <sub>CCT_GXB</sub> = 0.95 V	—	450	—	mV
	V <sub>CCT_GXB</sub> = 1.03 V	—	500	—	mV
立ち上がり時間 <sup>(37)</sup>	20 % から 80 % へ	20	—	130	ps
立ち下がり時間 <sup>(37)</sup>	80 % から 20 % へ	20	—	130	ps
差動ペア内スキュー	TX V <sub>CM</sub> = 0.5 V および SLEW_R5 のスルーレート設定 <sup>(38)</sup>	—	—	15	ps

表 27. 標準的なトランスミッタ V<sub>OD</sub> 設定—暫定仕様

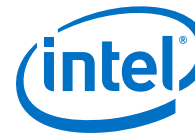
シンボル	V <sub>OD</sub> 設定	V <sub>OD</sub> /V <sub>CCT_GXB</sub> 比
V <sub>OD</sub> 差分値 = V <sub>OD</sub> /V <sub>CCT_GXB</sub> 比 × V <sub>CCT_GXB</sub>	31	1.00
	30	0.97
	29	0.93
	28	0.90
	27	0.87

*continued...*

(36) 高速差動 I/O は、Cyclone 10 GX トランシーバーにおけるトランスミッタ用の専用 I/O 規格です。

(37) Quartus Prime ソフトウェアは、デザイン・コンフィグレーションに応じて自動的に適切なスルーレートを選択します。

(38) SLEW\_R1 が最も遅く、SLEW\_R5 が最も速いです。SLEW\_R6 と SLEW\_R7 は使用されません。



シンボル	V <sub>OD</sub> 設定	V <sub>OD</sub> /V <sub>CCT_GXB</sub> 比
	26	0.83
	25	0.80
	24	0.77
	23	0.73
	22	0.70
	21	0.67
	20	0.63
	19	0.60
	18	0.57
	17	0.53
	16	0.50
	15	0.47
	14	0.43
	13	0.40
	12	0.37

表 28. トランスミッタのチャンネル間スキューの仕様—暫定仕様

モード	チャンネルスパン	最大スキュー	単位
x6 クロック	1 つのバンクで最大 6 つのチャンネル	61	ps
xN クロック	2 つのバンク内	230	ps
PLL フィードバック補償 <sup>(39)</sup> <sup>(40)</sup>	サイドワイド	1600	ps

(39) refclk は、テスト中に 125 MHz に設定されます。

(40) リファレンス・クロックの周波数を上げるにより、レーン間のスキューを減らすことができます。



関連情報

PLLs and Clock Networks (英語版)

コア性能の仕様

クロックツリーの仕様

表 29. Cyclone 10 GX デバイスにおけるクロックツリーの性能—暫定仕様

パラメーター	性能(すべてのスピードグレード)	単位
グローバルクロック、リージョナル・クロック、および狭い範囲でのペリフェラル・クロック	644	MHz
広い範囲でのペリフェラル・クロック	525	MHz

PLL 仕様

フラクショナル PLL 仕様

表 30. Cyclone 10 GX デバイスにおけるフラクショナル PLL 仕様—暫定仕様

シンボル	パラメーター	条件	Min	Typ	Max	単位
$f_{IN}$	入力クロック周波数	—	30	—	800 <sup>(41)</sup>	MHz
$f_{INPFD}$	位相周波数検出器 (PFD) への入力クロック周波数	—	30	—	700	MHz
$f_{CASC\_INPFD}$	縦続接続先カスケード PLL の PFD への入力クロック周波数	—	30	—	60	MHz
$f_{VCO}$	PLL 電圧制御発振器 (VCO) の動作範囲	整数	6	—	14.025	GHz
		小数	6	—	12.5	GHz
$t_{EINDUTY}$	入力クロックのデューティサイクル	—	45	—	55	%

*continued...*

(41) この仕様は I/O の最大周波数によって制限されます。達成可能な最大 I/O 周波数は、I/O 規格ごとに異なり、デザインおよびシステム固有の要因によって異なります。システムで達成可能な最大周波数を決定するには、デザインの適切なタイミング収束を確認し、使用しているデザインとシステム設定に基づく HSPICE/IBIS シミュレーションを実行する必要があります。



シンボル	パラメーター	条件	Min	Typ	Max	単位
f <sub>OUT</sub>	内部グローバルクロックまたはリージョナル・クロックの出力周波数	—	—	—	644	MHz
f <sub>DYCONFIGCLK</sub>	reconfig_clk のダイナミック・コンフィグレーション・クロック	—	—	—	100	MHz
t <sub>LOCK</sub>	デバイスの終わりのコンフィグレーションまたは pll_powerdown のデアサートからロックするのに必要な時間	—	—	—	1	ms
t <sub>DLOCK</sub>	動的にロックするのに必要な時間(任意の非ポストスケール・カウンタ/遅延の切り換えまたはリコンフィグレーション後)	—	—	—	1	ms
f <sub>CLBW</sub>	PLL の閉ループ帯域幅	—	0.3	—	4	MHz
t <sub>PLL_PSERR</sub>	PLL 位相シフトの精度	—	—	—	50	ps
t <sub>ARESET</sub>	pll_powerdown 信号の最小パルス幅	—	10	—	—	ns
t <sub>INCCJ</sub> <sup>(42)</sup> <sup>(43)</sup>	入力クロックのサイクル間ジッター	F <sub>REF</sub> ≥ 100 MHz	—	—	0.13	UI (p-p)
		F <sub>REF</sub> < 100 MHz	—	—	650	ps (p-p)
t <sub>OUTPJ</sub> <sup>(44)</sup>	クロック出力の周期ジッター	F <sub>OUT</sub> ≥ 100 MHz	—	—	600	ps (p-p)
		F <sub>OUT</sub> < 100 MHz	—	—	60	mUI (p-p)
t <sub>OUTCCJ</sub> <sup>(44)</sup>	クロック出力のサイクル間ジッター	F <sub>OUT</sub> ≥ 100 MHz	—	—	600	ps (p-p)
		F <sub>OUT</sub> < 100 MHz	—	—	60	mUI (p-p)
dK <sub>BIT</sub>	デルタシグマ変調器(DSM)のビット数	—	—	32	—	ビット

(42) 大きい入力ジッターは、PLL 出力ジッターに直接影響します。PLL 出力クロックジッターを低くするには、ジッターが 120 ps 未満のクリーン・クロック・ソースを提供する必要があります。

(43) F<sub>REF</sub> は f<sub>IN</sub>/N であり、N = 1 の時に仕様が適用されます。

(44) 外部メモリー・インターフェイス・クロック出力ジッターの仕様では、Cyclone 10 GX デバイスにおけるメモリー出力クロックジッター仕様の表で使用可能な異なる測定方法を使用しています。



関連情報

メモリー出カクロックジッターの仕様 (42 ページ)

外部メモリー・インターフェイスのクロック出力ジッター仕様に関する詳細情報を提供します。

I/O PLL 仕様

表 31. Cyclone 10 GX デバイスにおける I/O PLL 仕様—暫定仕様

シンボル	パラメーター	条件	Min	Typ	Max	単位
f <sub>IN</sub>	入カクロック周波数	-5 スピードグレード	10	—	700 <sup>(45)</sup>	MHz
		-6 スピードグレード	10	—	650 <sup>(45)</sup>	MHz
f <sub>INPFD</sub>	PFD への入カクロック周波数	—	10	—	325	MHz
f <sub>CASC_INPFD</sub>	縦続接続先カスケード PLL の PFD への入カクロック周波数	—	10	—	60	MHz
f <sub>VCO</sub>	PLL VCO 動作範囲	-5 スピードグレード	600	—	1434	MHz
		-6 スピードグレード	600	—	1250	MHz
f <sub>CLBW</sub>	PLL の閉ループ帯域幅	—	0.1	—	8	MHz
t <sub>EINDUTY</sub>	入カクロックまたは外部フィードバック・クロック入力のデューティサイクル	—	40	—	60	%
f <sub>OUT</sub>	内部グローバルクロックまたはリージョナル・クロックの出力周波数 (C カウンター)	-5、-6 スピードグレード	—	—	644	MHz
f <sub>OUT_EXT</sub>	外部クロック出力の出力周波数	-5 スピード・グレード	—	—	720	MHz
		-6 スピード・グレード	—	—	650	MHz
t <sub>OUTDUTY</sub>	専用外部クロック出力のデューティサイクル(50 % に設定した場合)	—	45	50	55	%
t <sub>FCOMP</sub>	外部フィードバック・クロック補償時間	—	—	—	10	ns

continued...

(45) この仕様は I/O の最大周波数によって制限されます。達成可能な最大 I/O 周波数は、I/O 規格ごとに異なり、デザインおよびシステム固有の要因によって異なります。システムで達成可能な最大周波数を決定するには、デザインの適切なタイミング収束を確認し、使用しているデザインとシステム設定に基づく HSPICE/IBIS シミュレーションを実行する必要があります。



シンボル	パラメーター	条件	Min	Typ	Max	単位
f <sub>DYCONFIGCLK</sub>	mgmt_clk と scanclk のダイナミック・コンフィグレーション・クロック	—	—	—	100	MHz
t <sub>LOCK</sub>	デバイスの終わりのコンフィグレーションまたは areset のデアサートからロックするのに必要な時間	—	—	—	1	ms
t <sub>DLOCK</sub>	動的にロックするのに必要な時間(任意の非ポストスケール・カウンタ/遅延の切り換えまたはリコンフィグレーション後)	—	—	—	1	ms
t <sub>PLL_PSERR</sub>	PLL 位相シフトの精度	—	—	—	±50	ps
t <sub>ARESET</sub>	areset 信号の最小パルス幅	—	10	—	—	ns
t <sub>INCCJ</sub> <sup>(46)</sup> <sup>(47)</sup>	入力クロックのサイクル間ジッター	F <sub>REF</sub> ≥ 100 MHz	—	—	0.15	UI (p-p)
		F <sub>REF</sub> < 100 MHz	—	—	750	ps (p-p)
t <sub>OUTPJ_DC</sub>	専用クロック出力の周期ジッター	F <sub>OUT</sub> ≥ 100 MHz	—	—	175	ps (p-p)
		F <sub>OUT</sub> < 100 MHz	—	—	17.5	mUI (p-p)
t <sub>OUTCCJ_DC</sub>	専用クロック出力のサイクル間ジッター	F <sub>OUT</sub> ≥ 100 MHz	—	—	175	ps (p-p)
		F <sub>OUT</sub> < 100 MHz	—	—	17.5	mUI (p-p)
t <sub>OUTPJ_IO</sub> <sup>(48)</sup>	通常 I/O クロック出力の周期ジッター	F <sub>OUT</sub> ≥ 100 MHz	—	—	600	ps (p-p)
		F <sub>OUT</sub> < 100 MHz	—	—	60	mUI (p-p)
t <sub>OUTCCJ_IO</sub> <sup>(48)</sup>	通常 I/O クロック出力のサイクル間ジッター	F <sub>OUT</sub> ≥ 100 MHz	—	—	600	ps (p-p)
		F <sub>OUT</sub> < 100 MHz	—	—	60	mUI (p-p)
t <sub>CASC_OUTPJ_DC</sub>	カスケード接続された PLL における専用クロック出力の周期ジッター	F <sub>OUT</sub> ≥ 100 MHz	—	—	175	ps (p-p)
		F <sub>OUT</sub> < 100 MHz	—	—	17.5	mUI (p-p)

(46) 大きい入力ジッターは、PLL 出力ジッターに直接影響します。PLL 出力クロックジッターを低くするには、ジッターが 120 ps 未満のクリーン・クロック・ソースを提供する必要があります。

(47) F<sub>REF</sub> は f<sub>IN</sub>/N であり、N = 1 の時に仕様が適用されます。

(48) 外部メモリー・インターフェイス・クロック出力ジッターの仕様では、Cyclone 10 GX デバイスにおけるメモリー出力クロックジッター仕様の表で使用可能な異なる測定方法を使用しています。



関連情報

メモリー出力クロックジッターの仕様 (42 ページ)

外部メモリー・インターフェイスのクロック出力ジッター仕様に関する詳細情報を提供します。

DSP ブロック仕様

表 32. Cyclone 10 GX デバイスにおける DSP ブロックの性能仕様—暫定仕様

モード	性能				単位
	-E5	-I5	-E6	-I6	
固定小数点 18 × 19 乗算モード	456	438	364	346	MHz
固定小数点 27 × 27 乗算モード	450	434	358	344	MHz
固定小数点 18 × 18 乗算加算器モード	459	440	370	351	MHz
36 ビット入力モードで加算された固定小数点 18 × 18 乗算加算器	444	422	349	326	MHz
固定小数点 18 × 19 シストリック・モード	459	440	370	351	MHz
複素数 18 × 19 乗算モード	456	438	364	346	MHz
浮動小数点乗算モード	447	427	347	326	MHz
浮動小数点加算器または減算モード	388	369	288	266	MHz
浮動小数点乗算加算器または減算モード	386	368	290	270	MHz
浮動小数点乗算器累積モード	418	393	326	294	MHz
浮動小数点ベクター 1 モード	404	382	306	282	MHz
浮動小数点ベクター 2 モード	383	367	293	278	MHz

メモリーブロックの仕様

最大メモリーブロック性能を達成するには、オンチップ PLL からのグローバル・クロック・ルーティングを介したメモリー・ブロック・クロックを使用し、出力デューティサイクルを **50 %** に設定します。Quartus Prime ソフトウェアを使用して、メモリー・ブロック・クロッキング方式のタイミングをレポートします。

エラー検出巡回冗長検査 (CRC) 機能を使用すると、 $f_{MAX}$  の劣化はありません。





表 33. Cyclone 10 GX デバイスにおけるメモリーブロック性能の仕様—暫定仕様

メモリー	モード	性能			
		-E5、-I5	-E6	-I6	単位
MLAB	シングルポート、サポートされているすべての幅(×16/×32)	570	490	490	MHz
	シンプルなデュアルポート、サポートされているすべての幅(×16/×32)	570	490	490	MHz
	Read-during-write オプションが <b>Old Data</b> に設定されたシンプルなデュアルポート、サポートされているすべての幅	400	330	330	MHz
	ROM、サポートされているすべての幅(×16/×32)	570	490	490	MHz
M20K ブロック	シングルポート、サポートされているすべての幅	625	530	510	MHz
	シンプルなデュアルポート、サポートされているすべての幅	625	530	510	MHz
	Read-during-write オプションが <b>Old Data</b> に設定されたシンプルなデュアルポート、サポートされているすべての幅	470	410	410	MHz
	ECC をイネーブルしたシンプルなデュアルポート、512 × 32	410	360	360	MHz
	ECC と任意のパイプライン・レジスターをイネーブルしたシンプルなデュアルポート、512 × 32	520	470	470	MHz
	真のデュアルポート、サポートされているすべての幅	600	480	480	MHz
	ROM、サポートされているすべての幅	625	530	510	MHz

### 温度検知ダイオードの仕様

#### 内部温度検知ダイオードの仕様

表 34. Cyclone 10 GX デバイスにおける内部温度検知ダイオードの仕様—暫定仕様

温度範囲	精度	オフセット校正オプション	サンプリング・レート	変換時間	分解能
-40 ~ 125°C	±5°C	なし	1 MHz	< 5 ms	10 ビット

#### 関連情報

[Transfer Function for Internal TSD \(英語版\)](#)

内部 TSD の伝達関数を提供します。



## 外部温度検知ダイオードの仕様

表 35. Cyclone 10 GX デバイスにおける外部温度検知ダイオードの仕様—暫定仕様

- 標準値は 25°C です。
- より低い注入電流でダイオードの精度が向上します。
- 絶対精度は、サードパーティーの外部ダイオード ADC および集積特性に依存します。

記述	Min	Typ	Max	単位
$I_{bias}$ 、ダイオードソース電流	10	—	100	$\mu A$
$V_{bias}$ 、ダイオード両端の電圧	0.3	—	0.9	V
直列抵抗値	—	—	< 1	$\Omega$
ダイオードの理想係数	—	1.03	—	—

## 内部電圧センサーの仕様

表 36. Cyclone 10 GX デバイスにおける内部電圧センサーの仕様—暫定仕様

パラメーター		Min	Typ	Max	単位
分解能		—	—	6	ビット
サンプリング・レート		—	—	500	Ksps
微分非直線性誤差 (DNL)		—	—	$\pm 1$	LSB
積分非直線性誤差 (INL)		—	—	$\pm 1$	LSB
ゲイン誤差		—	—	$\pm 1$	%
オフセット誤差		—	—	$\pm 1$	LSB
入力容量		—	20	—	pF
クロック周波数		0.1	—	11	MHz
ユニポーラ入力モード	$V_{sigp}$ の入力信号範囲	0	—	1.5	V
	$V_{sign}$ のコモンモード電圧	0	—	0.25	V
	$V_{sigp} - V_{sign}$ の入力信号範囲	0	—	1.25	V



## ペリフェラル性能の仕様

この項はペリフェラルの性能、高速 I/O および外部メモリー・インターフェイスについて説明します。

実際に達成可能な周波数は、デザインやシステム固有の要因により異なります。システムで達成可能な最大周波数を決定するには、デザインの適切なタイミング収束を確認し、使用しているデザインとシステム設定に基づく HSPICE/IBIS シミュレーションを実行する必要があります。

## 高速 I/O の仕様

表 37. Cyclone 10 GX デバイスにおける高速 I/O の仕様—暫定仕様

シリアライザー/デシリアライザー (SERDES) の係数 J = 3~10 の場合は、SERDES ブロックを使用します。

LVDS アプリケーションでは、整数 PLL モードで PLL を使用する必要があります。

リンクタイミング収束解析を実行することにより、レシーバーの残りのタイミングマージンを計算する必要があります。残りのタイミングマージンを決定するには、ボードのスキューマージン、トランスミッタのチャンネル間スキュー、およびレシーバーのサンプリング・マージンを考慮する必要があります。

Cyclone 10 GX デバイスは、すべての I/O バンクで真の LVDS 出力バッファタイプを使用して、次の出力規格をサポートしています。

- 最高 360 Mbps のデータレートを備えた真の RSDS 出力規格
- 最大 400 Mbps のデータレートを備えた真の mini-LVDS 出力規格

シンボル	条件	-E5、-I5			-E6、-I6			単位	
		Min	Typ	Max	Min	Typ	Max		
f <sub>HCLK_in</sub> (入力クロック周波数) 真の差動 I/O 規格	クロックブースト係数 W = 1 ~ 40 <sup>(49)</sup>	10	—	700	10	—	625	MHz	
f <sub>HCLK_in</sub> (入力クロック周波数) シングルエンド I/O 規格	クロックブースト係数 W = 1 ~ 40 <sup>(49)</sup>	10	—	625	10	—	525	MHz	
f <sub>HCLK_OUT</sub> (出力クロック周波数)	—	—	—	700 <sup>(50)</sup>	—	—	625 <sup>(50)</sup>	MHz	
トランスミッタ	真の差動 I/O 規格: f <sub>HSDR</sub> (データレート) (51)	SERDES 係数 J = 4 ~ 10 <sup>(52)</sup> (53) (54)	(54)	—	1434	(54)	—	1250	Mbps

*continued...*

(49) クロックブースト係数(W)は、入力データレートと入力クロックレートの比です。

(50) これは、PHY クロック・ネットワークを使用することによって達成されます。



シンボル	条件	-E5、-I5			-E6、-I6			単位
		Min	Typ	Max	Min	Typ	Max	
	SERDES 係数 J = 3 <sup>(52)</sup> <sup>(53)</sup> <sup>(54)</sup>	<sup>(54)</sup>	—	1076	<sup>(54)</sup>	—	938	Mbps
	SERDES 係数 J = 2, DDR レジスタ使用	<sup>(54)</sup>	—	275 <sup>(55)</sup>	<sup>(54)</sup>	—	250 <sup>(55)</sup>	Mbps
	SERDES 係数 J = 1, DDR レジスタ使用	<sup>(54)</sup>	—	275 <sup>(55)</sup>	<sup>(54)</sup>	—	250 <sup>(55)</sup>	Mbps
t <sub>x</sub> Jitter : 真の差動 I/O 規格	データレートの合計ジッター、600 Mbps ~ 1.6 Gbps	—	—	200	—	—	250	ps
	データレートの合計ジッター、< 600 Mbps	—	—	0.12	—	—	0.15	UI
t <sub>DUTY</sub> <sup>(56)</sup>	差動 I/O 規格の TX 出力クロック・デューティサイクル	45	50	55	45	50	55	%
t <sub>RISE</sub> と t <sub>FALL</sub> <sup>(53)</sup> <sup>(57)</sup>	真の差動 I/O 規格	—	—	180	—	—	200	ps
TCCS <sup>(56)</sup> <sup>(51)</sup>	真の差動 I/O 規格	—	—	150	—	—	150	ps

continued...

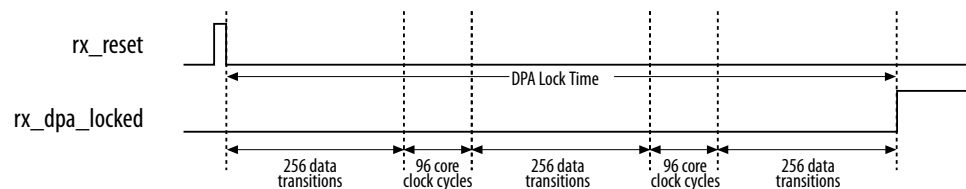
- (51) PCB のトレース長に合わせてパッケージのスキューを補正する必要があります。
- (52) F<sub>max</sub> の仕様は、シリアルデータに使用される高速クロックに基づいています。インターフェイス F<sub>max</sub> は、デザインに依存し、タイミング解析を必要とするパラレル・クロック・ドメインにも依存します。
- (53) V<sub>CC</sub> と V<sub>CCP</sub> は、チップとチップ間のインターフェイス用に 5 pF の最大負荷と電力層を合わせたものでなければなりません。
- (54) 最小仕様は、使用するクロックソース(PLL、クロックピンなど)とクロック・ルーティング・リソース(グローバル、リージョナル、ローカル)によって異なります。I/O 差動バッファとシリアライザには最小トグルレートがありません。
- (55) デザインのタイミングを閉じることができ、信号の完全性がインターフェイスの要件を満たしている場合に限り、理想的な最大データレートは、SERDES 係数(J) × PLL の最大出力周波数(f<sub>OUT</sub>)です。
- (56) DIVCLK = 1 には適用されません。
- (57) これはデフォルトのプリエンファシスと V<sub>OD</sub> 設定にのみ適用されます。



シンボル		条件	-E5、-I5			-E6、-I6			単位
			Min	Typ	Max	Min	Typ	Max	
レシーバー	真の差動 I/O 規格: f <sub>HSDRDPA</sub> (データレート)	SERDES 係数 J = 4 ~ 10 <sup>(52) (53) (54)</sup>	150	—	1434	150	—	1250	Mbps
		SERDES 係数 J = 3 <sup>(52) (53) (54)</sup>	150	—	1076	150	—	938	Mbps
	f <sub>HSDR</sub> (データレート)(DPA なし) <sup>(51)</sup>	SERDES 係数 J = 3 ~ 10	(54)	—	(58)	(54)	—	(58)	Mbps
		SERDES 係数 J = 2, DDR レジスタ使用	(54)	—	(55)	(54)	—	(55)	Mbps
		SERDES 係数 J = 1, DDR レジスタ使用	(54)	—	(55)	(54)	—	(55)	Mbps
DPA(FIFO モード)	DPA ランレングス	—	—	10000	—	—	10000	UI	
DPA(ソフト CDR モード)	DPA ランレングス	SGMII/GbE プロトコル	—	—	5	—	—	5	UI
		他のすべてのプロトコル	—	—	208 UI あたり 50 データ遷移	—	—	208 UI あたり 50 データ遷移	—
ソフト CDR モード	ソフト CDR の PPM 許容差	—	—	300	—	—	300	± ppm	
非 DPA モード	サンプリング・ウィンドウ	—	—	300	—	—	300	ps	

## DPA ロック時間の仕様

図 -2: DPA PLL キャリブレーションがイネーブルされた DPA ロック時間の仕様



(58) リンクタイミング収束解析を実行することにより、非 DPA モードの達成可能な最大データレートを推定できます。サポートされる最大データレートを決定するには、ボードのスキューマージン、トランスミッタの遅延マージン、およびレシーバーのサンプリング・マージンを考慮する必要があります。



表 38. Cyclone 10 GX デバイスにおける DPA ロック時間の仕様—暫定仕様

仕様は、拡張および工業用グレードの両方に適用されます。DPA ロック時間は 1 チャンネルのものです。1 つのデータ遷移は、0~1 または 1~0 遷移として定義されます。

規格	トレーニング・パターン	トレーニング・パターンの 1 回の繰り返し におけるデータ遷移数	256 データ遷移ごとの反復回数 <sup>(59)</sup>	最大データ遷移
SPI-4	00000000001111111111	2	128	640
パラレル高速 I/O	00001111	2	128	640
	10010000	4	64	640
その他	10101010	8	32	640
	01010101	8	32	640

<sup>(59)</sup> これは記載トレーニング・パターンが 256 データ遷移を実現するための反復回数です。



### LVDS ソフト CDR/DPA 正弦ジッター許容値仕様

図 -3: 1.4 Gbps に等しいデータレートに対する LVDS ソフト CDR/DPA 正弦ジッター許容値仕様

LVDS Soft-CDR/DPA Sinusoidal Jitter Tolerance Specification

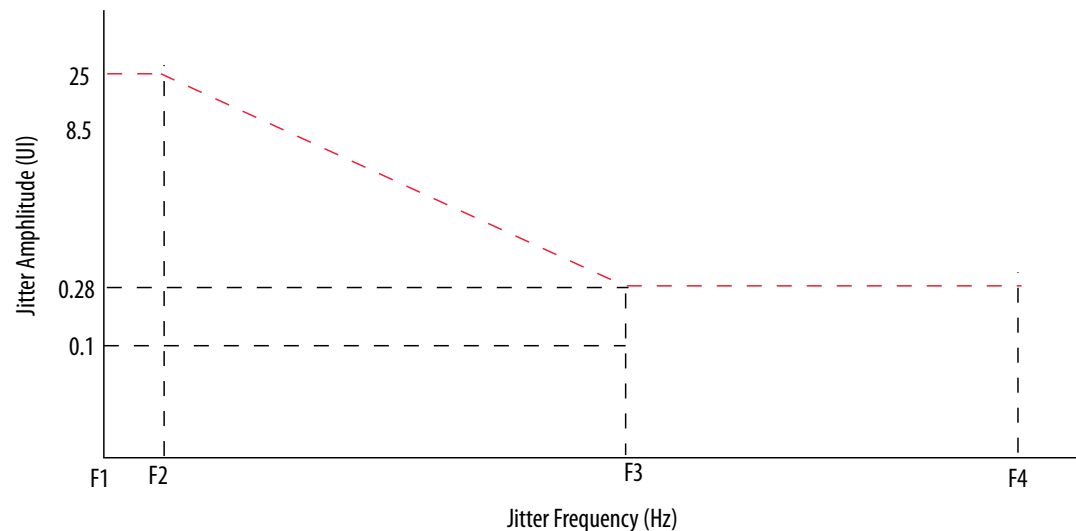
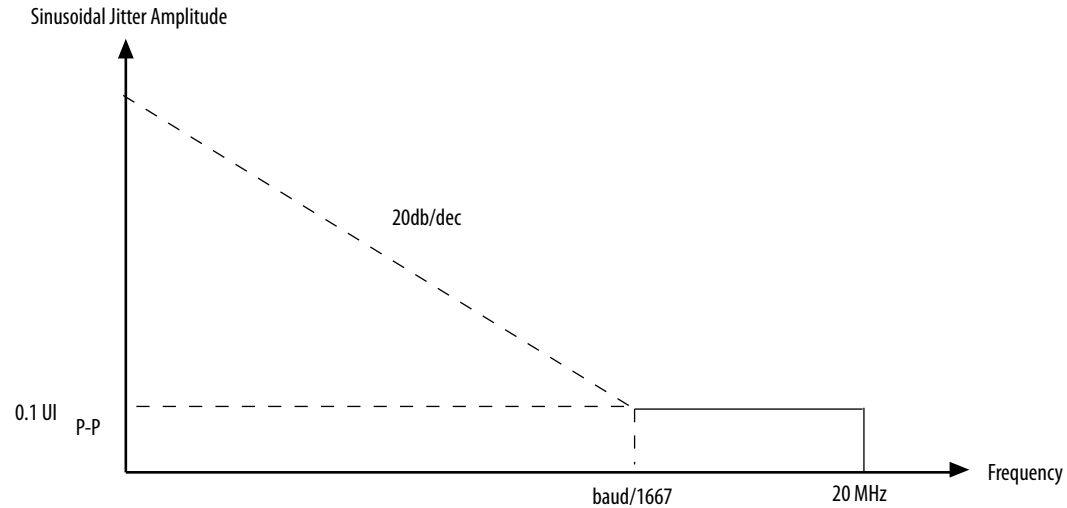


表 39. 1.4 Gbps に等しいデータレートに対する LVDS ソフト CDR/DPA 正弦ジッターマスク値—暫定仕様

ジッター周波数 (Hz)		正弦ジッター (UI)
F1	10,000	25.00
F2	17,565	25.00
F3	1,493,000	0.28
F4	50,000,000	0.28

図 -4: 1.4 Gbps 未満のデータレートに対する LVDS ソフト CDR/DPA 正弦ジッター許容値仕様



### ハード・メモリー・コントローラーでサポートされるメモリー規格

表 40. Cyclone 10 GX デバイスにおけるハード・メモリー・コントローラーでサポートされるメモリー規格—暫定仕様

この表は、ハード・メモリー・コントローラーの総合的な性能を示しています。具体的な詳細については、外部メモリー・インターフェイス・スペック・エスティメーターを参照してください。

メモリー規格	レートサポート	スピードグレード	ピンボン PHY サポート	最大周波数 (MHz)	
				I/O バンク	3V の I/O バンク
DDR3 SDRAM	ハーフレート	-5	あり	533	225
			—	533	225
		-6	あり	466	166
			—	466	166
	クォーターレート	-5	あり	933	450
			—	933	450

*continued...*





メモリー規格	レートサポート	スピードグレード	ピンボン PHY サポート	最大周波数 (MHz)			
				I/O バンク	3V の I/O バンク		
DDR3L SDRAM	ハーフレート	-6	あり	933	333		
			—	933	333		
		-5	あり	533	225		
			—	533	225		
		-6	あり	466	166		
			—	466	166		
	クォーターレート	-5	あり	933	450		
			—	933	450		
		-6	あり	933	333		
			—	933	333		
		LPDDR3 SDRAM	ハーフレート	-5	—	400	225
				-6	—	333	166
クォーターレート	-5		—	800	450		
	-6		—	666	333		

### 関連情報

外部メモリー・インターフェイス・スペック・エスティメーター  
サポートされているメモリー規格の詳細を提供します。

### DLL 範囲の仕様

表 41. Cyclone 10 GX デバイスにおける DLL 周波数範囲の仕様—暫定仕様

Cyclone 10 GX デバイスは、600 MHz 未満のメモリー・インターフェイス周波数をサポートしますが、DLL に供給するリファレンス・クロックは少なくとも 600 MHz でなければなりません。600 MHz 以下のインターフェイスをサポートするには、DLL に供給するリファレンス・クロックを過倍して、周波数がサポートされている範囲内にあることを確認します。

パラメーター	性能(すべてのスピードグレード向け)	単位
DLL の動作周波数範囲	600 – 1333	MHz



## DQS ロジックブロック仕様

表 42. Cyclone 10 GX デバイスにおける DLL 遅延クロック( $t_{DQS\_PSERR}$ )の DQS 位相シフト誤差の仕様—暫定仕様

この誤差仕様は、絶対最大および最小誤差です。

シンボル	性能(すべてのスピードグレード向け)	単位
$t_{DQS\_PSERR}$	5	ps

## メモリー出カクロックジッターの仕様

表 43. Cyclone 10 GX デバイスにおけるメモリー出カクロックジッターの仕様—暫定仕様

クロックジッターの仕様は、整数 PLL によってクロックされるメモリー出カクロックピンに適用されるか、または指定された PHY クロック・ネットワーク上にルーティングされる PLL 出力によってクロックされる差動信号スプリッターおよびダブルデータ I/O 回路を使用して生成されます。インテルは、より良いジッター性能のために PHY クロック・ネットワークを使用することを推奨します。

メモリー出カクロックジッターは、ピーク間 10 ps の入力ジッターがビット・エラー・レート(BER)  $10^{-12}$  (14 シグマに相当)で印加されている場合に適用できます。

プロトコル	パラメーター	シンボル	データレート (Mbps)	Min	Max	単位
DDR3	クロック周期ジッター	$t_{JIT(per)}$	1,866	-40	40	ps
	サイクル間周期ジッター	$t_{JIT(cc)}$	1,866	-40	40	ps
	デューティサイクル・ジッター	$t_{JIT(duty)}$	1,866	-40	40	ps

## OCT キャリブレーション・ブロック仕様

表 44. Cyclone 10 GX デバイスにおける OCT キャリブレーション・ブロック仕様—暫定仕様

シンボル	記述	Min	Typ	Max	単位
OCTUSRCLK	OCT キャリブレーション・ブロックに必要なクロック	—	—	20	MHz
$T_{OCTCAL}$	$R_S$ OCT/ $R_T$ OCT キャリブレーションに必要な OCTUSRCLK クロックサイクル数	> 2000	—	—	サイクル
$T_{OCTSHIFT}$	OCT コードのシフトアウトに必要な OCTUSRCLK クロックサイクル数	—	32	—	サイクル
$T_{RS\_RT}$	$R_S$ OCT と $R_T$ OCT の間をダイナミックに切り換えるための双方向 I/O バッファにおける $dyn\_term\_ctrl$ 信号と $oe$ 信号の遷移の間に必要な時間	—	2.5	—	ns

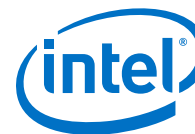
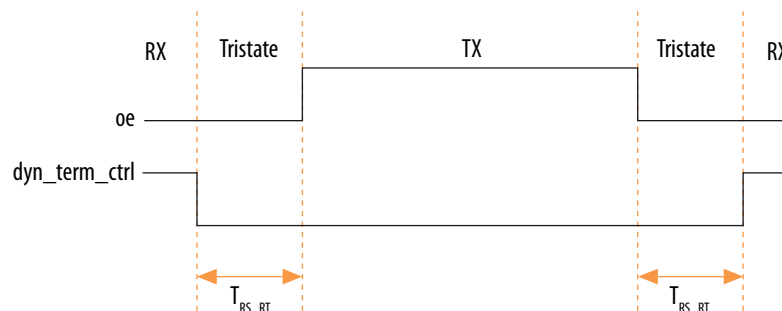


図 -5: oe および dyn\_term\_ctrl 信号のタイミング図



## コンフィグレーションの仕様

この項では、Cyclone 10 GX デバイスのコンフィグレーションの仕様およびタイミングについて説明します。

### POR の仕様

POR (パワーオンリセット) 遅延は、POR 回路によってモニタリングされているすべての電源が最低推奨動作電圧に到達した時から、nSTATUS が High に解放されてデバイスがコンフィグレーションを開始する準備ができた時までの遅延として定義されます。

表 45. Cyclone 10 GX デバイスにおける高速と標準的な POR 遅延仕様—暫定仕様

POR 遅延	Min	Max	単位
高速	4	12 <sup>(60)</sup>	ms
標準的	100	300	ms

#### 関連情報

##### MSEL Pin Settings (英語版)

各コンフィグレーション方式の MSEL ピン設定に基づいた POR 遅延に関する詳細情報を提供します。

<sup>(60)</sup> 高速 POR 遅延の最大パルス幅は 12 ms であり、PCIe ハード IP が POR トリップ後に初期化するのに十分な時間を提供します。

## JTAG コンフィグレーション・タイミング

表 46. Cyclone 10 GX デバイスの JTAG タイミング・パラメータとその値-暫定仕様

シンボル	記述	Min	Max	単位
t <sub>JCP</sub>	TCK クロックの周期	30, 167 <sup>(61)</sup>	—	ns
t <sub>JCH</sub>	TCK クロックの High 時間	14	—	ns
t <sub>JCL</sub>	TCK クロックの Low 時間	14	—	ns
t <sub>JPSU</sub> (TDI)	TDI JTAG ポートのセットアップ時間	2	—	ns
t <sub>JPSU</sub> (TMS)	TMS JTAG ポートのセットアップ時間	3	—	ns
t <sub>JPH</sub>	JTAG ポートのホールド時間	5	—	ns
t <sub>JPCO</sub>	JTAG ポートの Clock-to-Output	—	11	ns
t <sub>JPZX</sub>	JTAG ポートの高インピーダンスから有効出力まで	—	14	ns
t <sub>JPXZ</sub>	JTAG ポートの有効出力から高インピーダンスまで	—	14	ns

## FPP コンフィグレーション・タイミング

### FPP コンフィグレーションの DCLK-DATA[ ]比(r)

FPP(高速パッシブパラレル)コンフィグレーションでは、暗号化または圧縮機能をオンにする時に異なる DCLK-DATA[ ]比が必要です。

DCLK-DATA[ ]比に応じて、ホストは DATA[ ]レートの  $r$  倍の DCLK 周波数を Bps(バイト/秒)または Wps(ワード/秒)で送信する必要があります。例えば、 $r$  が 2 の FPP × 16 では、DCLK の周波数は Wps の DATA[ ]レートの 2 倍でなければなりません。

<sup>(61)</sup> 揮発性キー・プログラミングを実行する時、V<sub>CCBAT</sub> が 1.2 V ~ 1.5 V の範囲内にある場合、最小 TCK クロック周期は 167 ns です。

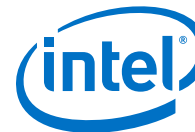


表 47. Cyclone 10 GX デバイスにおける DCLK-DATA[ ]比-暫定仕様

Cyclone 10 GX デバイスでは、暗号化と圧縮機能を同時にオンにすることはできません。

コンフィグレーション・スキーム	暗号化	圧縮	DCLK-DATA[ ]比(r)
FPP(8 ビット幅)	Off	Off	1
	On	Off	1
	Off	On	2
FPP(16 ビット幅)	Off	Off	1
	On	Off	2
	Off	On	4
FPP(32 ビット幅)	Off	Off	1
	On	Off	4
	Off	On	8

#### DCLK-DATA[ ] = 1 の場合の FPP コンフィグレーション・タイミング

注意: 圧縮復元機能またはデザイン・セキュリティ機能を有効にすると、DCLK-DATA[ ]の比率は FPP × 8、FPP × 16、および FPP × 32 によって異なります。各 DCLK-DATA[ ]比については、Cyclone 10 GX デバイスにおける DCLK-DATA[ ]比の表を参照してください。

表 48. Cyclone 10 GX デバイスにおける DCLK-DATA[ ]比が 1 の場合の FPP タイミング・パラメーター-暫定仕様

以下のタイミング・パラメーターは、圧縮復元機能およびデザイン・セキュリティ機能が無効にされている時に利用してください。

シンボル	パラメーター	Min	Max	単位
t <sub>CF2CD</sub>	nCONFIG Low から CONF_DONE Low	480	1,440	ns
t <sub>CF2ST0</sub>	nCONFIG Low から nSTATUS Low	320	960	ns
t <sub>CFG</sub>	nCONFIG Low パルス幅	2	—	µs
t <sub>STATUS</sub>	nSTATUS Low パルス幅	268	3,000 <sup>(62)</sup>	µs

*continued...*

(62) この値は、nCONFIG または nSTATUS の Low パルス幅を拡張してコンフィグレーションを遅延させない場合に適用されます。



シンボル	パラメーター	Min	Max	単位
t <sub>CF2ST1</sub>	nCONFIG High から nSTATUS High	—	3,000 <sup>(63)</sup>	μs
t <sub>CF2CK</sub> <sup>(64)</sup>	nCONFIG High から DCLK の最初の立ち上がりエッジ	3,010	—	μs
t <sub>ST2CK</sub> <sup>(64)</sup>	nSTATUS High から DCLK の最初の立ち上がりエッジ	10	—	μs
t <sub>DSU</sub>	DCLK の立ち上がりエッジ前の DATA[ ] セットアップ時間	5.5	—	ns
t <sub>DH</sub>	DCLK の立ち上がりエッジ後の DATA[ ] ホールド時間	0	—	ns
t <sub>CH</sub>	DCLK High 時間	$0.45 \times 1/f_{MAX}$	—	s
t <sub>CL</sub>	DCLK Low 時間	$0.45 \times 1/f_{MAX}$	—	s
t <sub>CLK</sub>	DCLK 周期	$1/f_{MAX}$	—	s
f <sub>MAX</sub>	DCLK 周波数 (FPP × 8/× 16/× 32)	—	100	MHz
t <sub>CD2UM</sub>	CONF_DONE High からユーザーモード <sup>(65)</sup>	175	830	μs
t <sub>CD2CU</sub>	CONF_DONE High から CLKUSR イネーブル	4 × 最大 DCLK 周期	—	—
t <sub>CD2UMC</sub>	CONF_DONE High から CLKUSR オプションがオンのユーザーモード	t <sub>CD2CU</sub> + (600 × CLKUSR 周期)	—	—

### 関連情報

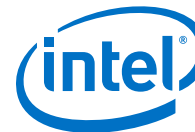
#### FPP Configuration Timing (英語版)

FPP コンフィグレーションのタイミング波形を提供します。

(63) この値は、外部で nSTATUS を Low に保持してコンフィグレーションを遅延させない場合に適用されます。

(64) nSTATUS がモニターされている場合は、t<sub>ST2CK</sub> 仕様に従ってください。nSTATUS がモニターされない場合は、t<sub>CF2CK</sub> 仕様に従ってください。

(65) 最小値と最大値は、デバイスを初期化するためのクロックソースとして内部オシレーターが選択された場合にのみ適用されます。



## DCLK-DATA[ ] > 1 の場合の FPP コンフィグレーション・タイミング

表 49. Cyclone 10 GX デバイスにおける DCLK-DATA[ ]比が>1 の場合の FPP タイミング・パラメーター-暫定仕様

以下のタイミング・パラメーターは、圧縮復元機能およびデザイン・セキュリティ機能が使用されている時に利用してください。

シンボル	パラメーター	Min	Max	単位
t <sub>CF2CD</sub>	nCONFIG Low から CONF_DONE Low	480	1,440	ns
t <sub>CF2ST0</sub>	nCONFIG Low から nSTATUS Low	320	960	ns
t <sub>CFG</sub>	nCONFIG Low パルス幅	2	—	μs
t <sub>STATUS</sub>	nSTATUS Low パルス幅	268	3,000 <sup>(66)</sup>	μs
t <sub>CF2ST1</sub>	nCONFIG High から nSTATUS High	—	3,000 <sup>(66)</sup>	μs
t <sub>CF2CK</sub> <sup>(67)</sup>	nCONFIG High から DCLK の最初の立ち上がりエッジ	3,010	—	μs
t <sub>ST2CK</sub> <sup>(67)</sup>	nSTATUS High から DCLK の最初の立ち上がりエッジ	10	—	μs
t <sub>DSU</sub>	DCLK の立ち上がりエッジ前の DATA[ ] セットアップ時間	5.5	—	ns
t <sub>DH</sub>	DCLK の立ち上がりエッジ後の DATA[ ] ホールド時間	$N-1/f_{DCLK}$ <sup>(68)</sup>	—	s
t <sub>CH</sub>	DCLK High 時間	$0.45 \times 1/f_{MAX}$	—	s
t <sub>CL</sub>	DCLK Low 時間	$0.45 \times 1/f_{MAX}$	—	s
t <sub>CLK</sub>	DCLK 周期	$1/f_{MAX}$	—	s
f <sub>MAX</sub>	DCLK 周波数 (FPP × 8 / × 16 / × 32)	—	100	MHz
t <sub>R</sub>	入力立ち上がり時間	—	40	ns
t <sub>F</sub>	入力立ち下がり時間	—	40	ns

continued...

(66) この値は、nCONFIG または nSTATUS の Low パルス幅を拡張してコンフィグレーションを遅延させない場合に得ることができます。

(67) nSTATUS がモニターされている場合は、t<sub>ST2CK</sub> 仕様に従ってください。nSTATUS がモニターされない場合は、t<sub>CF2CK</sub> 仕様に従ってください。

(68) N は DCLK-DATA の比で、f<sub>DCLK</sub> はシステムが動作している DCLK 周波数です。



シンボル	パラメーター	Min	Max	単位
t <sub>CD2UM</sub>	CONF_DONE High からユーザーモード <sup>(69)</sup>	175	830	μs
t <sub>CD2CU</sub>	CONF_DONE High から CLKUSR イネーブル	4 × 最大 DCLK 周期	—	—
t <sub>CD2UMC</sub>	CONF_DONE High から CLKUSR オプションがオンのユーザーモード	t <sub>CD2CU</sub> + (600 × CLKUSR 周期)	—	—

#### 関連情報

#### FPP Configuration Timing (英語版)

FPP コンフィグレーションのタイミング波形を提供します。

## AS コンフィグレーション・タイミング

表 50. Cyclone 10 GX デバイスにおける AS ×1 および AS ×4 コンフィグレーションの AS タイミング・パラメーター-暫定仕様

最小値と最大値は、デバイスを初期化するためのクロックソースとして内部オシレーターが選択される場合にのみ適用されます。

t<sub>CF2CD</sub>、t<sub>CF2ST0</sub>、t<sub>CFG</sub>、t<sub>STATUS</sub>、および t<sub>CF2ST1</sub> のタイミング・パラメーターは、Cyclone 10 GX デバイスにおける PS タイミング・パラメーターの表にリストされている PS (パッシブシリアル) モードのタイミング・パラメーターと同じです。

シンボル	パラメーター	Min	Max	単位
t <sub>CO</sub>	DCLK の立ち下がりエッジから AS_DATA0/ASDO 出力	—	2	ns
t <sub>SU</sub>	DCLK の立ち下がりエッジ前のデータ・セットアップ時間	1	—	ns
t <sub>DH</sub>	DCLK の立ち下がりエッジ後のデータホールド時間	1.5	—	ns
t <sub>CD2UM</sub>	CONF_DONE High からユーザーモード	175	830	μs
t <sub>CD2CU</sub>	CONF_DONE High から CLKUSR イネーブル	4 × 最大 DCLK 周期	—	—
t <sub>CD2UMC</sub>	CONF_DONE High から CLKUSR オプションがオンのユーザーモード	t <sub>CD2CU</sub> + (600 × CLKUSR 周期)	—	—

#### 関連情報

- PS コンフィグレーション・タイミング (49 ページ)

<sup>(69)</sup> 最小値と最大値は、デバイスを初期化するためのクロックソースとして内部オシレーターが使用される場合にのみ適用されます。





- AS Configuration Timing (英語版)  
AS コンフィグレーションのタイミング波形を提供します。

## AS コンフィグレーション・スキームにおける DCLK 周波数仕様

表 51. AS コンフィグレーション・スキームにおける DCLK 周波数仕様-暫定仕様

次の表には、AS コンフィグレーション・スキームの内部クロック周波数仕様が記載されています。

DCLK 周波数仕様は、内部オシレーターをコンフィグレーション・クロックソースとして使用する場合に適用されます。

AS マルチデバイス・コンフィグレーション・スキームは、100 MHz の DCLK 周波数をサポートしていません。

Quartus Prime ソフトウェアでは、12.5、25、50、および 100 MHz のみを設定できます。

パラメーター	Min	Typ	Max	Quartus Prime ソフトウェアの設定	単位
AS コンフィグレーション・スキームにおける DCLK 周波数	5.3	7.5	9.7	12.5	MHz
	10.5	15.0	19.3	25.0	MHz
	21.0	30.0	38.5	50.0	MHz
	42.0	60.0	77.0	100.0	MHz

## PS コンフィグレーション・タイミング

表 52. Cyclone 10 GX デバイスにおける PS タイミング・パラメーター-暫定仕様

シンボル	パラメーター	Min	Max	単位
t <sub>CF2CD</sub>	nCONFIG Low から CONF_DONE Low	480	1,440	ns
t <sub>CF2ST0</sub>	nCONFIG Low から nSTATUS Low	320	960	ns
t <sub>CFG</sub>	nCONFIG Low パルス幅	2	—	μs
t <sub>STATUS</sub>	nSTATUS Low パルス幅	268	3,000 <sup>(70)</sup>	μs

*continued...*

(70) この値は、nCONFIG または nSTATUS の Low パルス幅を拡張してコンフィグレーションを遅延させない場合に適用されます。



シンボル	パラメーター	Min	Max	単位
t <sub>CF2ST1</sub>	nCONFIG High から nSTATUS High	—	3,000 <sup>(71)</sup>	μs
t <sub>CF2CK</sub> <sup>(72)</sup>	nCONFIG High から DCLK の最初の立ち上がりエッジ	3,010	—	μs
t <sub>ST2CK</sub> <sup>(72)</sup>	nSTATUS High から DCLK の最初の立ち上がりエッジ	10	—	μs
t <sub>DSU</sub>	DCLK の立ち上がりエッジ前の DATA[ ] セットアップ時間	5.5	—	ns
t <sub>DH</sub>	DCLK の立ち上がりエッジ後の DATA[ ] ホールド時間	0	—	ns
t <sub>CH</sub>	DCLK High 時間	$0.45 \times 1/f_{MAX}$	—	s
t <sub>CL</sub>	DCLK Low 時間	$0.45 \times 1/f_{MAX}$	—	s
t <sub>CLK</sub>	DCLK 周期	$1/f_{MAX}$	—	s
f <sub>MAX</sub>	DCLK 周波数	—	125	MHz
t <sub>CD2UM</sub>	CONF_DONE High からユーザーモード <sup>(73)</sup>	175	830	μs
t <sub>CD2CU</sub>	CONF_DONE High から CLKUSR イネーブル	4 × 最大 DCLK 周期	—	—
t <sub>CD2UMC</sub>	CONF_DONE High から CLKUSR オプションがオンのユーザーモード	t <sub>CD2CU</sub> + (600 × CLKUSR 周期)	—	—

#### 関連情報

##### PS Configuration Timing (英語版)

PS コンフィグレーションのタイミング波形を提供します。

(71) この値は、外部で nSTATUS を Low に保持してコンフィグレーションを遅延させない場合に適用されます。

(72) nSTATUS がモニターされている場合は、t<sub>ST2CK</sub> 仕様に従ってください。nSTATUS がモニターされない場合は、t<sub>CF2CK</sub> 仕様に従ってください。

(73) 最小値と最大値は、デバイスを初期化するためのクロックソースとして内部オシレーターが選択される場合にのみ適用されます。



## 初期化

表 53. Cyclone 10 GX デバイスにおける初期化クロックソース・オプションと最大周波数-暫定仕様

初期化クロックソース	コンフィグレーション・スキーム	最大周波数 (MHz)	クロックサイクルの最小数
内部オシレーター	AS、PS、および FPP	12.5	600
CLKUSR <sup>(74)</sup> <sup>(75)</sup>	AS、PS、および FPP	100	

## コンフィグレーション・ファイル

コンフィグレーション・スキームのコンフィグレーション・ビットストリーム形式には、次の 2 種類があります。

- PS および FPP: .rbf (Raw バイナリーファイル)
- AS: .rpd (Raw プログラミング・データファイル)

.rpd ファイルのサイズは、インテル・コンフィグレーション・デバイスの容量に従います。ただし、.rpd ファイルの実際のコンフィグレーション・ビットストリーム・サイズは .rbf ファイルと同じです。

---

<sup>(74)</sup> CLKUSR を初期化クロックソースとして使用可能にするには、Quartus Prime ソフトウェアの **Device and Pin Options** ダイアログボックスの **General** パネルで、**Enable user-supplied start-up clock (CLKUSR)** オプションをオンにします。

<sup>(75)</sup> CLKUSR ピンを AS とトランシーバーのキャリブレーションに同時に使用する場合、唯一許容される周波数は 100 MHz です。

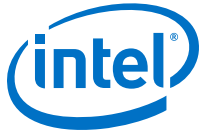


表 54. Cyclone 10 GX デバイスにおけるコンフィグレーション・ビットストリーム・サイズ-暫定仕様

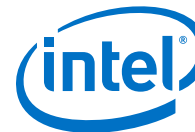
以下の表を使用して、デザインのコンパイル前のファイルサイズを見積もってください。16 進数ファイル(.hex)や表形式のテキストファイル(.ttf)など、コンフィグレーション・ファイル形式によってファイルサイズは異なります。

さまざまなタイプのコンフィグレーション・ファイルとファイルサイズについては、Quartus Prime ソフトウェアを参照してください。ただし、特定のバージョンの Quartus Prime ソフトウェアの場合、同じデバイスを対象とするデザインはすべて、同じ非圧縮のコンフィグレーション・ファイルサイズを持ちます。

IOCSR(I/O コンフィグレーション・シフトレジスター)は、デバイス I/O ペリフェラルの設定を容易にする長いシフトレジスターです。IOCSR ビットストリームは、非圧縮コンフィグレーション・ビットストリームの一部であり、具体的には CvP(Configuration via Protocol)機能用です。

非圧縮コンフィグレーション・ビットストリーム・サイズは、コンフィグレーション・アルゴリズムの改善および最適化のために変更される可能性があります。

製品タイプ	製品ライン	非圧縮コンフィグレーション・ビットストリーム・サイズ(ビット)	IOCSR ビットストリーム・サイズ(ビット)	推奨される EPCQ-L シリアル・コンフィグレーション・デバイス
Cyclone 10 GX	GX 085	81,923,582	2,507,264	EPCQ-L256 またはそれ以上の密度
	GX 105	81,923,582	2,507,264	EPCQ-L256 またはそれ以上の密度
	GX 150	81,923,582	2,507,264	EPCQ-L256 またはそれ以上の密度
	GX 220	81,923,582	2,507,264	EPCQ-L256 またはそれ以上の密度



## 最小コンフィグレーション時間の見積もり

表 55. Cyclone 10 GX デバイスにおける最小コンフィグレーション時間の見積もり-暫定仕様

推定値は、Cyclone 10 GX デバイスにおけるコンフィグレーション・ビットストリーム・サイズの表の非圧縮コンフィグレーション・ビットストリーム・サイズに基づいています。

製品タイプ	製品ライン	アクティブシリアル <sup>(76)</sup>			高速パッシブパラレル <sup>(77)</sup>		
		幅	DCLK (MHz)	最小コンフィグレーション時間 (ms)	幅	DCLK (MHz)	最小コンフィグレーション時間 (ms)
Cyclone 10 GX	GX 085	4	100	204.81	32	100	25.60
	GX 105	4	100	204.81	32	100	25.60
	GX 150	4	100	204.81	32	100	25.60
	GX 220	4	100	204.81	32	100	25.60

### 関連情報

- [コンフィグレーション・ファイル \(51 ページ\)](#)
- [AS コンフィグレーション・スキームにおける DCLK 周波数仕様 \(49 ページ\)](#)  
内蔵オシレーターを使用する DCLK 周波数を提供します。

<sup>(76)</sup> 最小コンフィグレーション時間は、100 MHz の DCLK 周波数に基づいて計算されます。外部 CLKUSR のみが 100 MHz の周波数精度を保証することができません。100 MHz の内部オシレーターを使用すると、実際の周波数が 100 MHz にならないことがあります。内部オシレーターを使用する DCLK 周波数については、AS コンフィグレーション・スキームにおける DCLK 周波数仕様の表を参照してください。

<sup>(77)</sup> 最大 FPGA FPP 帯域幅は、一部の外部ストレージまたは制御ロジックから利用可能な帯域幅を超える場合があります。

## リモート・システム・アップグレード

表 56. Cyclone 10 GX デバイスにおけるリモート・システム・アップグレードの回路のタイミング仕様-暫定仕様

パラメーター	Min	Max	単位
$f_{\text{MAX\_RU\_CLK}}$ (78)	—	40	MHz
$t_{\text{RU\_nCONFIG}}$ (79)	250	—	ns
$t_{\text{RU\_nRSTIMER}}$ (80)	250	—	ns

### 関連情報

- [Remote System Upgrade State Machine \(英語版\)](#)  
コンフィグレーション・リセット (RU\_CONFIG) 信号に関する詳細情報を提供します。
- [User Watchdog Timer \(英語版\)](#)  
reset\_timer (RU\_nRSTIMER) 信号の詳細情報を提供します。

## ユーザー・ウォッチドッグ内部回路のタイミング仕様

表 57. Cyclone 10 GX デバイスにおけるユーザー・ウォッチドッグ内部オシレーターの周波数仕様-暫定仕様

パラメーター	Min	Typ	Max	単位
ユーザー・ウォッチドッグ内部オシレーターの周波数	5.3	7.9	12.5	MHz

## I/O タイミング

Quartus Prime タイミング・アナライザーは、配置配線が完了した後にデザインの詳細情報をもとに、より精度の高い正確な I/O タイミングデータを提供します。

(78) このクロックは、リモートシステムのアップグレード回路にユーザーから供給されます。ALTREMOTE\_UPDATE IP コアを使用している場合は、ALTREMOTE\_UPDATE IP コアにユーザーが供給したクロックがこの仕様を満たしている必要があります。

(79) これは、最小タイミング指定のために ALTREMOTE\_UPDATE IP コア High のリコンフィグレーション入力のストロープに相当します。

(80) これは、最小タイミング指定のために ALTREMOTE\_UPDATE IP コア High の reset\_timer 入力のストロープに相当します。



### 関連情報

#### AN775: I/O Timing Information Generation Guidelines (英語版)

Quartus Prime ソフトウェアを使用した I/O タイミング情報の生成に関する詳細情報を提供します。

## プログラマブル IOE 遅延

表 58. Cyclone 10 GX デバイスにおける IOE のプログラマブル遅延-暫定仕様

各設定の正確な値については、Quartus Prime ソフトウェアの最新バージョンを使用してください。

プログラマブル IOE 遅延設定は I/O バッファにのみ適用され、PHYLite IP コアの他の遅延要素には適用されません。

パラメーター <sup>(81)</sup>	使用可能な設定	最小オフセット <sup>(82)</sup>	高速モデル		低速モデル		単位
			拡張	工業用	-E5、-I5	-E6、-I6	
Input Delay Chain Setting (IO_IN_DLY_CHN)	64	0	2.012	2.003	5.241	6.035	ns
Output Delay Chain Setting (IO_OUT_DLY_CHN)	16	0	0.478	0.475	1.263	1.462	ns

## 用語集

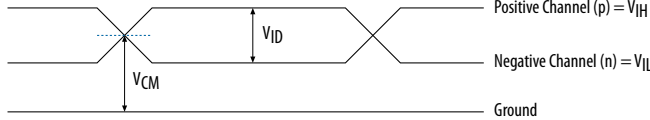

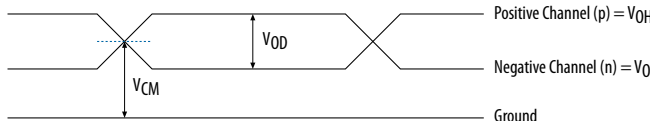
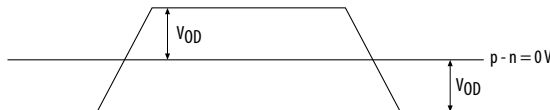
表 59. 用語集

用語	定義
差動 I/O 規格	レシーバーの入力波形

*continued...*

(81) **Assignment Name** カラムで **Input Delay Chain Setting** または **Output Delay Chain Setting** を選択すると、Quartus Prime ソフトウェアでこの値を設定できます。

(82) 最小オフセットには、固有遅延が含まれていません。

用語	定義
	<p><b>Single-Ended Waveform</b></p>  <p><b>Differential Waveform</b></p>  <p>トランスミッタの出力波形</p> <p><b>Single-Ended Waveform</b></p>  <p><b>Differential Waveform</b></p> 
$f_{HSCLK}$	I/O PLL 入力クロック周波数
$f_{HSDR}$	高速 I/O ブロック: LVDS の最大/最小データ転送レート ( $f_{HSDR} = 1/TUI$ )、DPA なし
$f_{HSDRDPA}$	高速 I/O ブロック: LVDS の最大/最小データ転送レート ( $f_{HSDR} = 1/TUI$ )、DPA あり
J	高速 I/O ブロック: デシリアライゼーション・ファクター (パラレル・データ・バスの幅)
JTAG タイミング仕様	JTAG タイミング仕様

*continued...*





用語	定義
$R_L$	レシーバー差動入力カプシタンス抵抗 (Cyclone 10 GX デバイスの外部)
サンプリング・ウィンドウ (SW)	<p>タイミングダイアグラム: データが正しくキャプチャーされるために有効でなければならない期間。セットアップ時間とホールド時間は、サンプリング・ウィンドウ内の理想的なストロブ位置を決定します。</p>
シングルエンド電圧リファレンス形式の I/O 規格	<p>SSTL と HSTL I/O の JEDEC 規格は、AC と DC の両方の入力信号値を定義しています。AC 値は、レシーバーがそのタイミング仕様を満たさなければならない電圧レベルを示します。DC 値は、レシーバーの最終的なロジック状態が明白に定義されている電圧レベルを示します。レシーバー入力が AC 値を超えた後、レシーバーは新しいロジック状態に変化します。</p> <p>入力が DC しきい値を超えていれば、新しいロジック状態が維持されます。このアプローチは、入力波形のリングングの存在下で予測可能なレシーバータイミングを提供することを意図しています。</p> <p>シングルエンド電圧リファレンス形式の I/O 規格</p>

continued...

用語	定義
$t_c$	高速レシーバー/トランスミッタの入力および出力クロック周期
TCCS (チャネル間スキュー)	同じ PLL によってドライブされるチャネル全体の $t_{CO}$ のばらつきやクロックスキューを含む、最速の出力エッジと最低速の出力エッジ間のタイミング差。クロックは TCCS 測定に含まれます(この表の SW のタイミングダイアグラム図を参照)。
$t_{DUTY}$	高速 I/O ブロック: 高速トランスミッタ出力クロック上のデューティサイクル
$t_{FALL}$	信号の High から Low への遷移時間 (80~20%)
$t_{INCCJ}$	PLL クロック入力のサイクル間ジッター許容値
$t_{OUTPJ\_IO}$	PLL でドライブされる GPIO の周期ジッター
$t_{OUTPJ\_DC}$	PLL でドライブされる専用クロック出力の周期ジッター
$t_{RISE}$	信号の Low から High への遷移時間 (20~80%)
TUI (Timing Unit Interval)	スキュー、伝播遅延、およびデータ・サンプリング・ウィンドウのために許容されるタイミングバジェット。(TUI = 1/(レシーバー入力クロック周波数の通倍係数) = $t_c/w$ )
$V_{CM(DC)}$	DC コモンモード入力電圧
$V_{ICM}$	コモンモード入力電圧: レシーバーにおける差動信号のコモンモード
$V_{ID}$	入力差動電圧振幅: レシーバーにおける差動伝送の正導体と相補導体間の電圧の差
$V_{DIF(AC)}$	AC 差動入力電圧: スwitchングに必要な最小 AC 入力差動電圧
$V_{DIF(DC)}$	DC 差動入力電圧: スwitchングに必要な最小 DC 入力差動電圧
$V_{IH}$	電圧入力 High: デバイスがロジック High として受け入れる、入力に印加される最小正電圧
<b>continued...</b>	



用語	定義
$V_{IH(AC)}$	入力 High レベル AC 電圧
$V_{IH(DC)}$	入力 High レベル DC 電圧
$V_{IL}$	電圧入力 Low: デバイスがロジック Low として受け入れる、入りに印加される最大正電圧
$V_{IL(AC)}$	入力 Low レベル AC 電圧
$V_{IL(DC)}$	入力 Low レベル DC 電圧
$V_{OCM}$	出力コモンモード電圧: トランスミッタにおける差動信号のコモンモード
$V_{OD}$	出力差動電圧振幅: トランスミッタにおける差動伝送ラインの正導体と相補導体間の電圧の差
$V_{SWING}$	差動入力電圧
$V_{IX}$	入力差動クロスポイント電圧
$V_{OX}$	出力差動クロスポイント電圧
W	高速 I/O ブロック: クロック・ブースト・ファクター

## 改訂履歴

日付	バージョン	変更内容
2017 年 5 月	2017.05.08	初版