

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CI151013-2.0

## はじめに

Cyclone™ II デバイスは、SRAM セルを使用してコンフィギュレーション・データを格納します。SRAM メモリは揮発性のため、デバイスに電源を投入するたびにコンフィギュレーション・データを Cyclone II デバイスにダウンロードする必要があります。アクティブ・シリアル (AS) コンフィギュレーション手法を使用して、Cyclone II デバイスをコンフィギュレーションできます。この手法は最大 40 MHz の DCLK 周波数で動作可能です。パッシブ・シリアル (PS) や JTAG (Joint Test Action Group) ベースのコンフィギュレーション手法を使用しても、Cyclone II デバイスをコンフィギュレーションできます。さらに、Cyclone II デバイスは圧縮されたコンフィギュレーション・ビットストリームを受信して、このデータをすぐに復元することができるため、必要なメモリおよびコンフィギュレーション時間を低減します。

この章では、Cyclone II デバイスのコンフィギュレーション機能、およびサポートされているコンフィギュレーション手法を使用して Cyclone II デバイスをコンフィギュレーションする方法について説明します。コンフィギュレーション・ピンの内容と Cyclone II デバイスのコンフィギュレーション・ファイル・フォーマットについても説明します。



デバイスのコンフィギュレーション・オプションの設定方法またはコンフィギュレーション・ファイルの作成方法の詳細については、「Configuration Handbook」の「Software Settings」の章を参照してください。

## Cyclone II デバイスの コンフィギュ レーションに ついて

Cyclone II デバイスをコンフィギュレーションするには、AS、PS、および JTAG コンフィギュレーション手法を使用できます。使用するコンフィギュレーション手法を選択するには、表 13-1 に示すように、Cyclone II デバイスの MSEL ピンを High または Low にドライブします。MSEL ピンは、そのピンが存在するバンクの  $V_{CCIO}$  電源によって給電されます。パワー・オン・リセット (POR) およびコンフィギュレーション中、MSEL ピンがロジック Low またはロジック High と判定されるには、それぞれ LVTTTL  $V_{IL}$  レベルであるか、 $V_{IH}$  レベルであることが必要です。このため、不正なコンフィギュレーション手法の検出の問題を避けるために、MSEL[] ピンを、そのピンが存在する I/O バンクの  $V_{CCIO}$  と GND にプルアップ抵抗またはプルダウン抵抗なしで接続する必要があります。MSEL[] ピンをマイクロプロセッサや別のデバイスでドライブしてはなりません。

表 13-1. Cyclone II のコンフィギュレーション手法		
コンフィギュレーション手法	MSEL1	MSEL0
AS (20 MHz)	0	0
PS	0	1
高速 AS (40 MHz)	1	0
JTAG ベースの コンフィギュレーション (1)	(2)	(2)

## 表 13-1 の注：

- (1) JTAG ベースのコンフィギュレーションは、他のコンフィギュレーション手法よりも優先されます。つまり、MSEL ピンの設定は無視されます。
- (2) MSEL ピンは浮動状態のままにしないで、V<sub>CCIO</sub> または GND に接続してください。これらのピンは、生産時に使用される JTAG 以外のコンフィギュレーション手法をサポートします。JTAG コンフィギュレーションしか使用しない場合は、MSEL ピンを GND に接続する必要があります。

コンフィギュレーション・データは、表 13-2 のオプションを使用して、AS、PS、または JTAG のインタフェースにより Cyclone II FPGA にダウンロードできます。

表 13-2. Cyclone II のコンフィギュレーション手法	
コンフィギュレーション手法	説明
AS コンフィギュレーション	シリアル・コンフィギュレーション・デバイス (EPCS1、EPCS4、EPCS16、または EPCS64 デバイス) を使用したコンフィギュレーション
PS コンフィギュレーション	エンハンスド・コンフィギュレーション・デバイス (EPC4、EPC8、および EPC16 デバイス)、EPC2 および EPC1 コンフィギュレーション・デバイス、インテリジェント・ホスト (マイクロプロセッサ)、またはダウンロード・ケーブルを使用したコンフィギュレーション
JTAG ベースのコンフィギュレーション	ダウンロード・ケーブル、インテリジェント・ホスト (マイクロプロセッサ)、または Jam™ STAPL (Standard Test and Programming Language) を使用した、JTAG ピンによるコンフィギュレーション

## コンフィギュレーション・ファイル・フォーマット

表 13-3 に、Cyclone II デバイスの非圧縮コンフィギュレーション・ファイルのおおよそのサイズを示します。複数のデバイス・コンフィギュレーションに必要なストレージ容量を計算するには、各デバイスのファイル・サイズを加算します。

デバイス	データ・サイズ (ビット)	データ・サイズ (バイト)
EP2C5	1,265,792	152,998
EP2C8	1,983,536	247,974
EP2C20	3,892,496	486,562
EP2C35	6,858,656	857,332
EP2C50	9,963,392	1,245,424
EP2C70	14,319,216	1,789,902

表 13-3 の注：

(1) これらの値は暫定仕様です。

表 13-3 のデータは、デザインのコmpایل前のファイル・サイズの見積りにのみ使用してください。16 進 (.hex) フォーマットや表形式テキスト・ファイル (.ttf) フォーマットなど、コンフィギュレーション・ファイル・フォーマットごとにファイル・サイズが異なります。ただし、特定バージョンの Quartus® II ソフトウェアでは、同じデバイスを対象としたデザインの非圧縮コンフィギュレーション・ファイルのサイズは同じになります。圧縮を使用した場合、圧縮率はデザインに依存するため、ファイル・サイズはコンパイルするたびに変わる可能性があります。

## コンフィギュレーション・データの圧縮

Cyclone II デバイスは、コンフィギュレーション・メモリのスペースと時間を節減するコンフィギュレーション・データの復元をサポートします。この機能により、圧縮されたコンフィギュレーション・データをコンフィギュレーション・デバイスまたはその他のメモリに格納し、この圧縮されたビットストリームを Cyclone II デバイスに送信することができます。コンフィギュレーションの間、Cyclone II デバイスはリアルタイムでビットストリームを復元し、SRAM セルをプログラムします。



暫定的なデータでは、圧縮によりコンフィギュレーション・ビットストリームのサイズが35～55%減少することが示されています。

Cyclone II デバイスは、AS および PS コンフィギュレーション手法での復元をサポートします。JTAG ベースのコンフィギュレーションでは、復元はサポートされていません。

どちらも同じ圧縮アルゴリズムを使用しますが、Cyclone II デバイスでサポートされている復元機能は、エンハンスド・コンフィギュレーション・デバイス（EPC16、EPC8、および EPC4 デバイス）の復元機能とは異なります。エンハンスド・コンフィギュレーション・デバイスのデータ復元機能では、圧縮されたデータを格納し、ターゲット・デバイスに送信する前にそのビットストリームを復元できます。

PS モードでは、圧縮されたコンフィギュレーション・データの送信によりコンフィギュレーション時間を削減できるため Cyclone II デバイスの復元機能を使用する必要があります。Cyclone II デバイスとエンハンスド・コンフィギュレーション・デバイスの両方の復元機能を同時に使用しないでください。圧縮アルゴリズムが再帰的でないため、コンフィギュレーション・ファイルをさらに圧縮しないで拡張する可能性があります。

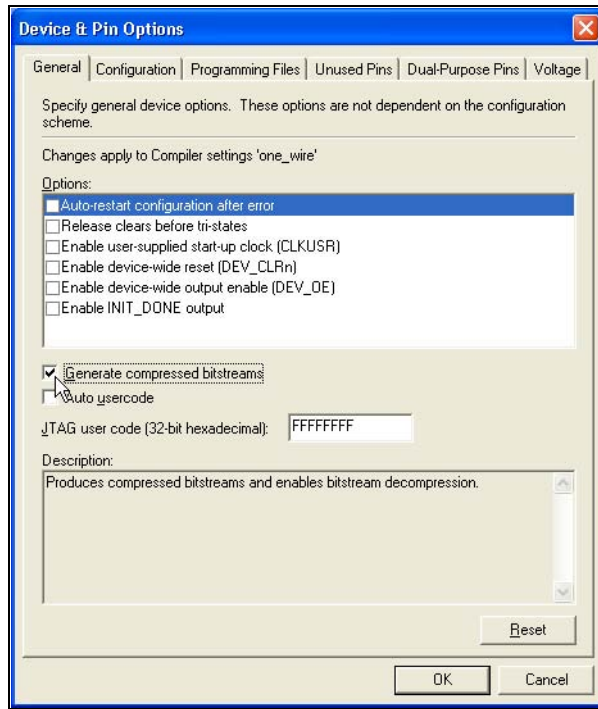
シリアル・コンフィギュレーション・デバイスのコンフィギュレーション・メモリ・スペースを節減する必要がある場合は、AS コンフィギュレーション中に Cyclone II デバイスの復元機能を使用する必要があります。

圧縮を有効にすると、Quartus II ソフトウェアは、圧縮されたコンフィギュレーション・データを使用してコンフィギュレーション・ファイルを生成します。この圧縮ファイルにより、コンフィギュレーション・デバイスやフラッシュに必要なメモリが減少し、Cyclone II デバイスへのビットストリームの送信に必要な時間が短縮されます。Cyclone II デバイスでのコンフィギュレーション・ファイルの復元に必要な時間は、コンフィギュレーション・データの FPGA への送信に必要な時間より短くなります。

Cyclone II ビットストリームの圧縮を有効にするには、デザインのコンパイル前（Compiler Settings メニュー）とデザインのコンパイル後（Convert Programming Files ウィンドウ）の 2 つの方法があります。

プロジェクトのコンパイラ設定の圧縮を有効にするには、Assignments メニューの下にある **Device** を選択して、設定ウィンドウを起動します。Cyclone II デバイスを選択したら、**Device & Pin Options** ウィンドウを開きます。**General settings** タブで、**Generate compressed bitstreams** のチェック・ボックスをオンにします（[図 13-1](#) を参照）。

図 13-1. **Compiler Settings** での **Cyclone II** ビットストリームの圧縮を有効にする

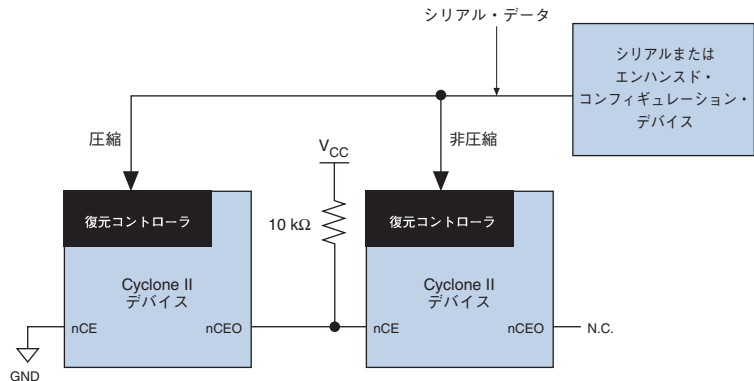


**Convert Programming Files** ウィンドウからプログラミング・ファイルを作成するときに、次のステップを使用して圧縮を有効にすることもできます。

1. (File メニューから) **Convert Programming Files** をクリックします。
2. プログラミング・ファイルのタイプを選択します。Programmer オブジェクト・ファイル (.pof)、SRAM HEXOUT、RBF、または TTF ファイルのみが、圧縮をサポートしています。
3. POF の場合、コンフィギュレーション・デバイスを選択します。
4. **Add File** を選択し、Cyclone II SRAM オブジェクト・ファイル (.sof) を追加します。
5. SOF データ領域に追加したファイルの名前を選択して、**Properties** をクリックします。
6. **Compression** チェック・ボックスをオンにします。

複数の Cyclone II デバイスをカスケード接続する場合、チェーン内の各デバイスに対して圧縮機能を選択的に有効にできます。図 13-2 に、2 つの Cyclone II デバイス・チェーンを示します。最初の Cyclone II デバイスは圧縮が有効にされているため、コンフィギュレーション・デバイスから圧縮されたビットストリームを受信します。2 つ目の Cyclone II デバイスは圧縮機能が無効にされているため、非圧縮のデータを受信します。

図 13-2. プログラミング・ファイル内の圧縮および非圧縮コンフィギュレーション・データ



Quartus II ソフトウェアでは、このセットアップ用のプログラミング・ファイル (例えば、POF ファイル) を生成できます。

## AS コンフィギュレーション (シリアル・コンフィギュレーション・デバイス)

AS コンフィギュレーション手法では、Cyclone II デバイスは、シリアル・コンフィギュレーション・デバイスを使用してコンフィギュレーションされます。これらのコンフィギュレーション・デバイスは、シンプルな 4 ピン・インタフェースとスモール・フォーム・ファクタを特長とする、不揮発性メモリを搭載した低コスト・デバイスです。これらの機能によって、シリアル・コンフィギュレーション・デバイスは低コストのコンフィギュレーションに最適なソリューションになります。



シリアル・コンフィギュレーション・デバイスの詳細については、「Configuration Handbook」の「Serial Configuration Devices Data Sheet」の章を参照してください。

シリアル・コンフィギュレーション・デバイスは、コンフィギュレーション・データにアクセスするためのシリアル・インタフェースを提供します。デバイスのコンフィギュレーション中、Cyclone II デバイスは、シリアル・インタフェース経由でコンフィギュレーション・データを読み込み、必要に応じてデータを復元し、その SRAM セルをコンフィギュレーションします。FPGA は AS コンフィギュレーション手法のコンフィギュレーション・インタフェースを制御し、外部ホスト（コンフィギュレーション・デバイスやマイクロプロセッサなど）は PS コンフィギュレーション手法のインタフェースを制御します。



Cyclone II デバイスの復元機能は、AS モードで Cyclone II デバイスをコンフィギュレーションするときに使用できます。

表 13-4 に、AS コンフィギュレーション手法を使用時の MSEL ピンの設定を示します。

表 13-4. Cyclone II デバイスのコンフィギュレーション手法		
コンフィギュレーション手法	MSEL1	MSEL0
AS (20 MHz) (1)	0	0
高速 AS (40 MHz) (1)	1	0

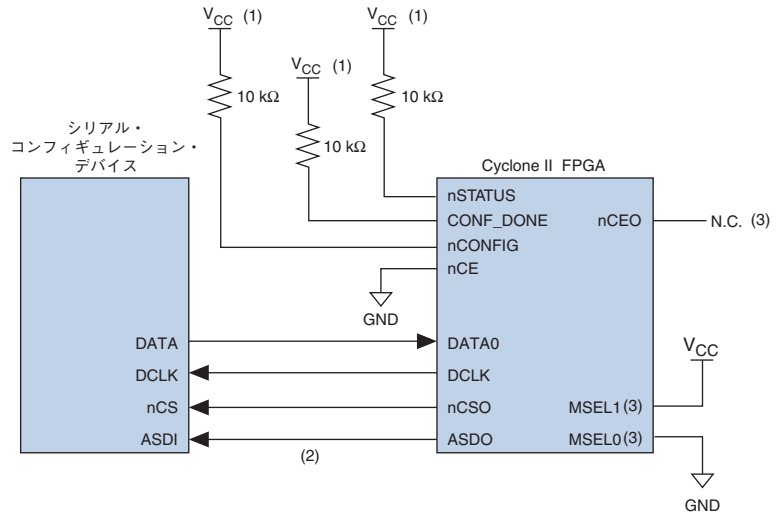
表 13-4 の注：

- (1) EPCS16 と EPCS64 は、最大 40 MHz の DCLK をサポートします。他の EPCS デバイスでは、最大 20 MHz の DCLK がサポートされます。詳細については、「Serial Configuration Devices Data Sheet」を参照してください。

## 単一デバイスの AS コンフィギュレーション

シリアル・コンフィギュレーション・デバイスには、シリアル・クロック入力 (DCLK)、シリアル・データ出力 (DATA)、AS データ入力 (ASDI)、アクティブ Low チップ・セレクト ( $\bar{n}CS$ ) の 4 つのピン・インタフェースがあります。この 4 ピン・インタフェースは、図 13-3 に示すように、Cyclone II デバイスのピンに接続されます。

図 13-3. 単一デバイスの AS コンフィギュレーション



## 図 13-3 の注：

- (1) プルアップ抵抗を 3.3 V 電源に接続します。
- (2) Cyclone II デバイスは、ASDO から ASDI へのパスを使用して、コンフィギュレーション・デバイスを制御します。
- (3) nCEO ピンは、未接続のままにするか、別のデバイスの nCE ピンに信号を供給していない場合はユーザ I/O ピンとして使用できます。

パワーアップ時には、Cyclone II デバイスでは POR の処理が行われます。POR の処理中、デバイスはリセットされ、nSTATUS と CONF\_DONE を Low に保持し、すべてのユーザ I/O ピンをトライ・ステートにします。POR の処理（通常 100 ms）後、Cyclone II デバイスは nSTATUS を解放し、10 kΩ の外部抵抗が nSTATUS ピンを High にプルアップすると、コンフィギュレーション・モードに移行します。FPGA が POR を正常に終了すると、すべてのユーザ I/O ピンはトライ・ステート状態を継続します。Cyclone II デバイスのユーザ I/O ピン上には、コンフィギュレーションの実行前と実行時にオンになるウィーク・プルアップ抵抗があります。




コンフィギュレーションの実行前と実行時にオンになる I/O ピン上のウィーク・プルアップ抵抗の値については、「Cyclone II デバイス・ハンドブック」の「DC 特性とタイミング仕様」の章を参照してください。

コンフィギュレーション・サイクルは、リセット、コンフィギュレーション、初期化の各ステージで構成されています。



## リセット・ステージ

nCONFIG または nSTATUS が Low の場合、デバイスはリセット状態です。POR の処理後、Cyclone II デバイスは nSTATUS を解放します。10 k $\Omega$  の外部プルアップ抵抗が nSTATUS 信号を High にプルアップし、Cyclone II デバイスはコンフィギュレーション・モードに移行します。

 コンフィギュレーション・プロセスを開始するには、コンフィギュレーションと JTAG ピンが存在するバンクの V<sub>CCINT</sub> と V<sub>CCIO</sub> に十分な電力を供給して、適切な電圧レベルにする必要があります。

## コンフィギュレーション・ステージ

Cyclone II デバイスで生成されるシリアル・クロック (DCLK) は、コンフィギュレーション・サイクル全体を制御し、シリアル・インタフェースに対するタイミングを提供します。Cyclone II デバイスは、内部発振器を使用して DCLK を生成します。MSEL[ ] ピンを使用すると、20 MHz または 40 MHz の発振器を選択できます。シリアル・コンフィギュレーション・デバイスを使用して設計するとき、20 MHz または 40 MHz の発振器を選択できますが、40 MHz の発振器の方がコンフィギュレーション時間が高速です。内部発振器の周波数は、Cyclone II デバイスのプロセス、電圧、および温度の条件によってある程度変動します。内部発振器は、最大周波数を保証して EPCS デバイスの仕様に適合するように設計されています。

表 13-5 に AS の DCLK 出力周波数を示します。

選択された発振器	最小	標準	最大	単位
40 MHz	20	26	40	MHz
20 MHz	10	13	20	MHz

表 13-5 の注：

(1) これらの値は暫定仕様です。

AS および高速 AS コンフィギュレーション手法では、シリアル・コンフィギュレーション・デバイスは DCLK の立ち上がりエッジで入力およびコントロール信号をラッチし、立ち下がりエッジでコンフィギュレーション・データを送出します。Cyclone II デバイスは、DCLK の立ち下がりエッジでコントロール信号を送出し、DCLK の立ち下がりエッジでコンフィギュレーション・データをラッチします。

コンフィギュレーション・モードでは、Cyclone II デバイスは、コンフィギュレーション・デバイスのチップ・セレクト (nCS) ピンに接続されている、nCS0 出力ピンを Low にすることで、シリアル・コンフィギュレーション・デバイスを有効にします。Cyclone II デバイスは、シリアル・クロック (DCLK) ピンとシリアル・データ出力 (ASDO) ピンを使用して、シリアル・コンフィギュレーション・デバイスに対する操作コマンドの送信やアドレス信号の読み込みを行います。その後、コンフィギュレーション・デバイスは、Cyclone II デバイスの DATA0 入力に接続されている、シリアル・データ出力 (DATA) ピンにデータを供給します。

Cyclone II デバイスはすべてのコンフィギュレーション・ビットを受信後、オープン・ドレイン CONF\_DONE ピンを解放します。次にこのピンは 10 k $\Omega$  の外部抵抗によって High にプルアップされます。Cyclone II デバイスはまた、DCLK 信号のドライブを停止します。初期化は、CONF\_DONE 信号がロジック High レベルに達した後でのみ開始します。デバイスを初期化するには、CONF\_DONE ピンは 10 k $\Omega$  の外部プルアップ抵抗が必要です。すべての AS コンフィギュレーション・ピン (DATA0、DCLK、nCS0、および ASD0) には、常にアクティブな内部ウィーク・プルアップ抵抗があります。このため、コンフィギュレーション後に、これらのピンは High になります。

## 初期化ステージ

Cyclone II デバイスの初期化クロック・ソースは、Cyclone II デバイスの 10 MHz (通常) 内部発振器 (AS 内部発振器とは別) またはオプションの CLKUSR ピンのいずれかです。内部発振器は、初期化用のデフォルトのクロック・ソースです。内部発振器を使用する場合、Cyclone II デバイスでは、適切に初期化するのに十分なクロック・サイクルが供給されます。内部発振器を使用する利点は、初期化ステージで外部ソースの追加クロック・サイクルを CLKUSR ピンに送信する必要がないことです。さらに、CLKUSR ピンをユーザ I/O ピンとして使用できます。

デバイスの初期化を遅延させる場合、この CLKUSR ピン・オプションを使用できます。CLKUSR ピンを使用すると、デバイスがユーザ・モードに移行するタイミングを制御できます。デバイスがユーザ・モードに移行するタイミングは、無期限に遅延できます。**User Supplied Start-Up Clock** オプションをオンにすると、CLKUSR ピンが初期化クロック・ソースになります。CLKUSR にクロックを供給しても、コンフィギュレーション・プロセスに影響はありません。コンフィギュレーション・データがすべて受け入れられ、CONF\_DONE が High になった後、Cyclone II デバイスは、適切に初期化を実行し、100 MHz の CLKUSR  $f_{MAX}$  をサポートするために、299 個のクロック・サイクルを必要とします。

Cyclone II デバイスは、初期化の終了とユーザ・モードの開始を Low から High への遷移で知らせる、オプションの INIT\_DONE ピンを備えています。Quartus II ソフトウェアでは、**Device & Pin Options** ウィンドウの **General** タブから **Enable INIT\_DONE output** オプションを使用できます。INIT\_DONE ピンを使用する場合、nCONFIG が Low であつコンフィギュレーションの開始時には、信号を High にプルアップするために、10 kΩ の外部プルアップ抵抗が必要です。INIT\_DONE をイネーブルするオプションのビットをデバイスにプログラムすると（コンフィギュレーション・データの最初のフレームで）、INIT\_DONE ピンが Low になります。初期化が完了すると、INIT\_DONE ピンが解放され、High にプルアップされます。この Low から High への遷移で、FPGA がユーザ・モードに入ったことがわかります。INIT\_DONE ピンを使用しない場合、CONF\_DONE が High になり 299 個のクロック・サイクルが CLKUSR ピンに送信された後、または Cyclone II デバイスが内部発振器を使用しているときには  $t_{CF2UM}$  時間（表 13-8 を参照）経過後に、初期化期間が完了します。


### ユーザ・モード

初期化が完了すると、FPGA はユーザ・モードに移行します。ユーザ・モードでは、ユーザ I/O ピンにウィーク・プルアップ抵抗がなくなり、デザインで割り当てられた機能が実行されます。

Cyclone II デバイスがユーザ・モードのときに、nCONFIG 信号を Low にするとリコンフィギュレーションを開始できます。nCONFIG 信号は、少なくとも 40 μs の間 Low でなければなりません。nCONFIG が Low にプルダウンされると、Cyclone II デバイスはリセットされ、リセット・ステータスに移行します。Cyclone II デバイスは nSTATUS と CONF\_DONE も Low にプルダウンするため、すべての I/O ピンがトライ・ステートになります。nCONFIG がロジック High レベルに戻り、nSTATUS が Cyclone II デバイスによって解放されると、リコンフィギュレーションが開始します。

### コンフィギュレーション中のエラー

コンフィギュレーション中にエラーが発生した場合、Cyclone II デバイスは nSTATUS 信号を Low にドライブして、データ・フレーム・エラーを示します。CONF\_DONE 信号は Low のままです。Quartus II ソフトウェアの **Device & Pin Options** ダイアログ・ボックスの **General** タブで、**Auto-restart configuration after error** オプションをオンにすると、Cyclone II デバイスでは、nCSO のパルスが発生させてシリアル・コンフィギュレーション・デバイスをリセットします。リセット・タイムアウト期間（約 40 μs）後に nSTATUS を解放して、コンフィギュレーションを再試行します。**Auto-restart configuration after error** オプションをオフにした場合は、外部システムで nSTATUS のエラーを監視し、少なくとも 40 μs 間 nCONFIG を Low にして、コンフィギュレーションを再開する必要があります。


 オプションの CLKUSR ピンを使用し、nCONFIG ピンを Low にしてデバイスの初期化中にコンフィギュレーションを再開する場合は、nSTATUS が Low の間 (最大 40  $\mu$ s)、CLKUSR が継続的にトグルするようにします。



コンフィギュレーション問題の詳細については、「Configuration Handbook」の「Debugging Configuration Problems」の章、およびアルテラ Web サイト ([www.altera.co.jp](http://www.altera.co.jp)) の FPGA Configuration Troubleshooter を参照してください。

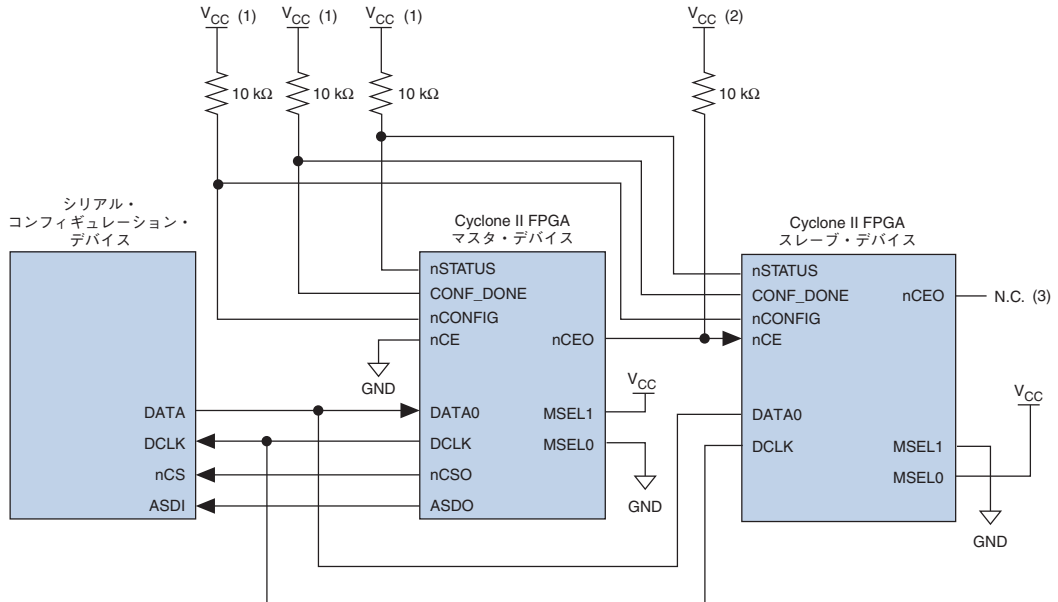
## 複数デバイスの AS コンフィギュレーション

単一のシリアル・コンフィギュレーション・デバイスを使用して、複数の Cyclone II デバイスをコンフィギュレーションすることができます。チップ・イネーブル (nCE) ピンとチップ・イネーブル出力 (nCEO) ピンを使用すると、複数の Cyclone II デバイスをカスケード接続できます。チェーンの最初のデバイスの nCE ピンを GND に接続し、nCEO ピンをチェーンの次のデバイスの nCE ピンに接続します。10 k $\Omega$  の外部プルアップ抵抗を使用して、nCEO 信号を V<sub>CCIO</sub> レベルに対して High にプルアップし、内部ウィーク・プルアップ抵抗を支援します。最初のデバイスがビットストリームからそのコンフィギュレーション・データをすべてキャプチャすると、nCEO ピンを Low に遷移させ、チェーン内の次のデバイスのコンフィギュレーションを開始します。最後のデバイスの nCEO ピンは、未接続のままにするか、あるいはチェーン内の最後のデバイスが Cyclone II デバイスの場合は、コンフィギュレーション後にユーザ I/O ピンとして使用できます。

 Quartus II ソフトウェアは、Cyclone II デバイスの nCEO ピンを出力ピンとして設定し、デフォルトで GND にドライブします。デバイスがチェーン内にあり、nCEO ピンが次のデバイスの nCE ピンに接続されている場合は、コンフィギュレーション後にその nCEO ピンをユーザ I/O ピンとして使用しないようにする必要があります。ソフトウェア設定は、Quartus II ソフトウェアの **Device & Pin Options** ダイアログ・ボックスの **Dual-Purpose Pins** タブにあります。

チェーン内の最初の Cyclone II デバイスは、コンフィギュレーション・マスタであり、チェーン全体のコンフィギュレーションを制御します。最初の Cyclone II デバイスについては、AS コンフィギュレーション手法を、残りの Cyclone II デバイス (コンフィギュレーション・スレーブ) については、PS コンフィギュレーション手法を選択します。PS コンフィギュレーションをサポートする他のアルテラ・デバイスも、コンフィギュレーション・スレーブとしてチェーンの一部にすることができます。複数デバイス・チェーンでは、チェーン内の各デバイスの nCONFIG、nSTATUS、CONF\_DONE、DCLK、および DATA0 ピンは接続されます (図 13-4 を参照)。図 13-4 に、このセットアップのピン接続を示します。

図 13-4. 複数デバイスの AS コンフィギュレーション



## 図 13-4 の注：

- (1) プルアップ抵抗を 3.3 V 電源に接続します。
- (2) プルアップ抵抗を nCEO ピンが存在している I/O バンクの  $V_{CCIO}$  電源電圧に接続します。
- (3) nCEO ピンは、未接続のままにするか、別のデバイスの nCE ピンに信号を供給していない場合はユーザ I/O ピンとして使用できます。


図 13-4 に示すように、すべてのターゲット FPGA 上の nSTATUS ピンと CONF\_DONE ピンは、外部プルアップ抵抗を使用して互いに接続されます。これらのピンは、FPGA 上のオープン・ドレイン双方向ピンです。最初のデバイスが（該当するコンフィギュレーション・データすべてを受信後）nCEO をアサートすると、CONF\_DONE ピンを解放します。ただし、チェーン内の後続のデバイスは、自身のコンフィギュレーション・データを受信するまで、CONF\_DONE 信号を Low に維持します。チェーン内のすべてのターゲット FPGA が自身のコンフィギュレーション・データを受信し、CONF\_DONE を解放すると、プルアップ抵抗はこの信号を High にプルアップし、すべてのデバイスが同時に初期化モードに移行します。


初期化中、初期化クロック・ソースは、Cyclone II デバイスの 10 MHz (通常) 内部発振器 (AS 内部発振器とは別) か、またはオプションの CLKUSR ピンのいずれかです。デフォルトでは、内部発振器は初期化用のクロック・ソースです。内部発振器を使用する場合、Cyclone II デバイスでは、適切に初期化するのに十分なクロック・サイクルが供給されます。内部発振器を使用する利点は、初期化ステージで外部ソースの追加クロック・サイクルを CLKUSR ピンに送信する必要がないことです。CLKUSR ピンはユーザ I/O ピンとしても使用できるため、ユーザ I/O ピンを追加できることを意味します。

チェーン内のデバイスの初期化を遅延させる場合、この CLKUSR ピン・オプションを使用できます。CLKUSR ピンを使用すると、デバイスがユーザ・モードに移行するタイミングを制御できます。この機能により、各デバイスの CLKUSR ピンに個別のクロックを供給することによって、各デバイスがユーザ・モードに移行するタイミングの順序を制御することもできます。CLKUSR ピンを使用すると、複数デバイス・チェーンで最初にユーザ・モードに移行するデバイスを選択し、他のデバイスを後でユーザ・モードに移行させるようにすることができます。

デバイス・ファミリーによって、必要な初期化クロック・サイクル数が異なる場合があります。したがって、複数デバイス・チェーンが異なるファミリーのデバイスで構成される場合、必要な初期化クロック・サイクル数が異なるため、デバイスがユーザ・モードに移行する時間は多少異なる可能性があります。ただし、異なるデバイス・ファミリー間で初期化クロック・サイクルの数がほぼ同じか、またはデバイスが同じファミリーのメンバの場合、これらのデバイスは同時にユーザ・モードに移行します。必要な初期化クロック・サイクル数の詳細については、それぞれのデバイス・ファミリー・ハンドブックを参照してください。

コンフィギュレーションのどこかでエラーが発生した場合、エラーを発生したFPGAはnSTATUS信号をLowにします。**Auto-restart configuration after error** オプションをオンにすると、リセット・タイムアウト期間 (最大 40  $\mu$ s) 後にチェーン全体がリコンフィギュレーションを開始します。**Auto-restart configuration after error** オプションがオフの場合は、マイクロプロセッサまたはコントローラで nSTATUS のエラーを監視し、nCONFIG で Low のパルスを発生させて、コンフィギュレーションを再開する必要があります。nCONFIG が  $V_{CC}$  に接続されてなく、システムの制御下にある場合は、マイクロプロセッサまたはコントローラでこのピンのパルスを発生させることができます。

 Cyclone II デバイスはカスケード接続できますが、シリアル・コンフィギュレーション・デバイスをカスケード接続したり、互いにチェーンすることはできません。

 オプションの CLKUSR ピンを使用し、nCONFIG を Low にしてデバイスの初期化中にコンフィギュレーションを再開する場合は、nSTATUS が Low の間 (最大 40  $\mu$ s)、CLKUSR が継続的にトグルするようにします。

コンフィギュレーション・ビットストリームのサイズがシリアル・コンフィギュレーション・デバイスの容量を超える場合、大きなコンフィギュレーション・デバイスを選択するか、圧縮機能を有効にする必要があります。複数のデバイスをコンフィギュレーションする場合、ビットストリームのサイズは個々のデバイスのコンフィギュレーション・ビットストリームの合計になります。

## 同じデザインによる複数の Cyclone II デバイスの コンフィギュレーション

デザインによっては、コンフィギュレーション・ビットストリームまたは SOF を通して、同じデザインで複数の Cyclone II デバイスをコンフィギュレーションすることが必要です。これは、このセクションで説明する 2 つの方法のいずれかを使用して行うことができます。いずれの方法でも、シリアル・コンフィギュレーション・デバイスをカスケード接続したり、互いにチェーンすることはできません。

### 複数の SOF

最初の方法では、SOF ファイルの 2 つのコピーはシリアル・コンフィギュレーション・デバイスに格納されます。最初のコピーは、Cyclone II マスタ・デバイスのコンフィギュレーションに使用し、2 番目のコピーは、残りのすべてのスレーブ・デバイスを同時にコンフィギュレーションするために使用します。このセットアップでは、Cyclone II マスタ・デバイスは AS モードであり、Cyclone II スレーブ・デバイスは PS モード (MSEL=01) になります。図 13-5 を参照してください。

同じ SOF ファイルを使用して 4 つの (同等の) Cyclone II デバイスをコンフィギュレーションするには、図 13-5 に示すように、3 つのスレーブ・デバイスを同時コンフィギュレーション用に接続します。マスタ・デバイスの nCEO ピンは、3 つのすべてのスレーブ・デバイス上の nCE 入力ピンをドライブします。コンフィギュレーション・デバイスの DATA と DCLK ピンを、Cyclone II デバイスの DATA と DCLK ピンに平行に接続します。最初のコンフィギュレーション・サイクル中、マスタ・デバイスは、nCEO を High に保持しながら、そのコンフィギュレーション・データをシリアル・コンフィギュレーション・デバイスから読み込みます。コンフィギュレーション・サイクルの完了後、マスタ・デバイスは、nCE を Low にし、コンフィギュレーション・データの 2 番目のコピーを 3 つのスレーブ・デバイスすべてに送信し、それらのデバイスを同時にコンフィギュレーションします。

図 13-5 のセットアップを使用する利点は、Cyclone II マスタ・デバイス用に異なる SOF ファイルを使用できることです。ただし、すべての Cyclone II スレーブ・デバイスは、同じ SOF ファイルを使用してコンフィギュレーションする必要があります。このコンフィギュレーション方法の SOF ファイルは、圧縮または非圧縮ファイルのいずれでもかまいません。


 マスタとスレーブの Cyclone II デバイスが同じ SOF を使用する  
場合にも、この方法を使用できます。

図 13-5. FPGA が複数の SOF を使用して同じデータを受信する場合の複数デバイスの  
AS コンフィギュレーション

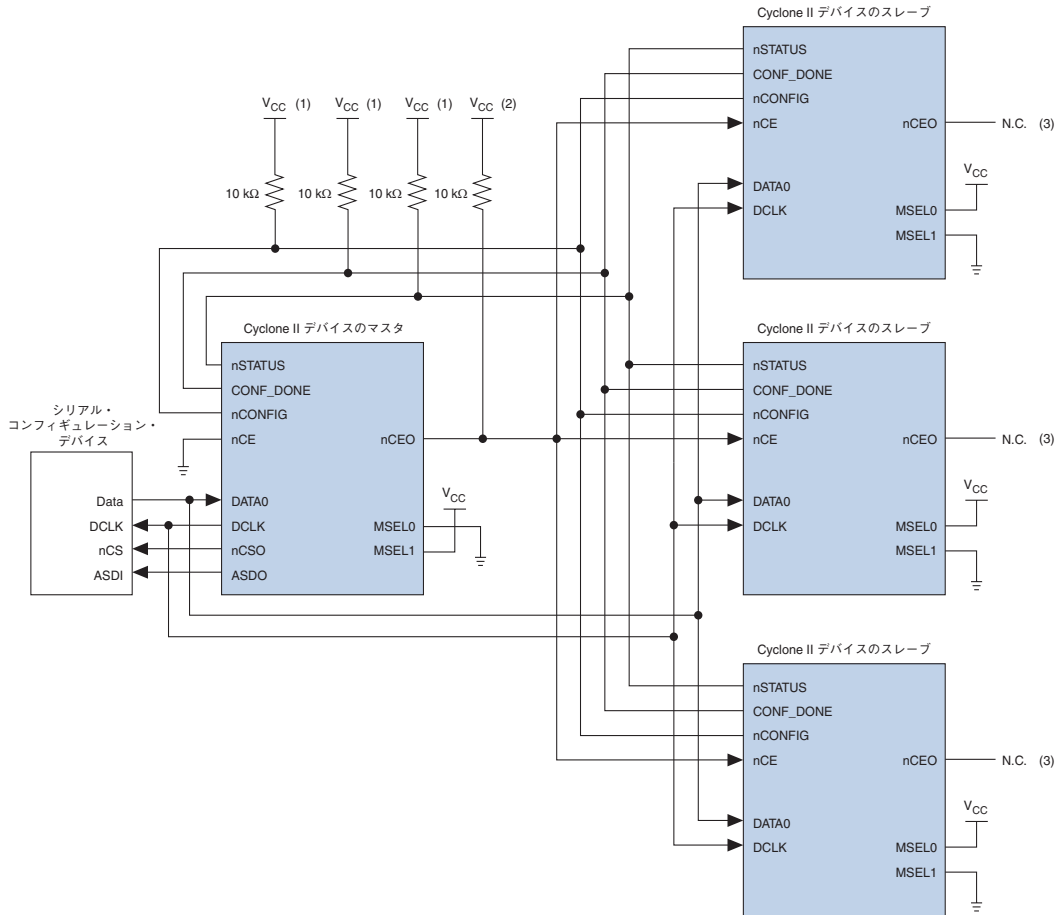


図 13-5 の注：

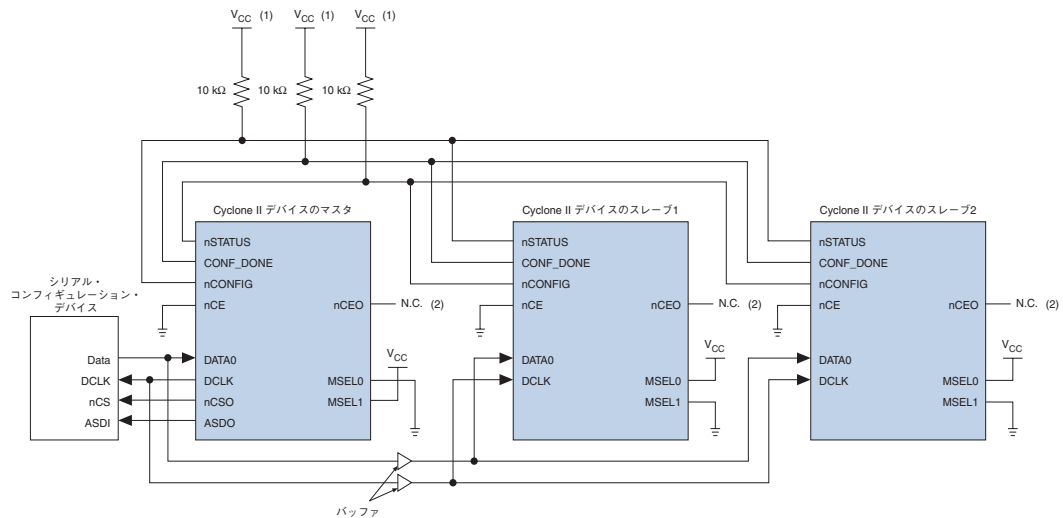
- (1) プルアップ抵抗を 3.3 V 電源に接続します。
- (2) プルアップ抵抗を nCEO ピンが存在する I/O バンクの  $V_{CCIO}$  電源電圧に接続します。
- (3) nCEO ピンは、未接続のままにするか、別のデバイスの nCE ピンに信号を供給していない場合は、ユーザ I/O ピンとして使用できます。



## 単一の SOF

2 番目の方法では、マスタとスレーブの Cyclone II デバイスを同じ SOF を使用してコンフィギュレーションします。シリアル・コンフィギュレーション・デバイスは、SOF ファイルの 1 つのコピーを格納します。図 13-6 にこのセットアップを示します。ここでは、マスタが AS モードでセットアップされ、スレーブ・デバイスは PS モード (MSEL=01) でセットアップされます。チェーン内の 1 つまたは複数のスレーブ・デバイスをセットアップでき、すべてのスレーブ・デバイスは、図 13-6 と同じ方法でセットアップされます。

図 13-6. FPGA が単一の SOF を使用して同じデータを受信する場合の複数デバイスの AS コンフィギュレーション



## 図 13-6 の注：

- (1) プルアップ抵抗を 3.3 V 電源に接続します。
- (2) nCEO ピンは、未接続のままにするか、別のデバイスの nCE ピンに信号を供給していない場合は、ユーザ I/O ピンとして使用できます。

このセットアップでは、チェーン内のすべての Cyclone II デバイスは、同時コンフィギュレーション用に接続されます。これによって、すべての Cyclone II デバイスを 1 コンフィギュレーション・サイクルでコンフィギュレーションできるので、AS コンフィギュレーション時間を短縮できます。すべての Cyclone II デバイスの nCE 入力ピンを GND に接続します。すべての Cyclone II デバイスの nCEO 出力ピンを未接続のままにするか、nCEO 出力ピンを通常のユーザ I/O ピンとして使用することもできます。DATA および DCLK ピンは、すべての Cyclone II デバイスに平行に接続されます。

信号強度とシグナル・インテグリティの問題を回避するため、バッファを Cyclone II マスタ・デバイスの DATA および DCLK 出力の前に配置する必要があります。このバッファは、DATA および DCLK との関係を大幅に変更したり、これらの信号を他の AS 信号 (ASDI と nCS) に対して遅延させないようにする必要があります。バッファはまた、Cyclone II スレーブ・デバイスのみドライブして、Cyclone II マスタ・デバイスとシリアル・コンフィギュレーション・デバイス間のタイミングに影響が出ないようにする必要があります。

このコンフィギュレーション方法は、圧縮された SOF と非圧縮の SOF の両方をサポートします。したがって、コンフィギュレーション・ビットストリームのサイズがシリアル・コンフィギュレーション・デバイスの容量を超える場合、SOF ファイルの圧縮機能を有効にするか、大きなシリアル・コンフィギュレーション・デバイスを選択することができます。

## AS コンフィギュレーション時間の見積り

AS コンフィギュレーション時間とは、シリアル・コンフィギュレーション・デバイスから Cyclone II デバイスにデータを転送するのに要する時間です。Cyclone II デバイスの DCLK 出力 (内部発振器から生成される) は、このシリアル・インタフェースにクロックを供給します。表 13-5 に示すように、40 MHz の発振器を使用する場合、DCLK の最小周波数は 20 MHz (50 ns) となります。このため、EP2C5 デバイスの最大コンフィギュレーション時間見積り (1,223,980 ビットの非圧縮データ) は以下のとおりです。

$$\text{RBF サイズ} \times (\text{最大 DCLK 期間} / 1 \text{ ビット} / \text{DCLK サイクル}) = \text{推定最大コンフィギュレーション時間}$$

$$1,223,980 \text{ ビット} \times (50 \text{ ns} / 1 \text{ ビット}) = 61.2 \text{ ms}$$

一般的なコンフィギュレーション時間を見積もるには、表 13-5 に示した一般的な DCLK 期間を使用します。38.46 ns の一般的な DCLK 期間を使用すると、一般的なコンフィギュレーション時間は 47.1 ms となります。圧縮を有効にすると、Cyclone II デバイスに送信されるコンフィギュレーション・データの量が減少し、コンフィギュレーション時間も短縮されます。圧縮により、コンフィギュレーション時間は平均 50% 短縮されます。

## シリアル・コンフィギュレーション・デバイスのプログラミング

シリアル・コンフィギュレーション・デバイスは、不揮発性のフラッシュ・メモリ・ベースのデバイスです。USB-Blaster™ または ByteBlaster™ II ダウンロード・ケーブルを使用すると、これらのデバイスをイン・システムでプログラミングできます。あるいは、アルテラ・プログラミング・ユニット (APU)、サポートされているサード・パーティ・プログラミング・ツール、または SRrunner ソフトウェア・ドライバを搭載したマイクロプロセッサを使用してもプログラミングできます。

AS プログラミング・インタフェースを使用すると、シリアル・コンフィギュレーション・デバイスをイン・システムでプログラミングできます。イン・システムでのプログラミング中、ダウンロード・ケーブルは、nCE ピンを High にして、AS インタフェースへの FPGA のアクセスを無効にします。Cyclone II デバイスは、nCONFIG 信号を Low にすることによって、リセット・ステージに保持されます。プログラミングが完了すると、ダウンロード・ケーブルは nCE 信号と nCONFIG 信号を解放するため、プルダウン抵抗とプルアップ抵抗はそれぞれ GND と V<sub>CC</sub> をドライブできるようになります。図 13-7 に、シリアル・コンフィギュレーション・デバイスへのダウンロード・ケーブル接続を示します。



USB-Blaster ダウンロード・ケーブルの詳細については、「USB-Blaster USB Port Download Cable Data Sheet」を参照してください。ByteBlaster II ケーブルの詳細については、「ByteBlaster II Download Cable Data Sheet」を参照してください。



Quartus II ソフトウェアを APU と該当するコンフィギュレーション・デバイスのプログラミング・アダプタとともに使用すれば、シリアル・コンフィギュレーション・デバイスをプログラミングできます。すべてのシリアル・コンフィギュレーション・デバイスは、8 ピンまたは 16 ピンの SOIC (スモール・アウトライン IC) パッケージで提供されており、PLMSEPC-8 アダプタを使用してプログラミングできます。

アルテラ・プログラミング・ハードウェア (APU) またはサードパーティのプログラミング・ハードウェアを使用すると、ブランクのシリアル・コンフィギュレーション・デバイスを、PCB に実装する前にプログラミングできます。あるいは、オンボードのマイクロプロセッサを使用して、アルテラが提供する C 言語ベース・ドライバ (つまり、SRRunner ソフトウェア・ドライバ) により、PCB 上のシリアル・コンフィギュレーション・デバイスをプログラムすることができます。

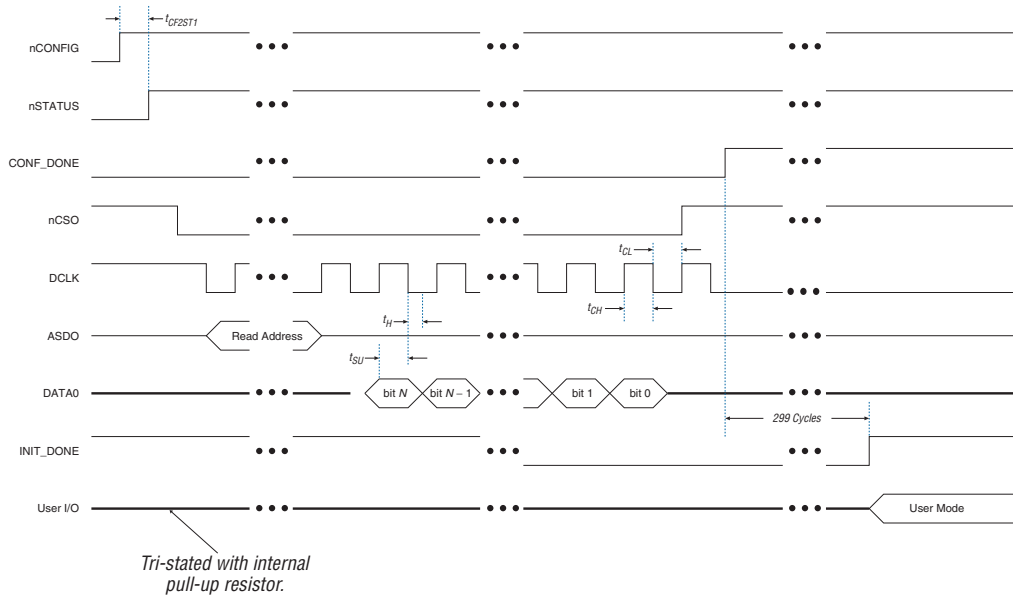
シリアル・コンフィギュレーション・デバイスは、SRRunner を使用した外部マイクロプロセッサにより、イン・システムでプログラムすることができます。SRRunner は、異なるエンベデッド・システムに適合するよう簡単にカスタマイズ可能なエンベデッド・シリアル・コンフィギュレーション・デバイス・プログラミングのために開発されたソフトウェア・ドライバです。SRRunner は、ロウ・プログラミング・データ・ファイル (.rpd) を読み込むことができ、シリアル・コンフィギュレーション・デバイスに書き込むことができます。SRRunner を使用してのシリアル・コンフィギュレーション・デバイスのプログラミング時間は、Quartus II プログラマを使用してのプログラミング時間に相当します。



SRRunner の詳細については、「SRRunner: An Embedded Solution for Serial Configuration Device Programming White Paper」、およびアルテラ Web サイト ([www.altera.com](http://www.altera.com)) のソース・コードを参照してください。シリアル・コンフィギュレーション・デバイスのプログラミングの詳細については、「Configuration Handbook」の「Serial Configuration Devices Data Sheet」の章を参照してください。

図 13-8 に、シリアル・コンフィギュレーション・デバイスを使用した AS コンフィギュレーション手法のタイミング波形を示します。

図 13-8. AS コンフィギュレーション・タイミング



## PS コンフィギュレーション

アルテラのコンフィギュレーション・デバイス、ダウンロード・ケーブル、または MAX<sup>®</sup> II デバイスやマイクロプロセッサなどのインテリジェント・ホストを使用すると、Cyclone II デバイスを PS 手法でコンフィギュレーションできます。PS 手法では、外部ホスト（コンフィギュレーション・デバイス、MAX II デバイス、エンベデッド・プロセッサ、またはホスト PC）がコンフィギュレーションを制御します。コンフィギュレーション・データは、DCLK の各立ち上がりエッジで DATA0 ピンを通してターゲット Cyclone II デバイスに入力されます。


 Cyclone II デバイスの復元機能は、PS モードで Cyclone II デバイスをコンフィギュレーションするときにフルに使用できます。

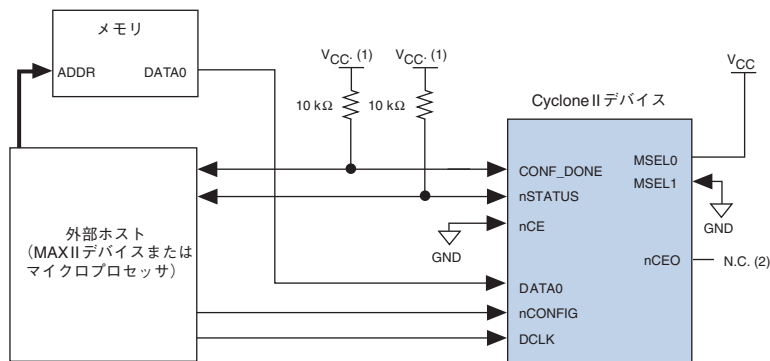
表 13-6 に、PS コンフィギュレーション手法を使用時の MSEL ピン設定を示します。

コンフィギュレーション手法	MSEL1	MSEL0
PS	0	1

## 外部ホストとしてMAX II デバイスを使用した単一デバイスの PS コンフィギュレーション

PS コンフィギュレーション手法では、フラッシュ・メモリなどのストレージ・デバイスからターゲット Cyclone II デバイスへのコンフィギュレーション・データの転送を制御するインテリジェント・ホストとして、MAX II デバイスを使用できます。コンフィギュレーション・データは、RBF、HEX、または TTF フォーマットで格納できます。図 13-9 に、単一デバイス・コンフィギュレーション用の Cyclone II デバイスと MAX II デバイス間のコンフィギュレーション・インタフェース接続を示します。

図 13-9. 外部ホストを使用した単一デバイスの PS コンフィギュレーション



### 図 13-9 の注：

- (1) プルアップ抵抗を、デバイスに受け入れ可能な入力信号を提供する電源に接続します。V<sub>CC</sub> は、デバイスおよび外部ホスト上の I/O の VIH 仕様に適合するだけ十分に高くなければなりません。
- (2) nCEO ピンは、未接続のままにするか、他のデバイスの nCE ピンに信号を供給していない場合は、ユーザ I/O ピンとして使用できます。

パワーアップ時に、Cyclone II デバイスは、約 100 ms 継続する POR の処理を実行します。POR の処理中に、デバイスはリセットされ、nSTATUS を Low に保持し、すべてのユーザ I/O ピンをトライ・ステートにします。FPGA が POR を正常に終了すると、すべてのユーザ I/O ピンはトライ・ステート状態を継続します。



コンフィギュレーションの実行前および実行中にオンになる I/O ピン上のウィーク・プルアップ抵抗の値は、「Cyclone II デバイス・ハンドブック」に記載されています。

コンフィギュレーション・サイクルは、リセット、コンフィギュレーション、初期化の 3 つのステージから構成されています。

## リセット・ステージ

Cyclone II デバイスの nCONFIG または nSTATUS ピンが Low の間、デバイスはリセット状態になっています。コンフィギュレーションを開始するには、MAX II デバイスは、Cyclone II デバイスの nCONFIG ピンを Low から High に遷移させる必要があります。



コンフィギュレーション・プロセスを開始するには、コンフィギュレーションと JTAG ピンが存在するバンクの V<sub>CCINT</sub> と V<sub>CCIO</sub> に十分な電力を供給して、適切な電圧レベルにする必要があります。

Cyclone II デバイスの nCONFIG ピンが High に遷移すると、Cyclone II デバイスはリセット状態を終了し、オープン・ドレインの nSTATUS ピンを解放します。その後、このピンは 10 k $\Omega$  の外部プルアップ抵抗によって High にプルアップされます。nSTATUS が解放されると、FPGA はコンフィギュレーション・データを受信可能な状態になり、MAX II デバイスはいつでもコンフィギュレーションを開始できます。

## コンフィギュレーション・ステージ

Cyclone II デバイスの nSTATUS ピンが High に遷移したら、MAX II デバイスは、DATA0 ピン上でコンフィギュレーション・データを一度に 1 ビットずつ送信する必要があります。RBF、HEX、または TTF フォーマットのコンフィギュレーション・データを使用している場合、最初に各データ・バイトの最下位ビット (LSB) を送信します。例えば、RBF にバイト・シーケンス 02 1B EE 01 FA が含まれている場合、最初にシリアル・ビットストリーム 0100-0000 1101-1000 0111-0111 1000-0000 0101-1111 をデバイスに送信する必要があります。

Cyclone II デバイスは、DATA0 ピン上でコンフィギュレーション・データを受信し、DCLK ピン上でクロックを受信します。データは、DCLK の立ち上がりエッジで FPGA にラッチされます。データは、CONF\_DONE ピンが High に遷移するまでターゲット・デバイスに継続的にクロックで送られます。Cyclone II デバイスはすべてのコンフィギュレーション・データを正常に受信後、オープン・ドレイン CONF\_DONE ピンを解放します。その後、このピンは 10 k $\Omega$  の外部プルアップ抵抗によって High にプルアップされます。CONF\_DONE 上の Low から High への遷移は、コンフィギュレーションが完了し、デバイスの初期化を開始できることを示します。デバイスを初期化するには、CONF\_DONE ピンは 10 k $\Omega$  の外部プルアップ抵抗が必要です。

適切にコンフィギュレーションが実行されるには、コンフィギュレーション・クロック (DCLK) の速度が、指定されたシステム周波数 (表 13-7 を参照) 以下でなければなりません。最大 DCLK 期間は存在しません。つまり、DCLK を無期限に停止すれば、コンフィギュレーションを休止させることができます。




## 初期化ステージ

Cyclone II デバイスの初期化クロック・ソースは、Cyclone II デバイスの内部発振器（通常 10 MHz）またはオプションの CLKUSR ピンのいずれかです。内部発振器が初期化用のデフォルトのクロック・ソースです。内部発振器を使用する場合、Cyclone II デバイスでは、適切に初期化するのに十分なクロック・サイクルが確実に供給されます。したがって、内部発振器が初期化クロック・ソースの場合、コンフィギュレーション・ファイル全体をデバイスに送信するだけで、デバイスをコンフィギュレーションして初期化できます。初期化ステージ中には、外部から追加クロック・サイクルを供給する必要はありません。コンフィギュレーションの完了後に DCLK を元のデバイスにドライブしても、デバイスの動作には影響しません。さらに、内部発振器をクロック・ソースとして使用する場合、CLKUSR ピンをユーザ I/O ピンとして使用できます。

デバイスの初期化を遅延させる場合、この CLKUSR ピンを使用できます。CLKUSR ピンを使用すると、デバイスがユーザ・モードに移行するタイミングを制御できます。デバイスがユーザ・モードに移行するのを無期限に遅延できます。

Quartus II ソフトウェアでは、**Device & Pin Options** ダイアログ・ボックスの **General** タブから **Enable user-supplied start-up clock (CLKUSR)** オプションをオンにできます。CLKUSR にクロックを供給しても、コンフィギュレーション・プロセスに影響はありません。コンフィギュレーション・データがすべて受け入れられ、CONF\_DONE が High になった後、Cyclone II デバイスは、適切に初期化を実行し、100 MHz の CLKUSR  $f_{MAX}$  をサポートするために、299 個のクロック・サイクルを必要とします。

 オプションの CLKUSR ピンを使用し、nCONFIG を Low にしてデバイスの初期化中にコンフィギュレーションを再開する場合は、nSTATUS が Low の間（最大 40  $\mu$ s）、CLKUSR が継続的にトグルすることを確認する必要があります。

オプションの INIT\_DONE ピンは、初期化の終了とユーザ・モードの開始を Low から High への遷移で知らせます。デフォルトでは、INIT\_DONE 出力はディセーブルされています。Quartus II ソフトウェアの **Enable INIT\_DONE output** オプションをオンにすると、INIT\_DONE 出力をイネーブルできます。INIT\_DONE ピンを使用する場合、nCONFIG が Low でかつコンフィギュレーションの開始時には、10 k $\Omega$  の外部プルアップ抵抗がピンを High にプルアップします。INIT\_DONE をイネーブルするオプションのビットをデバイスにプログラムすると（コンフィギュレーション・データの最初のフレームで）、INIT\_DONE ピンが Low に遷移します。初期化が完了すると、INIT\_DONE ピンが解放され、High にプルアップされます。MAXII デバイスは、FPGA がユーザ・モードに入ったことを知らせる、この Low から High への遷移を検出できる必要があります。

INIT\_DONE ピンをユーザ I/O ピンとして使用する場合、CONF\_DONE 信号が High に遷移した後、 $t_{CD2UM}$  の最大値 (表 13-7 を参照) の間待機して、Cyclone II デバイスが正しく初期化されてユーザ・モードになることを確認する必要があります。

コンフィギュレーション中、初期化中、およびデバイスがユーザ・モードに移行する前に、MAX II デバイスが CONF\_DONE 信号を Low にしないようにします。

### ユーザ・モード

初期化が完了すると、Cyclone II デバイスはユーザ・モードに移行します。ユーザ・モードでは、ユーザ I/O ピンにはプルアップ抵抗がなく、デザインで割り当てられたとおり機能します。

コンフィギュレーションの最後に DCLK と DATA0 が浮動状態のままにならないようにするため、MAX II デバイスでは、これらのピンを High または Low のいずれか (PCB で適切な方) にする必要があります。Cyclone II デバイスの DATA0 ピンは、コンフィギュレーション後はユーザ I/O ピンとして使用できません。

FPGA がユーザ・モードになっている場合、nCONFIG ピンを Low から High に遷移させるとリコンフィギュレーションを開始できます。nCONFIG ピンは、最低 40  $\mu$ s の間は Low でなければなりません。nCONFIG が Low に遷移すると、Cyclone II デバイスは nSTATUS と CONF\_DONE も Low にプルダウンし、すべての I/O ピンをトライ・ステートにします。nCONFIG ピンがロジック High レベルに戻り、Cyclone II デバイスが nSTATUS ピンを解放すると、MAX II デバイスはリコンフィギュレーションを開始できます。

### コンフィギュレーション中のエラー

コンフィギュレーション中にエラーが発生すると、Cyclone II デバイスは nSTATUS ピンを Low に遷移させ、内部で自身をリセットします。nSTATUS ピンの Low 信号は、MAX II デバイスにエラーがあることを知らせます。Quartus II ソフトウェアの **Auto-restart configuration after error** オプションをオンにすると、Cyclone II デバイスは、リセット・タイムアウト期間 (最大 40  $\mu$ s) 後に nSTATUS を解放します。nSTATUS が解放され、プルアップ抵抗によって High にプルアップされると、MAX II デバイスは、nCONFIG で Low のパルスを発生させずに、ターゲット・デバイスのリコンフィギュレーションを試みることができます。このオプションをオフにした場合、MAX II デバイスは、nCONFIG 上で Low から High への遷移 (Low パルスは少なくとも 40  $\mu$ s) を発生して、コンフィギュレーション・プロセスを再開する必要があります。



複数デバイスの PS コンフィギュレーションでは、最初の Cyclone II デバイスの nCEO ピンを GND に接続し、nCEO ピンをチェーンの次の Cyclone II デバイスの nCE ピンに接続します。10 k $\Omega$  の外部プルアップ抵抗を使用して、Cyclone II デバイスの nCEO ピンを V<sub>CCIO</sub> レベルに対して High にプルアップし、nCEO ピンが次の Cyclone II デバイスの nCE ピンに信号を供給するときに、内部ウィーク・プルアップ抵抗を支援します。チェーン内の最後の Cyclone II デバイスの nCE ピンへの入力、前の Cyclone II デバイスから送られます。複数デバイスのコンフィギュレーション・チェーンで最初のデバイスのコンフィギュレーションが完了したら、その nCEO ピンが Low に遷移し、2 番目のデバイスの nCE ピンをアクティブにします。これにより、2 番目のデバイスがコンフィギュレーションを開始します。チェーン内の 2 番目のデバイスは、1 クロック・サイクル以内にコンフィギュレーションを開始します。このため、MAX II デバイスは、中断なしで次の Cyclone II デバイスへのデータ転送を開始します。nCEO ピンは、Cyclone II デバイスの兼用ピンです。最後のデバイスの nCEO ピンは、未接続のままにするか、あるいはチェーン内の最後のデバイスが Cyclone II デバイスの場合は、コンフィギュレーション後にユーザ I/O ピンとして使用できます。



Quartus II ソフトウェアは、Cyclone II デバイスの nCEO ピンをデフォルトで専用出力として設定します。nCEO ピンが次のデバイスの nCE ピンに信号を供給する場合、コンフィギュレーション後にその nCEO ピンをユーザ I/O ピンとして使用しないようにする必要があります。このソフトウェア設定は、Quartus II ソフトウェアの **Device & Pin Options** ダイアログ・ボックスの **Dual-Purpose Pins** タブにあります。

他のすべてのコンフィギュレーション・ピン (nCONFIG、nSTATUS、DCLK、DATA0、および CONF\_DONE) は、チェーン内のすべての Cyclone II デバイスに接続する必要があります。シグナル・インテグリティを確保し、クロック・スキューの問題を回避するために、コンフィギュレーション信号のバッファリングが必要になる場合があります。4 つのデバイスごとに、DCLK ラインと DATA ラインをバッファリングする必要があります。すべてのデバイスの CONF\_DONE ピンは互いに接続されるため、すべてのデバイスは、同時に初期化されユーザ・モードに移行します。

すべての nSTATUS ピンと CONF\_DONE ピンは接続されているため、いずれかの Cyclone II デバイスがエラーを検出すると、チェーン全体のコンフィギュレーションが停止します。このため、チェーン全体をリコンフィギュレーションする必要があります。例えば、最初の Cyclone II デバイスがエラーを検出すると、その nSTATUS ピンを Low にして、チェーンをリセットします。この動作は、単一の Cyclone II デバイスがエラーを検出するときの動作と似ています。

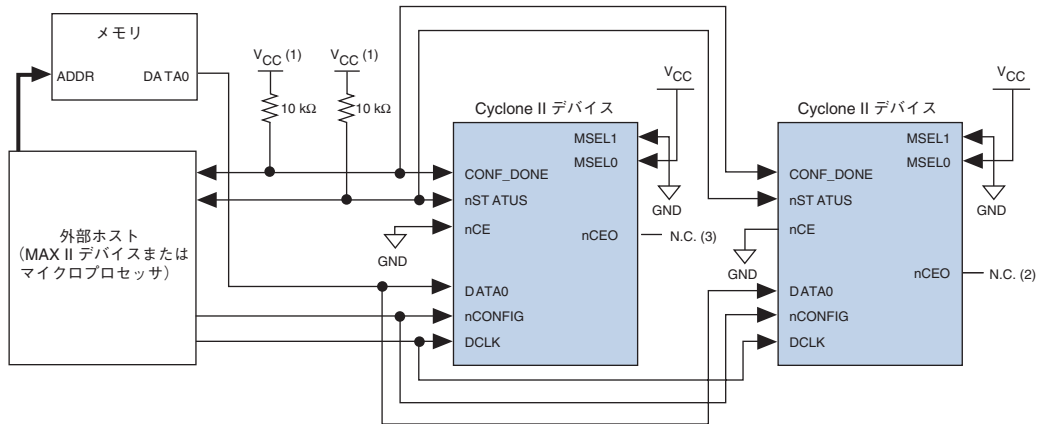
**Auto-restart configuration after error** オプションをオンにすると、Cyclone II デバイスは、リセット・タイムアウト期間（最大 40  $\mu$ s）後に nSTATUS を解放します。すべての nSTATUS ピンが解放されて High にプルアップされると、MAX II デバイスは、nCONFIG に Low パルスを発生させないで、チェーンをリコンフィギュレーションします。**Auto-restart configuration after error** オプションをオフにした場合、MAX II デバイスは、nCONFIG 上で Low から High への遷移（Low パルスは少なくとも 40  $\mu$ s）を発生して、コンフィギュレーション・プロセスを再開する必要があります。

チェーン内のデバイスの初期化を遅延させる場合、この CLKUSR ピン・オプションを使用できます。CLKUSR ピンを使用すると、デバイスがユーザ・モードに移行するタイミングを制御できます。この機能により、各デバイスの CLKUSR ピンに個別のクロックを供給することによって、各デバイスがユーザ・モードに移行するタイミングの順序を制御することもできます。CLKUSR ピンを使用すると、複数デバイス・チェーンで最初にユーザ・モードに移行するデバイスを選択し、他のデバイスを後でユーザ・モードに移行させるようにすることができます。

デバイス・ファミリによって、必要な初期化クロック・サイクル数が異なる場合があります。したがって、複数デバイス・チェーンが異なるファミリのデバイスで構成される場合、必要な初期化クロック・サイクル数が異なるため、デバイスがユーザ・モードに移行する時間は多少異なる可能性があります。ただし、異なるデバイス・ファミリ間で初期化クロック・サイクルの数がほぼ同じか、またはデバイスが同じファミリのメンバの場合、これらのデバイスは同時にユーザ・モードに移行します。必要な初期化クロック・サイクル数の詳細については、それぞれのデバイス・ファミリ・ハンドブックを参照してください。

システムに同じコンフィギュレーション・データを持つ複数の Cyclone II デバイス（集積度とパッケージが同じ）がある場合、すべてのデバイスの nCE ピンを GND に接続し、すべての Cyclone II デバイスのコンフィギュレーション・ピン（nCONFIG、nSTATUS、DCLK、DATA0、および CONF\_DONE）を互いに接続すれば、これらのデバイスを 1 コンフィギュレーション・サイクルでコンフィギュレーションできます。コンフィギュレーション後に、nCEO ピンをユーザ I/O ピンとして使用することもできます。シグナル・インテグリティを確保し、クロック・スキューの問題を回避するために、コンフィギュレーション信号のバッファリングが必要になる場合があります。4 つのデバイスごとに、DCLK ラインと DATA ラインがバッファリングされるようにします。すべてのデバイスは、同時にコンフィギュレーションを開始し、同時に完了します。図 13-11 に、2 つの Cyclone II デバイスが同じコンフィギュレーション・データを受信するときの複数デバイスの PS コンフィギュレーションを示します。

図 13-11. 2つの FPGA が同じデータを受信する場合の複数デバイスの PS コンフィギュレーション



## 図 13-11 の注：

- (1) プルアップ抵抗は、チェーン内のすべてのデバイスに受け入れ可能な入力信号を提供する電源に接続する必要があります。 $V_{CC}$ は、デバイスおよび外部ホスト上のI/Oの $V_{IH}$ 仕様に適合するだけ十分に高くなければなりません。
- (2) 2つのデバイスの nCEO ピンは、未接続のままにするか、同じコンフィギュレーション・データで複数のデバイスをコンフィギュレーションする場合は、ユーザ I/O ピンとして使用できます。

1 つのコンフィギュレーション・チェーンを使用して、Cyclone II デバイスを他のアルテラ製デバイスとともにコンフィギュレーションすることができます。すべての Cyclone II デバイスと他のすべてのアルテラ製デバイスの CONF\_DONE ピンと nSTATUS ピンを互いに接続すれば、チェーン内のすべてのデバイスが同時にコンフィギュレーションを完了するか、または 1 つのデバイスからエラーがレポートされるとすべてのデバイスでリコンフィギュレーションが開始されます。



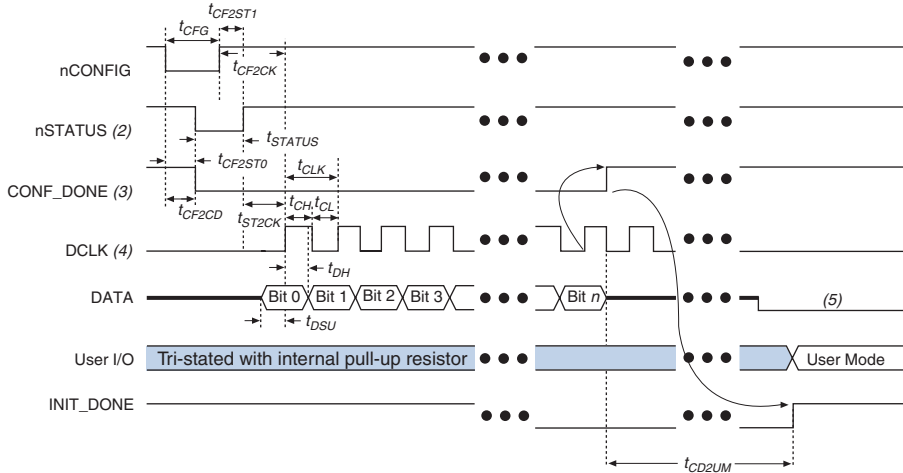
同じコンフィギュレーション・チェーン内で複数のアルテラ製デバイスをコンフィギュレーションする方法の詳細については、「Configuration Handbook」の「Configuring Mixed Altera FPGA Chains」を参照してください。

## PS コンフィギュレーション・タイミング

PS コンフィギュレーションでは、セットアップとホールド・タイミング・パラメータの要件、および最大クロック周波数の要件に適合する必要があります。マイクロプロセッサまたは別のインテリジェント・ホストを使用して PS インタフェースを制御する場合、これらのタイミング要件に確実に適合するようにします。

図 13-12 に、Cyclone II デバイスの PS コンフィギュレーション用のタイミング波形を示します。

図 13-12. PS コンフィギュレーションのタイミング波形 注 (1)



## 図 13-12 の注：

- (1) この波形の先頭は、デバイスがユーザ・モードであることを示します。ユーザ・モードでは、nCONFIG、nSTATUS、およびCONF\_DONEはロジック High レベルになります。nCONFIGがLowにプルダウンされると、リコンフィギュレーション・サイクルが開始します。
- (2) パワーアップ時には、Cyclone II デバイスは、POR 遅延の間 nSTATUS を Low に保持します。
- (3) パワーアップ時およびコンフィギュレーションの実行前と実行中、CONF\_DONE は Low になります。
- (4) ユーザ・モードでは、PS コンフィギュレーション手法の使用時には、DCLK を High または Low のいずれか適切な方にします。AS コンフィギュレーション手法の使用時には、DCLK は Cyclone II デバイスの出力ピンとなるため、外部からドライブしてはなりません。
- (5) コンフィギュレーション後に、DATA ピンを浮動状態のままにしないでください。High または Low のいずれか適切な方にします。

表 13-7 に、PS コンフィギュレーション用の Cyclone II デバイスのタイミング・パラメータを定義します。

表 13-7. Cyclone II の PS タイミング・パラメータ <span style="float: right;">注 (1)</span>				
シンボル	パラメータ	最小	最大	単位
t <sub>POR</sub>	POR 遅延		100	ms
t <sub>CF2CD</sub>	nCONFIG の Low から CONF_DONE の Low まで		800	ns
t <sub>CF2ST0</sub>	nCONFIG の Low から nSTATUS の Low まで		800	ns
t <sub>CFG</sub>	nCONFIG の Low パルス幅	40		μs
t <sub>STATUS</sub>	nSTATUS の Low パルス幅	10	40 (2)	μs
t <sub>CF2ST1</sub>	nCONFIG の High から nSTATUS の High まで		40 (2)	μs
t <sub>CF2CK</sub>	nCONFIG の High から DCLK の最初の立ち上がりエッジまで	40		μs
t <sub>ST2CK</sub>	nSTATUS の High から DCLK の最初の立ち上がりエッジまで	1		μs
t <sub>DSU</sub>	DCLK の立ち上がりエッジ前のデータ・セットアップ時間	7		ns
t <sub>DH</sub>	DCLK の立ち上がりエッジ後のデータ・ホールド・タイム	0		ns
t <sub>CH</sub>	DCLK の High 時間	4		ns
t <sub>CL</sub>	DCLK の Low 時間	4		ns
t <sub>CLK</sub>	DCLK の期間	10		ns
f <sub>MAX</sub>	DCLK の周波数		100	MHz
t <sub>CD2UM</sub>	CONF_DONE の High からユーザ・モードまで (3)	18	40	μs
t <sub>CD2CU</sub>	nCONFIG の High から CLKUSR のイネーブルまで	4 × 最大 DCLK 期間		
t <sub>CD2UMC</sub>	CONF_DONE の High から CLKUSR オプションがオンのユーザ・モードまで	t <sub>CD2CU</sub> + (299 × CLKUSR 期間)		

## 表 13-7 の注：

- (1) この情報は暫定仕様です。
- (2) この値は、ユーザが nCONFIG または nSTATUS の Low パルス幅を拡張してコンフィギュレーションを遅延させない場合にのみ適用可能です。
- (3) 最小数と最大数は、内部発振器をデバイス起動用のクロック・ソースとして選択した場合にのみ適用されます。



デバイスのコンフィギュレーション・オプションおよびコンフィギュレーション・ファイルの作成方法の詳細については、「Configuration Handbook Volume 2」の「Software Settings」を参照してください。



## マイクロプロセッサを使用したPS コンフィギュレーション

PS コンフィギュレーション手法では、マイクロプロセッサが、フラッシュ・メモリなどのストレージ・デバイスからターゲット Cyclone II デバイスへのコンフィギュレーション・データの転送を制御できます。



13-23 ページの「外部ホストとして MAX II デバイスを使用した単一デバイスの PS コンフィギュレーション」セクションのすべての情報も、マイクロプロセッサを外部ホストとして使用するときには適用可能です。すべてのコンフィギュレーション情報については、このセクションを参照してください。

MicroBlaster™ ソフトウェア・ドライバを使用すると、PS モードの ByteBlaster II または ByteBlasterMV™ ケーブルを通して、Cyclone II デバイスを含むアルテラのFPGAをコンフィギュレーションできます。MicroBlaster ソフトウェア・ドライバは、RBF プログラミング入力ファイルをサポートし、エンベデッド PS コンフィギュレーション向けに設計されています。ソース・コードは WindowsNT オペレーティング・システム向けに開発されていますが、他の OS で動作するようカスタマイズすることが可能です。



Cyclone II デバイスは圧縮されたコンフィギュレーション・データを PS コンフィギュレーション中にすぐに復元できるため、MicroBlaster ソフトウェアでは、圧縮された RBF ファイルをその入力ファイルとして受け入れることができます。




MicroBlaster ソフトウェア・ドライバの詳細については、「Configuring the MicroBlaster Passive Serial Software Driver White Paper」、およびアルテラ Web サイト ([www.altera.co.jp](http://www.altera.co.jp)) のソース・ファイルを参照してください。

Quartus II ソフトウェアの **Enable user-supplied start-up clock (CLKUSR)** オプションをオンにすると、Cyclone II デバイスは MicroBlaster が RBF ファイル内のコンフィギュレーション・データをすべて送信した後も、ユーザ・モードに移行しません。ユーザ・モードに移行するには、CLKUSR ピンに十分な初期化クロック・サイクルを供給する必要があります。

## コンフィギュレーション・デバイスを使用した単一デバイスの PS コンフィギュレーション

アルテラのコンフィギュレーション・デバイス（例えば、EPC2、EPC1、またはエンハンスド・コンフィギュレーション・デバイス）を使用すると、シリアル・コンフィギュレーション・ビットストリームを使用する Cyclone II デバイスをコンフィギュレーションできます。コンフィギュレーション・データは、コンフィギュレーション・デバイスに格納されています。図 13-13 に、Cyclone II デバイスとコンフィギュレーション・デバイス間のコンフィギュレーション・インタフェース接続を示します。

 この章の図には、コンフィギュレーション関連のピン、およびコンフィギュレーション・デバイスと FPGA 間のコンフィギュレーション・ピン接続のみを示します。

エンハンスド・コンフィギュレーション・デバイスとフラッシュ・インタフェース・ピン (PGM[2..0]、EXCLK、PORSEL、A[20..0]、DQ[15..0] など)の詳細については、「Enhanced Configuration Devices (EPC4, EPC8 & EPC16) Data Sheet」を参照してください。

図 13-13. エンハンスド・コンフィギュレーション・デバイスを使用した単一デバイスの PS コンフィギュレーション

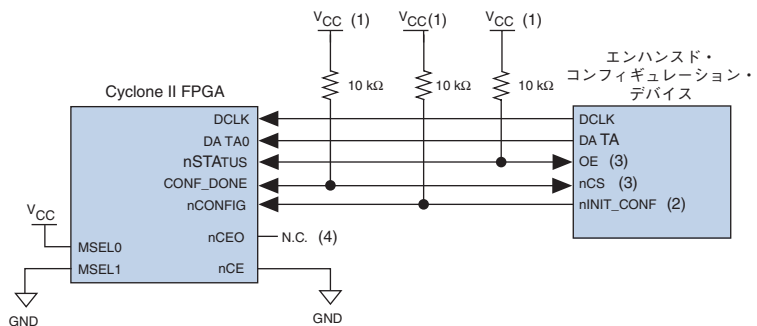


図 13-13 の注：

- (1) プルアップ抵抗は、コンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。このプルアップ抵抗は 10 kΩ です。
- (2) nINIT\_CONF ピンは、エンハンスド・コンフィギュレーション・デバイス上で使用できるピンで、常にアクティブな内部プルアップ抵抗があります。つまり、nINIT\_CONF から nCONFIG へのラインでは、外部プルアップ抵抗を使用してはなりません。nINIT\_CONF ピンは、その機能を使用しない場合、接続する必要はありません。nINIT\_CONF を使用しない場合、nCONFIG を直接または抵抗を通して V<sub>CC</sub> にプルする必要があります。
- (3) エンハンスド・コンフィギュレーション・デバイスの OE ピンと nCS ピンには、内部プログラマブル・プルアップ抵抗があります。内部プルアップ抵抗を使用する場合、これらのピンでは外部プルアップ抵抗を使用しないでください。Quartus II ソフトウェアでは、デフォルトで内部プルアップ抵抗が使用されます。内部プルアップ抵抗をオフにするには、プログラミング・ファイルの生成時に **Disable nCS and OE pull-ups on configuration device** オプションをオンにします。
- (4) nCEO ピンは、未接続のままにするか、他のデバイスの nCE ピンに信号を供給していない場合は、ユーザ I/O ピンとして使用できます。


エンハンスド・コンフィギュレーション・デバイスと EPC2 デバイス上の内部プルアップ抵抗の値については、「Enhanced Configuration Devices (EPC4, EPC8, & EPC16) Data Sheet」または「Configuration Devices for SRAM-Based LUT Devices Data Sheet」を参照してください。

エンハンスド・コンフィギュレーション・デバイスまたは EPC2 デバイスの使用時には、Cyclone II デバイスの nCONFIG ピンをコンフィギュレーション・デバイスの nINIT\_CONF ピンに接続できます。このピンでは、FPGA コンフィギュレーションを開始する INIT\_CONF JTAG 命令を実行できます。nINIT\_CONF ピンを使用しない場合、このピンを接続する必要はありません。nINIT\_CONF を使用しない場合、または使用できない場合（EPC1 デバイス上などで）は、nCONFIG 信号を直接または抵抗を通して V<sub>CC</sub> にプルします。エンハンスド・コンフィギュレーション・デバイスと EPC2 デバイスでは、nINIT\_CONF ピン上の内部プルアップ抵抗は常にアクティブになっています。このため、nCONFIG を nINIT\_CONF に接続する場合、外部プルアップ抵抗は不要です。

パワーアップ時には、Cyclone II デバイスでは POR の処理が行われます。POR の処理中、デバイスはリセットされ、nSTATUS と CONF\_DONE を Low に保持し、すべてのユーザ I/O ピンをトライ・ステートにします。POR の処理（通常 100 ms）後、Cyclone II FPGA は nSTATUS を解放し、この信号が 10 k $\Omega$  の外部抵抗によって High にプルアップされると、コンフィギュレーション・モードに移行します。FPGA が POR を正常に終了すると、すべてのユーザ I/O ピンはトライ・ステート状態を継続します。Cyclone II デバイスのユーザ I/O ピン上には、コンフィギュレーションの実行前と実行時にオンになるウィーク・プルアップ抵抗があります。


コンフィギュレーション・デバイスでは、電源を安定させるために POR 遅延の処理が行われます。EPC2 デバイスまたは EPC1 デバイスの最大 POR 時間は 200 ms です。エンハンスド・コンフィギュレーション・デバイスの POR 時間は、エンハンスド・コンフィギュレーション・デバイスの PORSEL ピン設定に応じて、100 ms または 2 ms に設定できます。PORSEL ピンが GND に接続されている場合、POR 遅延は 100 ms となり、PORSEL ピンが V<sub>CC</sub> に接続されている場合は、POR 遅延は 2 ms となります。エンハンスド・コンフィギュレーション・デバイスの POR 時間前または POR 時間中は、Cyclone II デバイスに電源を投入する必要があります。POR の処理中、コンフィギュレーション・デバイスは、OE ピンを Low に遷移させます。この Low 信号は、OE ピンがターゲット・デバイスの nSTATUS ピンに接続されているため、コンフィギュレーションを遅延させます。ターゲット・デバイスとコンフィギュレーション・デバイスが POR の処理を完了すると、両デバイスは OE ラインに nSTATUS を解放するため、プルアップ抵抗によって High にプルアップされます。

電源が適切な動作電圧に達すると、ターゲット FPGA は、nCONFIG 上で Low から High への遷移を検知し、コンフィギュレーション・サイクルを開始します。コンフィギュレーション・サイクルは、リセット、コンフィギュレーション、初期化の 3 つのステージから構成されています。

 Cyclone II デバイスには、PORSEL ピンはありません。

## リセット・ステージ

nCONFIG または nSTATUS が Low の間、デバイスはリセット状態です。nCONFIG ピンまたは nSTATUS ピンを Low に保持すると、コンフィギュレーションを遅延させることができます。

 コンフィギュレーション・プロセスを開始するには、コンフィギュレーションと JTAG ピンが存在するバンクの V<sub>CCINT</sub> と V<sub>CCIO</sub> に十分な電力を供給して、適切な電圧レベルにする必要があります。

nCONFIG 信号が High になると、デバイスはリセット状態を抜け、nSTATUS ピンを解放します。その後、このピンはプルアップ抵抗によって High にプルアップされます。エンハンスド・コンフィギュレーション・デバイスと EPC2 デバイスには、OE ピン上にオプションの内部プルアップ抵抗があります。Quartus II ソフトウェアでは、**Device & Pin Options** ダイアログ・ボックスの **General** タブからこのオプションをオンにできます。この内部プルアップ抵抗を使用しない場合は、10 kΩ の外部プルアップ抵抗を OE と nSTATUS ラインに接続する必要があります。nSTATUS が解放されると、FPGA はコンフィギュレーション・データを受信可能な状態になり、コンフィギュレーション・ステージを開始できます。

## コンフィギュレーション・ステージ

nSTATUS ピンが High に遷移すると、コンフィギュレーション・デバイスの OE ピンも High に遷移し、コンフィギュレーション・デバイスは、内部発振器を使用してクロックで FPGA にデータをシリアルに送ります。Cyclone II デバイスは、DATA0 ピン上でコンフィギュレーション・データを受信し、DCLK ピン上でクロックを受信します。データは、DCLK の立ち上がりエッジで FPGA にラッチされます。

FPGA はすべてのコンフィギュレーション・データを正常に受信後、オープン・ドレイン CONF\_DONE ピンを解放します。その後、このピンはプルアップ抵抗によって High にプルアップされます。Cyclone II デバイスの CONF\_DONE ピンはコンフィギュレーション・デバイスの nCS ピンに接続されるため、CONF\_DONE が High になると、コンフィギュレーション・デバイスはディセーブルされます。エンハンスド・コンフィギュレーション・デバイスと EPC2 デバイスには、nCS ピン上にオプションの内部プルアップ抵抗があります。Quartus II ソフトウェアでは、**Device & Pin Options** ダイアログ・ボックスの **General** タブからこのオプションをオンにできます。この内部プルアップ抵抗を使用しない場合は、10 kΩ の外部プルアップ抵抗を nCS と CONF\_DONE ラインに接続する必要があります。CONF\_DONE 上での Low から High への遷移は、コンフィギュレーションが完了し、デバイスの初期化を開始できることを示します。

## 初期化ステージ

Cyclone II デバイスのデフォルトの初期化クロック・ソースは、Cyclone II デバイスの内部発振器（通常 10 MHz）です。Cyclone II デバイスでは、オプションの CLKUSR ピンも使用できます。デザインで内部発振器を使用する場合、Cyclone II デバイスでは、適切に初期化するのに十分なクロック・サイクルが供給されます。内部発振器を使用する利点は、初期化ステージで、別のデバイスまたはソースを使用して追加クロック・サイクルを CLKUSR ピンに送信する必要がないことです。さらに CLKUSR ピンをユーザ I/O ピンとして使用できるため、追加のユーザ I/O ピンがあることとなります。

デバイスの初期化を遅延させる場合、この CLKUSR ピンを使用できます。CLKUSR ピンを使用すると、Cyclone II デバイスがユーザ・モードに移行するタイミングを制御できます。Cyclone II デバイスがユーザ・モードに移行するのを無期限に遅延できます。Quartus II ソフトウェアでは、**Device & Pin Options** ダイアログ・ボックスの **General** タブから **Enable user-supplied start-up clock (CLKUSR)** オプションをオンにできます。CLKUSR にクロックを供給しても、コンフィギュレーション・プロセスに影響はありません。コンフィギュレーション・データのすべてを受け入れられ、CONF\_DONE が High になった後、Cyclone II は、適切に初期化を実行し、100 MHz の CLKUSR  $f_{MAX}$  をサポートするために、299 個のクロック・サイクルを必要とします。

オプションの INIT\_DONE ピンが用意されており、初期化の終了とユーザ・モードの開始を Low から High への遷移で知らせます。Quartus II ソフトウェアでは、**Device & Pin Options** ダイアログ・ボックスの **General** タブから **Enable INIT\_DONE output** オプションを使用できます。INIT\_DONE ピンを使用する場合、nCONFIG が Low でかつコンフィギュレーションの開始時には、10 k $\Omega$  の外部プルアップ抵抗がピンを High にプルアップします。（コンフィギュレーション・データの最初のフレームで）INIT\_DONE をイネーブルするオプションのビットをデバイスにプログラムすると、INIT\_DONE ピンが Low になります。初期化が完了すると、INIT\_DONE ピンが解放され、High にプルアップされます。この Low から High への遷移で、FPGA がユーザ・モードに入ったことがわかります。INIT\_DONE ピンを使用しない場合、CONF\_DONE 信号が High になり 299 個のクロック・サイクルが CLKUSR ピンに送信された後、または Cyclone II デバイスが内部発振器を使用しているときは  $t_{CF2UM}$  時間（表 13-7 を参照）経過後に、初期化期間が完了します。

コンフィギュレーションが正常に終了した後、同じコンフィギュレーション・チェーンにない複数のデバイスの初期化を同期させる場合は、システムが CONF\_DONE 信号を Low にして初期化を遅延しないようにする必要があります。代わりに、オプションの CLKUSR ピンを使用して、同じコンフィギュレーション・チェーンにない複数デバイスの初期化を同期させます。同じコンフィギュレーション・チェーンにあるデバイスの CONF\_DONE ピンを互いに接続すると、それらのデバイスは一緒に初期化されます。



オプションの CLKUSR ピンを使用し、nCONFIG を Low にしてデバイスの初期化中にコンフィギュレーションを再開する場合は、nSTATUS が Low の間 (最大 40  $\mu$ s)、CLKUSR が継続的にトグルすることを確認する必要があります。

### ユーザ・モード

初期化が完了すると、FPGA はユーザ・モードに移行します。ユーザ・モードでは、ユーザ I/O ピンにはウィーク・プルアップ抵抗がなく、デザインで割り当てられたとおり機能します。エンハンスド・コンフィギュレーション・デバイスと EPC2 デバイスは、コンフィギュレーションの最後に DCLK を Low にドライブし、DATA0 を High にドライブします (EPC1 デバイスは DCLK ピンを Low にドライブし、DATA ピンをトライ・ステートにします)。

FPGA がユーザ・モードになっている場合、nCONFIG ピンを Low にするとリコンフィギュレーションを開始します。nCONFIG ピンは、40  $\mu$ s 以上の間 Low でなければなりません。nCONFIG が Low に遷移すると、Cyclone II デバイスは nSTATUS ピンと CONF\_DONE ピンも Low にプルダウンし、すべての I/O ピンをトライ・ステートにします。CONF\_DONE が Low に遷移するため、コンフィギュレーション・デバイスがアクティブになります。これは、デバイスの nCS ピンが Low に遷移するからです。nCONFIG がロジック High レベルに戻り、nSTATUS が FPGA によって解放されると、リコンフィギュレーションが開始されます。

## コンフィギュレーション中のエラー

コンフィギュレーション中にエラーが発生すると、Cyclone II デバイスは nSTATUS ピンを Low にドライブし、内部で自身をリセットします。nSTATUS ピンは OE に接続されているため、コンフィギュレーション・デバイスもリセットされます。Quartus II ソフトウェアで、**Device & Pin Options** ダイアログ・ボックスの **General** タブから **Auto-restart configuration after error** オプションをオンにすると、エラーが発生した場合に、FPGA は自動的にリコンフィギュレーションを開始します。Cyclone II デバイスは、リセット・タイムアウト期間（最大 40  $\mu$ s）後に nSTATUS ピンを解放します。nSTATUS ピンが解放され、プルアップ抵抗によって High にプルアップされると、コンフィギュレーション・デバイスはチェーンをリコンフィギュレーションします。このオプションをオフにした場合は、外部システムで nSTATUS のエラーを監視し、最低 40  $\mu$ s の間 nCONFIG で Low のパルスが発生させて、コンフィギュレーションを再開する必要があります。nCONFIG ピンが V<sub>CC</sub> に接続されておらず、システムの制御下にある場合は、外部システムでこのピンのパルスが発生させることができます。

さらに、コンフィギュレーション・デバイスがデータをすべて送信したが、CONF\_DONE ピンが High にならないことを検出した場合、デバイスは FPGA のコンフィギュレーションが正常に行われなかったものと判断します。エンハンスド・コンフィギュレーション・デバイスは、最後のコンフィギュレーション・ビットを送信後、64 DCLK サイクル待機してから、CONF\_DONE ピンを High に遷移させます。EPC2 デバイスは、16 DCLK サイクル待機します。その後、コンフィギュレーション・デバイスは OE ピンを Low にプルダウンするため、ターゲット・デバイスの nSTATUS ピンが Low になります。Quartus II ソフトウェアの **Auto-restart configuration after error** オプションをオンにすると、ターゲット・デバイスはリセットされ、リセット・タイムアウト期間（最大 40  $\mu$ s）後に nSTATUS ピンを解放します。nSTATUS が再び High に遷移したら、コンフィギュレーション・デバイスは FPGA をリコンフィギュレーションします。



コンフィギュレーション問題の詳細については、「Configuration Handbook」の「Debugging Configuration Problems」の章、およびアルテラ Web サイト ([www.altera.co.jp](http://www.altera.co.jp)) の FPGA Configuration Troubleshooter を参照してください。

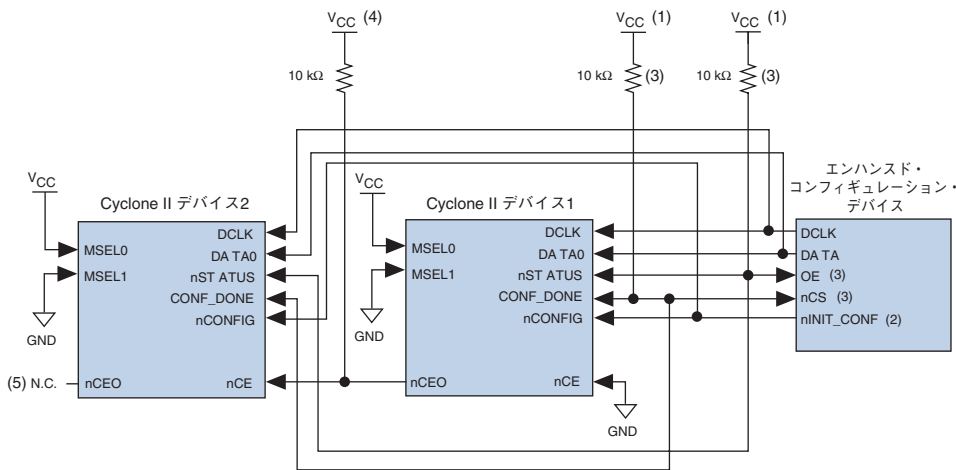


## コンフィギュレーション・デバイスを使用した複数デバイスの PS コンフィギュレーション

アルテラのエンハンスド・コンフィギュレーション・デバイス (EPC16、EPC8、および EPC4 デバイス)、または EPC2 と EPC1 コンフィギュレーション・デバイスを使用すると、PS コンフィギュレーション・チェーン内の複数の Cyclone II デバイスをコンフィギュレーションできます。

図 13-14 に、エンハンスド・コンフィギュレーション・デバイスを使用した複数デバイスのコンフィギュレーション方法を示します。この回路は、単一デバイス用のコンフィギュレーション・デバイス回路に似ています。ただし、複数デバイスのコンフィギュレーションでは、Cyclone II デバイスはカスケード接続されます。


図 13-14. エンハンスド・コンフィギュレーション・デバイスを使用した複数デバイスの PS コンフィギュレーション



### 図 13-14 の注：

- (1) プルアップ抵抗は、コンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。
- (2) nINIT\_CONF ピンは、エンハンスド・コンフィギュレーション・デバイス上で使用できるピンで、常にアクティブな内部プルアップ抵抗があります。つまり、nINIT\_CONF から nCONFIG へのラインでは、外部プルアップ抵抗を使用してはなりません。nINIT\_CONF ピンは、その機能を使用しない場合、接続する必要はありません。nINIT\_CONF を使用しない場合、nCONFIG を直接または抵抗を通して VCC にプルする必要があります。
- (3) エンハンスド・コンフィギュレーション・デバイスの OE ピンと nCS ピンには、内部プログラマブル・プルアップ抵抗があります。内部プルアップ抵抗を使用する場合、これらのピンでは外部プルアップ抵抗を使用しないでください。Quartus II ソフトウェアでは、デフォルトで内部プルアップ抵抗が使用されます。内部プルアップ抵抗をオフにするには、プログラミング・ファイルの生成時に **Disable nCS and OE pull-ups on configuration device** オプションをオンにします。
- (4) プルアップ抵抗を nCEO ピンが存在する I/O バンクの V<sub>CCIO</sub> 電源電圧に接続します。
- (5) nCEO ピンは、未接続のままにするか、他のデバイスの nCE ピンに信号を供給していない場合は、ユーザ I/O ピンとして使用できます。




 エンハンスド・コンフィギュレーション・デバイス (EPC16、EPC8、および EPC4 デバイス) はカスケード接続できません。

複数のデバイスをコンフィギュレーションする場合、各プロジェクトの SOF からコンフィギュレーション・デバイスの POF を生成する必要があります。Quartus II ソフトウェアの **Convert Programming Files** ウィンドウを使用すると、複数の SOF を組み合わせることができます。



複数デバイスのコンフィギュレーション・チェーン用のコンフィギュレーション・ファイルの作成方法の詳細については、「**Configuration Handbook Volume 2**」の「**Software Settings**」のセクションを参照してください。

PS 手法を使用した複数デバイスのコンフィギュレーションでは、最初の Cyclone II デバイスの nCE ピンを GND に接続し、nCEO ピンをチェーン内の Cyclone II デバイスの nCE ピンに接続します。nCEO ピンが次の Cyclone II デバイスの nCE ピンに信号を供給するときには、10 k $\Omega$  の外部プルアップ抵抗を使用して、デバイスの nCEO ピンを V<sub>CCIO</sub> レベルにプルします。チェーン内の最初のデバイスのコンフィギュレーションが完了したら、その nCEO ピンが Low に遷移し、2 番目のデバイスの nCE ピンをアクティブにします。これにより、2 番目のデバイスはコンフィギュレーションを開始します。最後のデバイスの nCEO ピンは、未接続のままにするか、コンフィギュレーション後にユーザ I/O ピンとして使用できます。nCEO ピンは、Cyclone II デバイスの兼用ピンです。

 Quartus II ソフトウェアは、Cyclone II デバイスの nCEO ピンを出力ピンとして設定し、デフォルトで GND にドライブします。デバイスがチェーン内にあり、nCEO ピンが次のデバイスの nCE ピンに接続されている場合は、コンフィギュレーション後にその nCEO ピンをユーザ I/O ピンとして使用しないようにする必要があります。このソフトウェア設定は、Quartus II ソフトウェアの **Device & Pin Options** ダイアログ・ボックスの **Dual-Purpose Pins** タブにあります。

他のすべてのコンフィギュレーション・ピン (nCONFIG、nSTATUS、DCLK、DATA0、および CONF\_DONE) は、チェーン内のすべての Cyclone II デバイスに接続します。シグナル・インテグリティを確保し、クロック・スキューの問題を回避するために、コンフィギュレーション信号のバッファリングが必要になる場合があります。4 つのデバイスごとに、DCLK ラインと DATA ラインをバッファリングします。

複数デバイスのコンフィギュレーションでは、すべてのデバイスが OE ピンまたは nSTATUS ピンを解放するまで、コンフィギュレーションは開始しません。同様に、すべてのデバイスの CONF\_DONE ピンは互いに接続されるため、すべてのデバイスは、同時に初期化されユーザ・モードに移行します。

CONF\_DONE を Low にして初期化を遅延させないようにする必要があります。代わりに、Quartus II ソフトウェアの **User-Supplied Start-Up Clock** オプションを使用して、同じコンフィギュレーション・チェーンにない複数デバイスの初期化を同期させます。同じコンフィギュレーション・チェーンにあるデバイスの CONF\_DONE ピンは互いに接続されているため、それらのデバイスは一緒に初期化されます。

すべての nSTATUS ピンと CONF\_DONE ピンは接続されているため、いずれかのデバイスがエラーを検出すると、チェーン全体のコンフィギュレーションが停止するため、チェーン全体をリコンフィギュレーションする必要があります。例えば、最初の Cyclone II デバイスのコンフィギュレーション時にエラーが検出されると、デバイスはその nSTATUS ピンを Low にして、チェーンをリセットします。この Low 信号で、エンハンスト・コンフィギュレーション・デバイスの OE ピンとすべての FPGA の nSTATUS が Low になり、デバイスはリセット状態に移行します。

**Auto-restart configuration after error** オプションをオンにすると、エラーが発生した場合、デバイスは自動的にリコンフィギュレーションを開始します。FPGA は、リセット・タイムアウト期間（最大 40  $\mu$ s）後に nSTATUS ピンを解放します。すべての nSTATUS ピンが解放され High にプルアップされると、コンフィギュレーション・デバイスは、チェーンをリコンフィギュレーションします。**Auto-restart configuration after error** オプションがオフの場合は、マイクロプロセッサまたはコントローラで nSTATUS ピンのエラーを監視し、40  $\mu$ s 以上の間 nCONFIG で Low のパルスを発生させて、コンフィギュレーションを再開する必要があります。nCONFIG ピンがシステムの制御下にあり、V<sub>CC</sub> に接続されていない場合は、マイクロプロセッサまたはコントローラは、このピンを Low に遷移させることしかできません。

エンハンスド・コンフィギュレーション・デバイスは、最大8つのデバイスのパラレル・コンフィギュレーションをサポートします。 $n$  ビット ( $n = 1, 2, 4, \text{または } 8$ ) の PS コンフィギュレーション・モードでは、エンハンスド・コンフィギュレーション・デバイスは、FPGA のチェーンを同時にコンフィギュレーションできます。これらのデバイスは同じデバイス・ファミリーや集積度である必要はありません。異なるデザインのアルテラ FPGA デバイスを任意に組み合わせることができます。各ターゲット FPGA に対しては、個々のエンハンスド・コンフィギュレーション・デバイスの DATA ピンを使用できます。また、各 DATA ラインは、FPGA のチェーンに信号を供給することもできます。図 13-15 に、エンハンスド・コンフィギュレーション・デバイスを使用した複数デバイスの同時コンフィギュレーション方法を示します。

図 13-15. エンハンスド・コンフィギュレーション・デバイスを使用した複数デバイスの同時 PS コンフィギュレーション

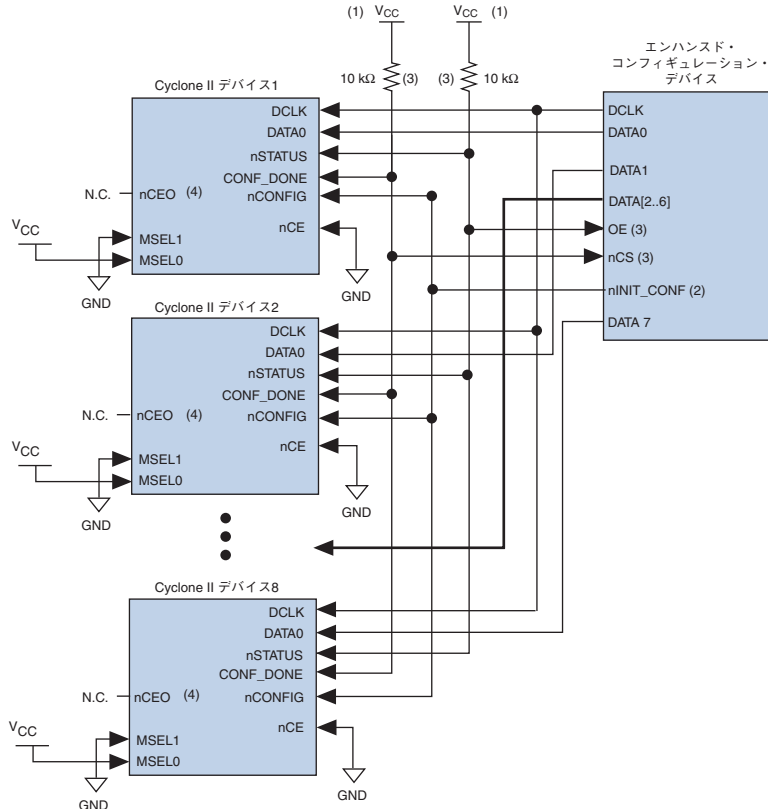


図 13-15 の注：

- (1) プルアップ抵抗は、コンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。

- (2) nINIT\_CONF ピンは、エンハンスド・コンフィギュレーション・デバイス上で使用できるピンで、常にアクティブな内部プルアップ抵抗があります。つまり、nINIT\_CONF から nCONFIG へのラインでは、外部プルアップ抵抗を使用してはなりません。nINIT\_CONF ピンは、その機能を使用しない場合、接続する必要はありません。nINIT\_CONF を使用しない場合、nCONFIG を直接または抵抗を通して V<sub>CC</sub> にプルする必要があります。
- (3) エンハンスド・コンフィギュレーション・デバイスの OE ピンと nCS ピンには、内部プログラマブル・プルアップ抵抗があります。内部プルアップ抵抗を使用する場合、これらのピンでは外部プルアップ抵抗を使用しないでください。Quartus II ソフトウェアでは、デフォルトで内部プルアップ抵抗が使用されます。内部プルアップ抵抗をオフにするには、プログラミング・ファイルの生成時に **Disable nCS and OE pull-ups on configuration device** オプションをオンにします。
- (4) nCEO ピンは、未接続のままにするか、他のデバイスの nCE ピンに信号を供給していない場合は、ユーザ I/O ピンとして使用できます。

Quartus II ソフトウェアでは、 $n$  を 1、2、4、または 8 にのみ設定できます。ただし、これらのモードを使用すると、1 ~ 8 の任意の数のデバイスをコンフィギュレーションできます。例えば、3 つの FPGA をコンフィギュレーションする場合、4 ビットの PS モードを使用します。DATA0、DATA1、および DATA2 ラインの場合、対応する SOF データをコンフィギュレーション・デバイスから FPGA に送信します。DATA3 ラインは、Quartus II ソフトウェアで対応するビット 3 のラインをブランクのままにしておくことができます。プリント基板 (PCB) 上では、エンハンスド・コンフィギュレーション・デバイスからの DATA3 ラインを未接続のままにします。この手法では、Quartus II の (Tools メニューから) **Convert Programming Files** ウィンドウの設定を使用します。

また、2 つの FPGA をコンフィギュレーション・デバイスの 1 つの DATA ピンに接続し、他の DATA ピンでデバイスを 1 つずつドライブできます。例えば、2 ビットの PS モードを使用すると、DATA ビット 0 で 2 つの FPGA (2 つの EP2C5 デバイス) を、DATA ビット 1 で 3 つ目のデバイス (1 つの EP2C8 デバイス) をドライブできます。この例では、DATA ビット 0 に必要なメモリ領域は、2 つの EP2C5 デバイスの SOF ファイル・サイズの合計になります。

$$1,223,980 \text{ ビット} + 1,223,980 \text{ ビット} = 2,447,960 \text{ ビット}$$

DATA ビット 1 に必要なメモリ領域は、1 つの EP2C8 デバイスの SOF ファイル・サイズ (1,983,792 ビット) になります。DATA ビット 0 に必要なメモリ領域は DATA ビット 1 に必要なメモリ領域より大きいので、POF ファイルのサイズは  $2 \times 2,447,960 = 4,895,920$  となります。



エンハンスド・コンフィギュレーション・デバイスで  $n$  ビットの PS モードを使用する方法の詳細については、「Configuration Handbook」の「Using Altera Enhanced Configuration Devices」を参照してください。

$n$ ビットのPSモードを使用してSRAMベースのデバイスをコンフィギュレーションする場合は、表 13-8 で、コンフィギュレーション時間が最速になるように適切なコンフィギュレーション・モードを選択します。

表 13-8. $n$ ビットの PS モードを使用した 推奨コンフィギュレーション	
デバイス数 (1)	推奨コンフィギュレーション・ モード
1	1 ビット PS
2	2 ビット PS
3	4 ビット PS
4	4 ビット PS
5	8 ビット PS
6	8 ビット PS
7	8 ビット PS
8	8 ビット PS

**表 13-8 の注：**

- (1) 各 DATA ラインで、デバイスのデジター・チェーンでなく、1つのデバイスのみコンフィギュレーションするものとします。

デザインに同じコンフィギュレーション・データを持つ複数の（集積度とパッケージが同じ）Cyclone II デバイスがある場合、nCE 入力を GND に接続し、nCEO ピンは浮動状態のままにします。nCEO ピンをユーザ I/O ピンとして使用することもできます。コンフィギュレーション・デバイスの nCONFIG、nSTATUS、DCLK、DATA0、および CONF\_DONE ピンは、チェーン内の各 Cyclone II デバイスに接続します。シグナル・インテグリティを確保し、クロック・スキューの問題を回避するために、コンフィギュレーション信号のバッファリングが必要になる場合があります。4つのデバイスごとに、DCLK ラインと DATA ラインがバッファリングされるようにします。すべてのデバイスは、同時にコンフィギュレーションを開始し、同時に完了します。図 13-16 に、Cyclone II デバイスが同じコンフィギュレーション・データを受信するときの複数デバイスの PS コンフィギュレーションを示します。

図 13-16. FPGA が同じデータを受信する場合のエンハンスド・コンフィギュレーション・デバイスを使用した複数デバイスの PS コンフィギュレーション

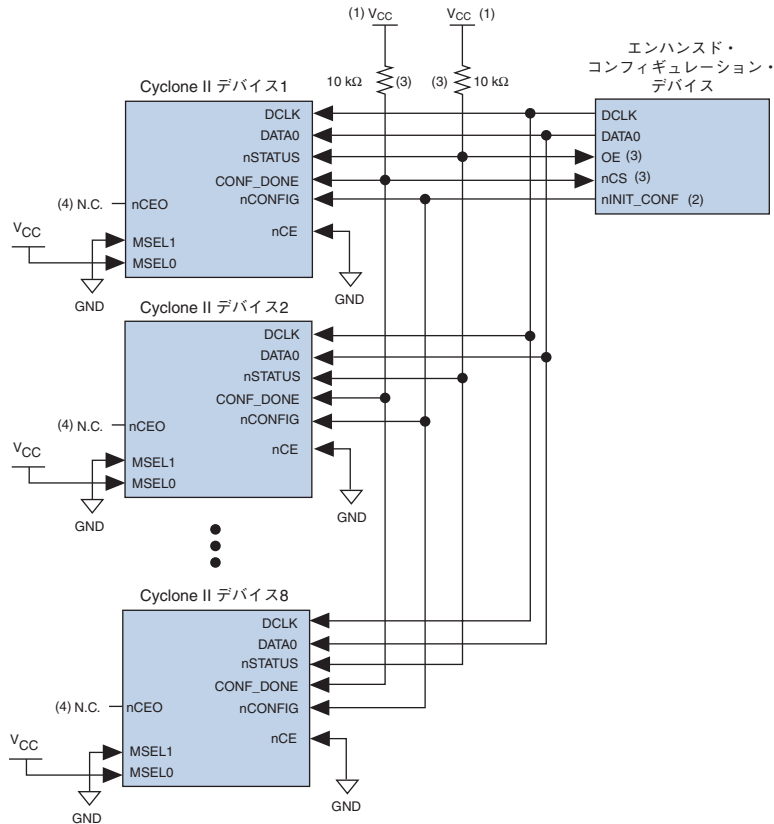



図 13-16 の注：

- (1) プルアップ抵抗は、コンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。
- (2) nINIT\_CONF ピンは、エンハンスド・コンフィギュレーション・デバイス上で使用できるピンで、常にアクティブな内部プルアップ抵抗があります。つまり、nINIT\_CONF から nCONFIG へのラインでは、外部プルアップ抵抗を使用してはなりません。nINIT\_CONF ピンは、その機能を使用しない場合、接続する必要はありません。nINIT\_CONF を使用しない場合、nCONFIG を直接または抵抗を通して VCC にプルする必要があります。
- (3) エンハンスド・コンフィギュレーション・デバイスの OE ピンと nCS ピンには、内部プログラマブル・プルアップ抵抗があります。内部プルアップ抵抗を使用する場合、これらのピンでは外部プルアップ抵抗を使用しないでください。Quartus II ソフトウェアでは、デフォルトで内部プルアップ抵抗が使用されます。内部プルアップ抵抗をオフにするには、プログラミング・ファイルの生成時に **Disable nCS and OE pull-ups on configuration device** オプションをオンにします。
- (4) nCEO ピンは、未接続のままにするか、他のデバイスの nCE ピンに信号を供給していない場合は、ユーザ I/O ピンとして使用できます。

複数の EPC2 または EPC1 デバイスをカスケード接続すると、複数の Cyclone II デバイスをコンフィギュレーションできます。チェーン内の最初のコンフィギュレーション・デバイスは、マスタ・コンフィギュレーション・デバイスであり、後続のデバイスはスレーブ・デバイスとなります。マスタ・コンフィギュレーション・デバイスは、DCLK を Cyclone II デバイスとスレーブ・コンフィギュレーション・デバイスに送信します。最初のコンフィギュレーション・デバイスの nCS ピンをすべての Cyclone II デバイスの CONF\_DONE ピンに接続し、nCASC ピンをチェーン内の次のコンフィギュレーション・デバイスの nCS ピンに接続します。最後のコンフィギュレーション・デバイスの nCASC ピンは、浮動状態のままにします。マスタ・コンフィギュレーション・デバイスがすべてのデータを Cyclone II デバイスに送信するとき、コンフィギュレーション・デバイスは nCASC ピンを Low に遷移させます。この遷移により、次のコンフィギュレーション・デバイスの nCS がドライブされます。コンフィギュレーション・デバイスは、後続のコンフィギュレーション・デバイスをアクティブにするのに 1 クロック・サイクル未満しか必要としないので、データ・ストリームは中断されません。

 エンハンスド・コンフィギュレーション・デバイス (EPC16、EPC8、および EPC4 デバイス) はカスケード接続できません。

すべての nSTATUS ピンと CONF\_DONE ピンは接続されているため、いずれかのデバイスがエラーを検出すると、マスタ・コンフィギュレーション・デバイスは、チェーン全体のコンフィギュレーションを停止します。したがって、チェーン全体をリコンフィギュレーションしなければなりません。例えば、コンフィギュレーションの最後に、マスタ・コンフィギュレーション・デバイスが Cyclone II デバイスの CONF\_DONE ピンが High に遷移するのを検出できない場合、OE ピンを Low に遷移させてチェーン全体をリセットします。この Low 信号で、スレーブ・コンフィギュレーション・デバイスの OE ピンとすべての Cyclone II デバイスの nSTATUS が Low になり、デバイスはリセット状態に移行します。この動作は、FPGA がコンフィギュレーション・データでエラーを検出するときの動作に似ています。

図 13-17 に、カスケード接続された EPC2 または EPC1 デバイスを使用した複数デバイスのコンフィギュレーション方法を示します。

図 13-17. カスケード接続された EPC2 または EPC1 デバイスを使用した複数デバイスの PS コンフィギュレーション

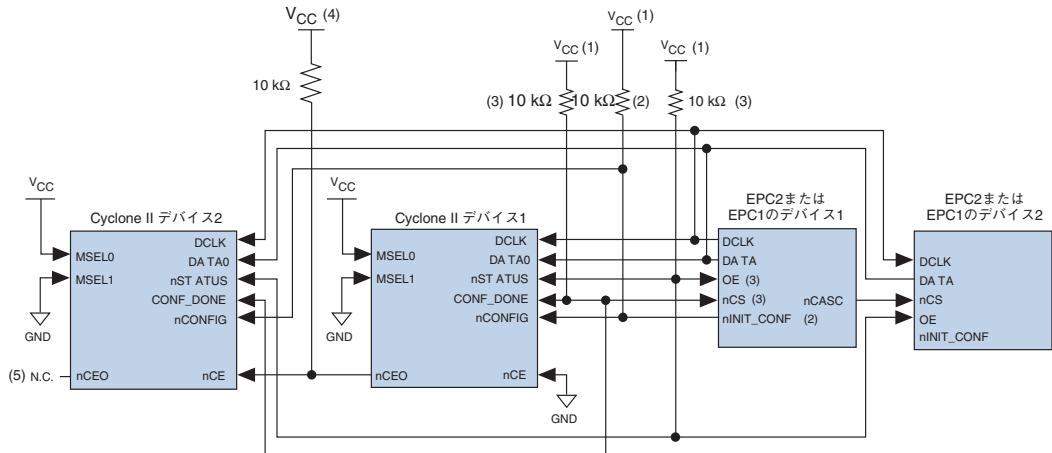


図 13-17 の注：

- (1) プルアップ抵抗は、コンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。
- (2) nINIT\_CONF ピン（エンハンスド・コンフィギュレーション・デバイスと EPC2 デバイス上でのみ使用可能）には、常にアクティブな内部プルアップ抵抗があります。つまり、nINIT\_CONF から nCONFIG へのラインでは、外部プルアップ抵抗を使用してはなりません。nINIT\_CONF ピンは、その機能を使用しない場合、接続する必要はありません。nINIT\_CONF を使用しない場合、または使用できない場合（EPC1 デバイス上などで）は、nCONFIG を直接または抵抗を通して VCC にプルする必要があります。
- (3) エンハンスド・コンフィギュレーション・デバイスと EPC2 デバイスの OE ピンと nCS ピンには、内部プログラマブル・プルアップ抵抗があります。内部プルアップ抵抗を使用する場合、これらのピンでは外部プルアップ抵抗を使用しないでください。Quartus II ソフトウェアでは、デフォルトで内部プルアップ抵抗が使用されます。内部プルアップ抵抗をオフにするには、プログラミング・ファイルの生成時に **Disable nCS and OE pull-ups on configuration device** オプションをオンにします。
- (4) 10 kΩ の外部プルアップ抵抗を使用して、nCEO ピンを I/O バンクの V<sub>CCIO</sub> レベルに対して High にプルアップし、このピンが次のデバイスの nCE ピンに信号を供給するときに、内部ウィーク・プルアップ抵抗を支援するようにします。
- (5) nCEO ピンは、未接続のままにするか、他のデバイスの nCE ピンに信号を供給していない場合は、ユーザ I/O ピンとして使用できます。



エンハンスド・コンフィギュレーション・デバイスまたは EPC2 デバイスの使用時には、Cyclone II デバイスの nCONFIG ピンをコンフィギュレーション・デバイスの nINIT\_CONF ピンに接続できます。このピンでは、FPGA コンフィギュレーションを開始する INIT\_CONF JTAG 命令を実行できます。nINIT\_CONF ピンを使用しない場合、このピンを接続する必要はありません。nINIT\_CONF ピンを使用しない場合、または使用できない場合 (EPC1 デバイス上などで) は、nCONFIG ピンを直接または抵抗を通して V<sub>CC</sub> レベルにプルします。エンハンスド・コンフィギュレーション・デバイスと EPC2 デバイスでは、nINIT\_CONF ピン上の内部プルアップ抵抗は常にアクティブになっています。このため、nCONFIG ピンを nINIT\_CONF に接続する場合、外部プルアップ抵抗を使用しないでください。複数の EPC2 デバイスを使用して Cyclone II デバイスをコンフィギュレーションする場合は、最初の EPC2 デバイスの nINIT\_CONF ピンのみをデバイスの nCONFIG ピンに接続します。

1 つのコンフィギュレーション・チェーンを使用して、Cyclone II デバイスを他のアルテラ製デバイスとともにコンフィギュレーションすることができます。チェーン内のすべてのデバイスが同時にコンフィギュレーションを完了するか、または 1 つのデバイスからレポートされたエラーによってすべてのデバイスのリコンフィギュレーションが開始されるようにするには、すべての Cyclone II デバイスの CONF\_DONE ピンとすべての Cyclone II デバイスの nSTATUS ピンを互いに接続します。



同じコンフィギュレーション・チェーン内で複数のアルテラ製デバイスをコンフィギュレーションする方法の詳細については、「[Configuration Handbook](#)」の「[Configuring Mixed Altera FPGA Chains](#)」の章を参照してください。

PS コンフィギュレーション中、デザインでは、セットアップとホールド・タイミング・パラメータの要件、および最大 DCLK 周波数の要件に適合する必要があります。エンハンスド・コンフィギュレーション・デバイスと EPC2 デバイスは、これらのインタフェース・タイミング仕様に適合するように設計されています。

図 13-18 に、コンフィギュレーション・デバイスを使用した PS コンフィギュレーション手法のタイミング波形を示します。

図 13-18. コンフィギュレーション・デバイスのタイミング波形を使用した Cyclone II デバイスの PS コンフィギュレーション

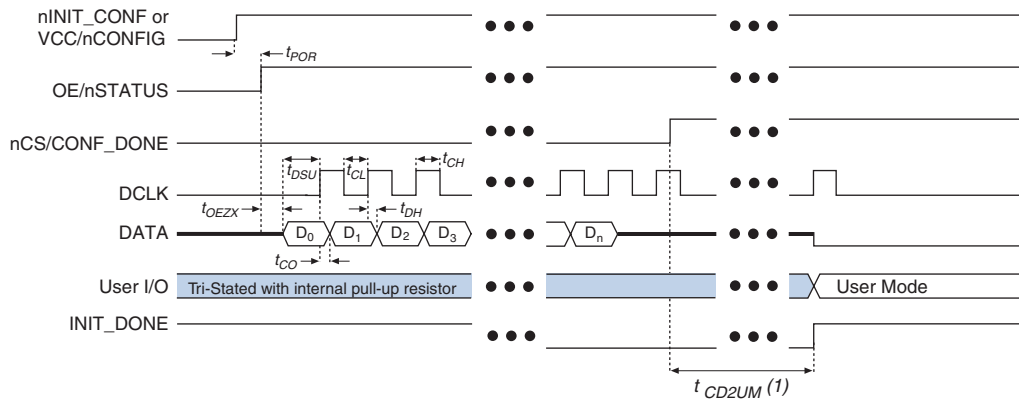


図 13-18 の注：

- (1) Cyclone II デバイスは、CONF\_DONE が High になった後、299 個のクロック・サイクルでユーザー・モードに移行します。初期化クロックは、Cyclone II デバイスの内部発振器または CLKUSR ピンから供給できます。



タイミングについては、「Configuration Handbook」の「Enhanced Configuration Devices (EPC4, EPC8, and EPC16) Data Sheet」、または「Configuration Devices for SRAM-Based LUT Devices Data Sheet」を参照してください。



デバイスのコンフィギュレーション・オプションおよびコンフィギュレーション・ファイルの作成方法の詳細については、「Configuration Handbook Volume 2」の「Software Settings」を参照してください。

### ダウンロード・ケーブルを使用したPSコンフィギュレーション

PS コンフィギュレーションでは、インテリジェント・ホスト (PC など) は、ダウンロード・ケーブルを使用して、データをストレージ・デバイスから Cyclone II デバイスに転送できます。ダウンロード・ケーブルとしては、アルテラの USB-Blaster ユニバーサル・シリアル・バス (USB) ポート・ダウンロード・ケーブル、MasterBlaster™ シリアル /USB 通信ケーブル、ByteBlaster II パラレル・ポート・ダウンロード・ケーブル、または ByteBlasterMV パラレル・ポート・ダウンロード・ケーブルを使用できます。

パワーアップ時には、Cyclone II デバイスでは、約 100 ms 続く POR の処理が行われます。POR の処理中、デバイスはリセットされ、nSTATUS を Low に保持し、すべてのユーザ I/O ピンをトライ・ステートにします。FPGA が POR を正常に終了すると、nSTATUS ピンが解放され、すべてのユーザ I/O ピンはトライ・ステート状態を継続します。



コンフィギュレーションの実行前および実行中にオンになる I/O ピン上のウィーク・プルアップ抵抗の値は、「Cyclone II デバイス・ハンドブック」を参照してください。

コンフィギュレーション・サイクルは、リセット、コンフィギュレーション、初期化の 3 つのステージから構成されています。nCONFIG ピンまたは nSTATUS ピンが Low の場合、デバイスはリセット状態です。この手法でコンフィギュレーションを開始するために、ダウンロード・ケーブルは、nCONFIG ピン上で Low から High への遷移を発生します。



コンフィギュレーション・プロセスを開始するには、コンフィギュレーションと JTAG ピンが存在するバンクの  $V_{CCINT}$  と  $V_{CCIO}$  に給電され、適切な電圧レベルになっていることを確認します。

nCONFIG が High に遷移すると、Cyclone II デバイスはリセット状態を抜け、コンフィギュレーションを開始します。Cyclone II デバイスは、オープン・ドレイン nSTATUS ピンを解放します。その後、このピンは 10 k $\Omega$  の外部抵抗によって High にプルアップされます。nSTATUS が High に遷移すると、Cyclone II デバイスはコンフィギュレーション・データを受信可能な状態になります。その後、プログラミング・ハードウェアまたはダウンロード・ケーブルが、コンフィギュレーション・データを一度に 1 ビットずつデバイスの DATA0 ピンに送信します。コンフィギュレーション・データは、CONF\_DONE が High になるまでクロックでターゲット・デバイスに送られます。デバイスを初期化するには、CONF\_DONE ピンは 10 k $\Omega$  の外部プルアップ抵抗が必要です。

ダウンロード・ケーブルの使用時には、**Auto-restart configuration after error** オプションは使用できません。エラーが発生した場合は、Quartus II ソフトウェアで手動によりコンフィギュレーションを再開する必要があります。また、Quartus II プログラマおよびダウンロード・ケーブルを使用して FPGA をプログラムする場合、**Enable user-supplied start-up clock (CLKUSR)** オプションは使用できません。このオプションは SOF ではデイスレーブルされます。このため、CLKUSR オプションをオンにすると、Quartus II プログラマおよびダウンロード・ケーブルを使用して FPGA をコンフィギュレーションする場合、CLKUSR にクロックを供給する必要はありません。図 13-19 に、USB Blaster、MasterBlaster、ByteBlaster II または ByteBlasterMV ケーブルを使用した Cyclone II デバイスの PS コンフィギュレーションを示します。

図 13-19. USB-Blaster、MasterBlaster、ByteBlaster II または ByteBlasterMV ケーブルを使用した PS コンフィギュレーション

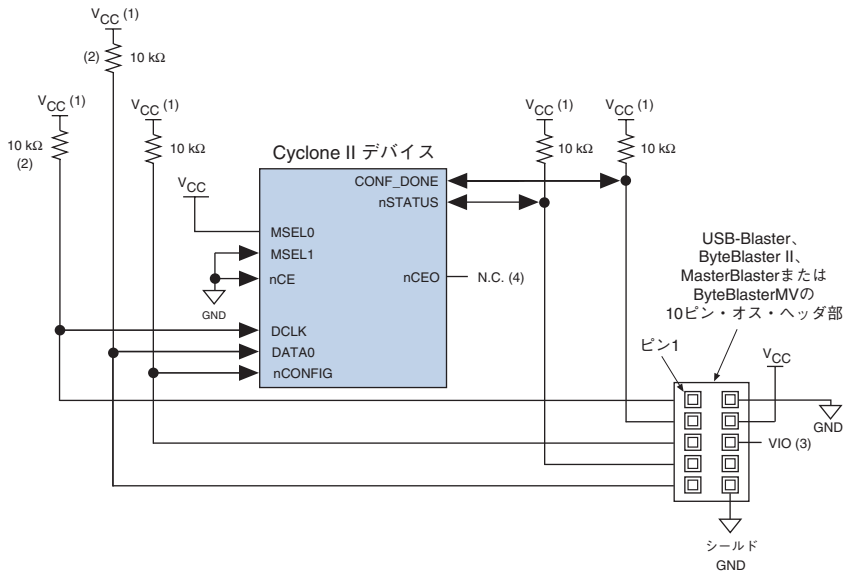


図 13-19 の注：

- (1) プルアップ抵抗は、USB-Blaster、MasterBlaster (VIO ピン)、ByteBlaster II または ByteBlasterMV ケーブルと同じ電源電圧に接続する必要があります。
- (2) DATA0 と DCLK 上のプルアップ抵抗は、ダウンロード・ケーブルがボード上の唯一のコンフィギュレーション手法の場合にのみ必要です。これは、コンフィギュレーション後に DATA0 と DCLK を浮動状態のままにしないためです。例えば、コンフィギュレーション・デバイスも使用している場合、DATA0 と DCLK 上のプルアップ抵抗は不要になります。
- (3) ヘッダ部のピン 6 は、MasterBlaster 出力ドライバ用の V<sub>IO</sub> リファレンス電圧です。V<sub>IO</sub> は、デバイスの V<sub>CCIO</sub> と一致する必要があります。この値については、「MasterBlaster Serial/USB Communications Cable Data Sheet」を参照してください。ByteBlasterMV では、このピンは接続不要です。USB-Blaster と ByteBlaster II では、AS プログラミングに使用する場合は、nCE に接続し、それ以外の場合は接続不要です。
- (4) nCEO ピンは、未接続のままにするか、他のデバイスの nCE ピンに信号を供給していない場合は、ユーザ I/O ピンとして使用できます。

ダウンロード・ケーブルを使用すると、各デバイスの nCEO ピンを後続のデバイスの nCE ピンに接続することで、複数の Cyclone II デバイスをコンフィギュレーションできます。最初の Cyclone II デバイスの nCE ピンを GND に接続し、nCEO ピンをチェーンの次のデバイスの nCE ピンに接続します。nCEO ピンが次の Cyclone II デバイスの nCE ピンに信号を供給するときには、10 k $\Omega$  の外部プルアップ抵抗を使用して、nCEO ピンを V<sub>CCIO</sub> に対して High にプルアップします。チェーン内のすべてのデバイスの、他のすべてのコンフィギュレーション・ピン (nCONFIG、nSTATUS、DCLK、DATA0、および CONF\_DONE) を互いに接続します。すべてのデバイスの CONF\_DONE ピンは互いに接続されるため、チェーン内のすべてのデバイスは、同時に初期化されユーザ・モードに移行します。

さらに、nSTATUS ピンも互いに接続されるため、いずれかのデバイスがエラーを検出すると、チェーン内のすべての Cyclone II デバイスは、コンフィギュレーションを停止します。この場合、Quartus II ソフトウェアでコンフィギュレーションを手動で再開する必要があります。

図 13-20 に、ダウンロード・ケーブルを使用した複数の Cyclone II デバイスのコンフィギュレーション方法を示します。

図 13-20. USB-Blaster、MasterBlaster、ByteBlaster II または ByteBlasterMV ケーブルを使用した複数デバイスの PS コンフィギュレーション

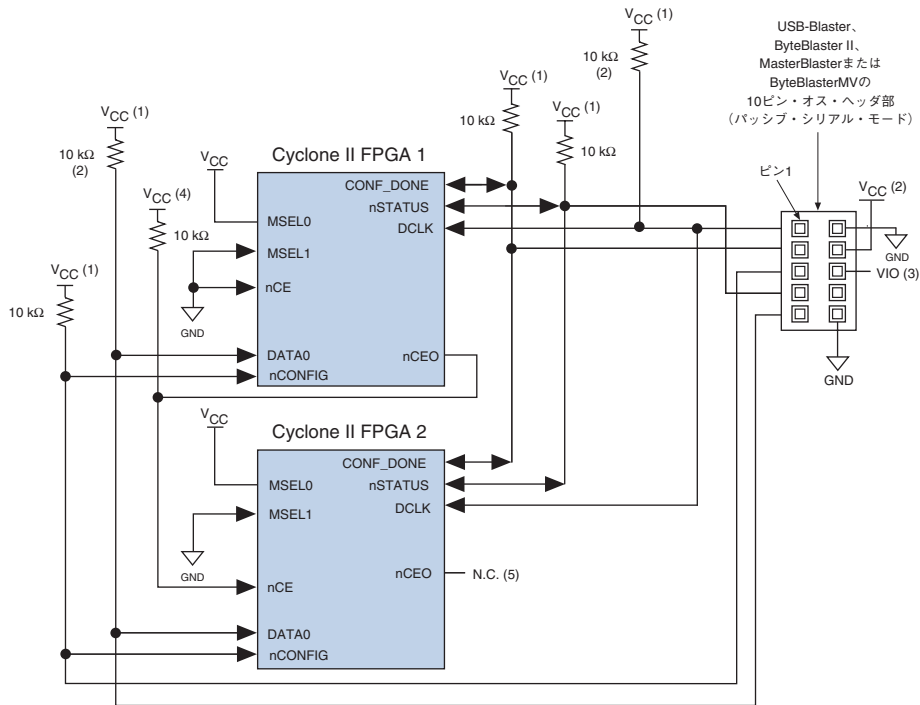


図 13-20 の注：

- (1) プルアップ抵抗は、USB-Blaster、MasterBlaster (V<sub>IO</sub> ピン)、ByteBlaster II または ByteBlasterMV ケーブルと同じ電源電圧に接続する必要があります。
- (2) DATA0 と DCLK 上のプルアップ抵抗は、ダウンロード・ケーブルがボード上の唯一のコンフィギュレーション手法の場合にのみ必要です。これは、コンフィギュレーション後に DATA0 と DCLK を浮動状態のままにしないためです。例えば、コンフィギュレーション・デバイスも使用する場合、DATA0 と DCLK 上のプルアップ抵抗は不要になります。
- (3) ヘッダ部のピン 6 は、MasterBlaster 出力ドライバ用の V<sub>IO</sub> リファレンス電圧です。V<sub>IO</sub> は、デバイスの V<sub>CCIO</sub> と一致する必要があります。この値については、「MasterBlaster Serial/USB Communications Cable Data Sheet」を参照してください。ByteBlasterMV では、このピンは接続不要です。USB-Blaster と ByteBlaster II では、AS プログラミングに使用する場合は、nCE に接続し、それ以外の場合は接続不要です。
- (4) プルアップ抵抗を nCEO ピンが存在する I/O バンクの V<sub>CCIO</sub> 電源電圧に接続します。
- (5) チェイン内の最後のデバイスの nCEO ピンは、未接続のままにするか、ユーザ I/O ピンとして使用できます。

ダウンロード・ケーブルを使用して、コンフィギュレーション・デバイスも搭載している PCB 上の Cyclone II デバイスをコンフィギュレーションする場合、そのコンフィギュレーション・デバイスをターゲットの Cyclone II デバイスおよびケーブルから電気的に絶縁する必要があります。コンフィギュレーション・デバイスを絶縁する 1 つの方法は、コンフィギュレーション・デバイスとケーブル間で選択可能なマルチプレクサなどのロジックを追加することです。マルチプレクサは、nSTATUS 信号と CONF\_DONE 信号上の双方向転送を許容する必要があります。さらに、ケーブルとコンフィギュレーション・デバイス間の 5 つの共通信号 (nCONFIG、nSTATUS、DCLK、DATA0、および CONF\_DONE) にスイッチを追加することもできます。ケーブルを使用して FPGA をコンフィギュレーションする場合、コンフィギュレーション・デバイスをボードから取り外すこともできます。図 13-21 に、FPGA をコンフィギュレーションするためのコンフィギュレーション・デバイスとダウンロード・ケーブルの組み合わせを示します。

図 13-21. ダウンロード・ケーブルとコンフィギュレーション・デバイス回路による PS コンフィギュレーション

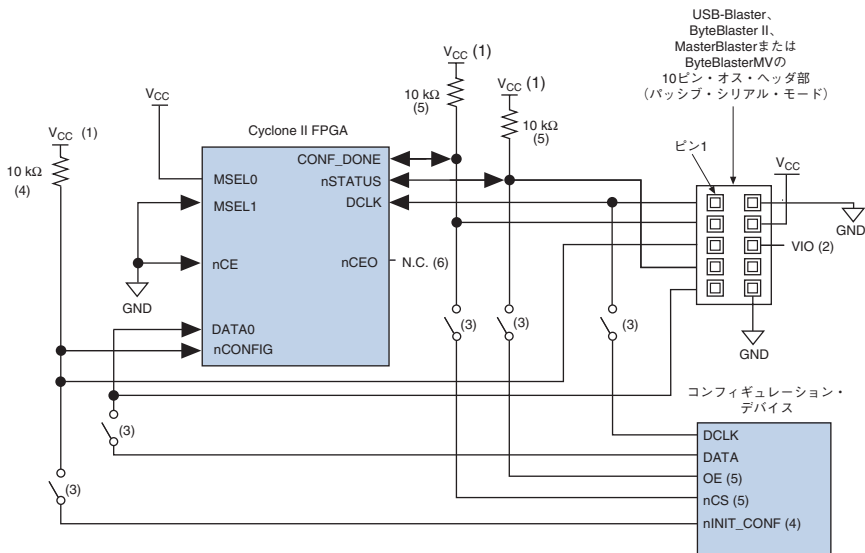


図 13-21 の注：

- (1) プルアップ抵抗は、コンフィギュレーション・デバイスと同じ電源電圧に接続する必要があります。
- (2) ヘッダ部のピン 6 は、MasterBlaster 出力ドライバ用の  $V_{IO}$  リファレンス電圧です。 $V_{IO}$  は、デバイスの  $V_{CCIO}$  と一致する必要があります。この値については、「MasterBlaster Serial/USB Communications Cable Data Sheet」を参照してください。ByteBlasterMV では、このピンは接続不要です。USB-Blaster と ByteBlaster II では、AS プログラミングに使用する場合は、nCE に接続し、それ以外の場合は接続不要です。

- (3) コンフィギュレーション・デバイスが Cyclone II デバイスに接続されているときに、ダウンロード・ケーブルによるコンフィギュレーションを行ってはなりません。代わりに、ダウンロード・ケーブルの使用時にコンフィギュレーション・デバイスをソケットから取り外すか、ダウンロード・ケーブルとコンフィギュレーション・デバイス間の5つの共通信号上にスイッチを配置する必要があります。
- (4) nINIT\_CONF ピン (エンハンスド・コンフィギュレーション・デバイスと EPC2 デバイス上でのみ使用可能) には、常にアクティブな内部プルアップ抵抗があります。つまり、nINIT\_CONF から nCONFIG へのライン上では、プルアップ抵抗を使用してはなりません。nINIT\_CONF ピンは、その機能を使用しない場合、接続する必要はありません。nINIT\_CONF を使用しない場合、または使用できない場合 (EPC1 デバイス上などで) は、nCONFIG を直接または抵抗を通して V<sub>CC</sub> にプルする必要があります。
- (5) エンハンスド・コンフィギュレーション・デバイスの OE ピンと nCS ピンには、内部プログラマブル・プルアップ抵抗があります。内部プルアップ抵抗を使用する場合、これらのピンでは外部プルアップ抵抗を使用しないでください。Quartus II ソフトウェアでは、デフォルトで内部プルアップ抵抗が使用されます。内部プルアップ抵抗をオフにするには、プログラミング・ファイルの生成時に **Disable nCS and OE pull-ups on configuration device** オプションをオンにします。
- (6) nCEO ピンは、未接続のままにするか、他のデバイスの nCE ピンに信号を供給していない場合は、ユーザ I/O ピンとして使用できます。



USB-Blaster、MasterBlaster、ByteBlaster II、または ByteBlasterMV ケーブルの使用の詳細については、下記の資料を参照してください。

- [USB-Blaster USB Port Download Cable Data Sheet](#)
- [MasterBlaster Serial/USB Communications Cable Data Sheet](#)
- [ByteBlaster II Parallel Port Download Cable Data Sheet](#)
- [ByteBlasterMV Parallel Port Download Cable Data Sheet](#)

## JTAG コンフィギュレーション

JTAG (Joint Test Action Group) は、バウンダリ・スキャン・テスト用の仕様を開発しました。このバウンダリ・スキャン・テスト (BST) アーキテクチャを使用すると、リード線間隔が緊密な PCB 上のコンポーネントをテストできます。BST アーキテクチャでは、物理的なテスト・プローブを使用しないでピンの接続をテストでき、またデバイスの通常動作中に機能データをキャプチャすることができます。JTAG 回路は、コンフィギュレーション・データをデバイスにシフトするときにも使用できます。Quartus II ソフトウェアは、SOF ファイルを自動的に生成します。このファイルは、Quartus II プログラマでダウンロード・ケーブルを使用した JTAG コンフィギュレーションに使用できます。



JTAG バウンダリ・スキャン・テストの詳細については、下記の資料を参照してください。

- 「Cyclone II デバイス・ハンドブック」の「Cyclone II デバイスの IEEE 1149.1 (JTAG) バウンダリ・スキャン・テスト」の章
- [Jam Programming & Testing Language Specification](#)



Cyclone II デバイスは、JTAG 命令が任意のデバイスのコンフィギュレーション・モードに優先するように設計されています。つまり、JTAG コンフィギュレーションは、他のコンフィギュレーション・モードの完了を待たずに実行できます。例えば、PS コンフィギュレーション中に Cyclone II デバイスの JTAG コンフィギュレーションを試みると、PS コンフィギュレーションは終了し、JTAG コンフィギュレーションが開始します。Cyclone II デバイスの MSEL ピンを AS または高速 AS モードに設定した場合、JTAG コンフィギュレーションが発生すると、Cyclone II デバイスは DCLK 信号を出力しなくなります。



JTAG ベースのコンフィギュレーションを使用時に Cyclone II デバイスをコンフィギュレーションする場合、Cyclone II デバイスの復元機能は使用できません。

JTAG モードで動作するデバイスは、TDI、TDO、TMS、および TCK の各ピンを使用します。TCK ピンは内部ウィーク・プルダウン抵抗を備えています。他の JTAG 入力ピンの TDI ピンと TMS ピンは内部ウィーク・プルアップ抵抗を備えています。すべてのユーザ I/O ピンは、JTAG コンフィギュレーションの実行中にトライ・ステートとなります。表 13-9 に各 JTAG ピンの機能説明を示します。

ピン名	ピン・タイプ	説明
TDI	テスト・データ入力	命令、テストおよびプログラミング・データ用のシリアル入力ピン。データは、TCK の立ち上がりエッジでシフト・インされます。ボード上で JTAG インタフェースが必要でない場合、このピンを V <sub>CC</sub> に接続すると、JTAG 回路をディセーブルできます。
TDO	テスト・データ出力	命令、テストおよびプログラミング・データ用のシリアル・データ出力ピン。データは、TCK の立ち下がりエッジでシフト・アウトされます。データがデバイスからシフト・アウトされない場合、このピンはトライ・ステートになります。ボード上で JTAG インタフェースが必要でない場合、このピンを未接続のままにすると、JTAG 回路をディセーブルできます。

表 13-9. 専用 JTAG ピン ( 2 / 2 )

ピン名	ピン・タイプ	説明
TMS	テスト・モード選択	TAP コントローラ・ステート・マシンの遷移を判断するコントロール信号を提供する入力ピン。ステート・マシン内の遷移は、TCK の立ち上がりエッジで発生します。このため、TCK の立ち上がりエッジの前に TMS を設定する必要があります。TMS は、TCK の立ち上がりエッジで評価されます。 ボード上で JTAG インタフェースが必要でない場合、このピンを $V_{CC}$ に接続すると、JTAG 回路をディセーブルできます。
TCK	テスト・クロック入力	BST 回路へのクロック入力。立ち上がりエッジで発生する動作と、立ち下がりエッジで発生する動作があります。 ボード上で JTAG インタフェースが必要ない場合、このピンを GND に接続すると、JTAG 回路をディセーブルできます。

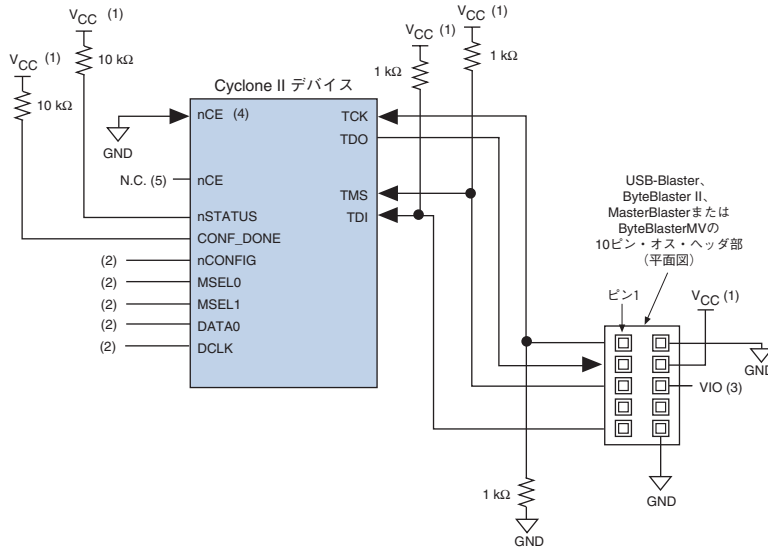


TDO 出力は、 $V_{CCIO}$  電源によって給電されます。 $V_{CCIO}$  を 3.3 V に接続すると、I/O ピンと JTAG TDO ポートのどちらも 3.3 V レベルにドライブされます。

## 単一デバイスの JTAG コンフィギュレーション

JTAG コンフィギュレーション中、USB-Blaster、MasterBlaster、ByteBlaster II、または ByteBlasterMV ダウンロード・ケーブルを使用して、データをデバイスにダウンロードできます。ケーブルを通した Cyclone II デバイスのコンフィギュレーションは、システム内でのデバイスのプログラミングに似ています。[図 13-22](#) に、ダウンロード・ケーブルを使用した単一の Cyclone II デバイスの JTAG コンフィギュレーションを示します。

図 13-22. ダウンロード・ケーブルを使用した単一デバイスの JTAG コンフィギュレーション



## 図 13-22 の注：

- (1) プルアップ抵抗は、USB-Blaster、MasterBlaster (VIO ピン)、ByteBlaster II または ByteBlasterMV ケーブルと同じ電源電圧に接続する必要があります。
- (2) JTAG 以外のコンフィギュレーション手法をサポートするには、nCONFIG ピンと MSEL[1..0] ピンを接続します。JTAG コンフィギュレーションのみ使用する場合は、nCONFIG ピンを V<sub>CC</sub> に、MSEL[1..0] ピンを GND に接続します。さらに、DCLK と DATA0 を High または Low のいずれか (ボードで適切な方) にプルします。
- (3) ヘッド部のピン 6 は、MasterBlaster 出力ドライバ用の V<sub>IO</sub> リファレンス電圧です。V<sub>IO</sub> は、デバイスの V<sub>CCIO</sub> と一致する必要があります。この値については、「MasterBlaster Serial/USB Communications Cable Data Sheet」を参照してください。ByteBlasterMV では、このピンは接続不要です。USB-Blaster と ByteBlaster II では、AS プログラミングに使用する場合は、nCE に接続し、それ以外の場合は接続不要です。
- (4) JTAG コンフィギュレーションを正常に終了するには、nCE を GND に接続するか、Low にドライブする必要があります。
- (5) nCEO ピンは、未接続のままにするか、他のデバイスの nCE ピンに信号を供給していない場合は、ユーザ I/O ピンとして使用できます。

JTAG チェイン内の単一デバイスをコンフィギュレーションするために、プログラミング・ソフトウェアでは他のすべてのデバイスを BYPASS モードにします。BYPASS モードでは、Cyclone II デバイスは、1 つのバイパス・レジスタを通して内部で影響を受けずに、TDI ピンから TDO ピンにプログラミング・データを渡します。この手法によって、プログラミング・ソフトウェアは、ターゲット・デバイスのプログラミングまたは検証を行うことができます。ターゲット・デバイスにドライブされたコンフィギュレーション・データは、1 クロック・サイクル後に TDO ピン上に現れます。

Quartus II ソフトウェアが、JTAG コンフィギュレーションの正常な完了を確認します。コンフィギュレーションの最後に、このソフトウェアは JTAG ポートを通して CONF\_DONE ピンをチェックします。Quartus II ソフトウェアが複数デバイス・チェーン用の JAM ファイルを生成すると、そのファイル内には命令が含まれており、チェーン内のデバイスはすべて同時に初期化されます。CONF\_DONE が High でない場合、Quartus II ソフトウェアはコンフィギュレーションが失敗したことを示します。CONF\_DONE が High に遷移すると、このソフトウェアはコンフィギュレーションの成功を示します。コンフィギュレーション・ビットストリームが JTAG TDI ポートを通してシリアルに送信された後、TCK ポートにクロックが 299 サイクル追加して供給され、Cyclone II デバイスの初期化が実行されます。

**Enable user-supplied start-up clock (CLKUSR)** オプションは、デバイスの初期化に影響を与えません。Quartus II プログラマとダウンロード・ケーブルを使用して JTAG 内で FPGA をコンフィギュレーションするとき、SOF でこのオプションがディセーブルされるためです。このため、CLKUSR オプションをオンにすると、Quartus II プログラマおよびダウンロード・ケーブルを使用して FPGA をコンフィギュレーションする場合、CLKUSR にクロックを供給する必要はありません。

Cyclone II デバイスには、常に JTAG ピンとして機能する専用の JTAG ピンがあります。コンフィギュレーションの実行前後および実行中に、Cyclone II デバイス上で JTAG テストを実行できます。Cyclone II デバイスは、コンフィギュレーション中に BYPASS、IDCODE、および SAMPLE 命令を中断なしでサポートします。他の JTAG 命令はすべて、最初にコンフィギュレーションを中断してから、CONFIG\_IO 命令を使用して I/O ピンを再プログラミングすることによってのみ発行できます。

CONFIG\_IO 命令を使用すると、JTAG ポートを通して I/O バッファをコンフィギュレーションできます。CONFIG\_IO 命令はコンフィギュレーションを中断します。この命令では、Cyclone II デバイスをコンフィギュレーションする前、またはコンフィギュレーション・デバイスによるコンフィギュレーションの完了を待たずに、ボード・レベルのテストを実行できます。コンフィギュレーションを中断した場合、JTAG を通して (PULSE\_CONFIG 命令)、または JTAG テストの完了後に nCONFIG で Low のパルスが発生させて、Cyclone II デバイスをリコンフィギュレーションする必要があります。



詳細については、「MorphIO: An I/O Reconfiguration Solution for Altera Devices White Paper」を参照してください。

Cyclone II デバイス上のチップ・ワイドのリセット (DEV\_CLRn) ピンとチップ・ワイドの出力イネーブル (DEV\_OE) ピンは、JTAG のバウンダリ・スキャン動作やプログラミング動作に影響を与えません。これらのピンをトグルしても、JTAG 動作 (通常のリバウンダリ・スキャン動作以外) に影響しません。

JTAG コンフィギュレーション用に Cyclone II ボードを設計する場合、専用コンフィギュレーション・ピンの配置については、表 13-10 のガイドラインに従ってください。

表 13-10. JTAG コンフィギュレーション中の 専用コンフィギュレーション・ピンの接続 ( 1 / 2 )	
信号	説明
nCE	チェーン内のすべての Cyclone II デバイス上では、nCE を GND に接続するか、抵抗を通して Low にするか、何らかのコントロール回路でドライブして、Low にする必要があります。複数デバイスの AS または PS コンフィギュレーション・チェーンにも属するデバイスの場合、nCE ピンを、JTAG コンフィギュレーション中に GND に接続するか、コンフィギュレーション・チェーンと同じ順序で JTAG コンフィギュレーションする必要があります。
nCEO	チェーン内のすべての Cyclone II デバイス上では、nCEO をユーザ I/O として使用するか、次のデバイスの nCE に接続することができます。nCEO を次のデバイスの nCE に接続する場合、10 k $\Omega$ の外部プルアップ抵抗によって nCEO ピンを V <sub>CCIO</sub> に対して High にプルアップして、内部ウィーク・プルアップ抵抗を支援します。nCEO ピンを次のデバイスの nCE ピンに接続しない場合、このピンはコンフィギュレーション後にユーザ I/O ピンとして使用できます。
MSEL	これらのピンは浮動状態のままにはなりません。これらのピンは、生産時に使用される JTAG 以外のコンフィギュレーションをサポートします。JTAG コンフィギュレーションのみ使用している場合、これらのピンは GND に接続しなければなりません。
nCONFIG	V <sub>CC</sub> に接続するか、抵抗を通してプルアップするか、何らかのコントロール回路でドライブすることによって High にドライブされます。
nSTATUS	10 k $\Omega$ の抵抗を通して V <sub>CC</sub> にプルします。同じ JTAG チェイン内の複数デバイスをコンフィギュレーションする場合、各 nSTATUS ピンは、個別に V <sub>CC</sub> にプルアップする必要があります。JTAG コンフィギュレーションの途中で nSTATUS が Low にプルダウンされた場合は、エラーが発生したことを示します。

表 13-10. JTAG コンフィギュレーション中の  
専用コンフィギュレーション・ピンの接続 ( 2 / 2 )

信号	説明
CONF_DONE	10 kΩ の抵抗を通して V <sub>CC</sub> にプルします。同じ JTAG チェイン内の複数デバイスをコンフィギュレーションする場合、各 CONF_DONE ピンは、個別に V <sub>CC</sub> にプルアップする必要があります。JTAG コンフィギュレーションの最後に CONF_DONE が High になった場合は、コンフィギュレーションが正常に終了したことを示します。
DCLK	浮動状態のままにはなりません。High または Low のいずれか（ボードで適切な方）にします。

図 13-23 に、マイクロプロセッサを搭載した Cyclone II デバイスの JTAG コンフィギュレーションを示します。

図 13-23. マイクロプロセッサを使用した単一デバイスの  
JTAG コンフィギュレーション

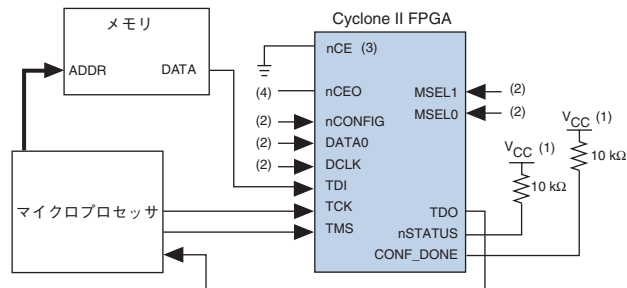


図 13-23 の注：

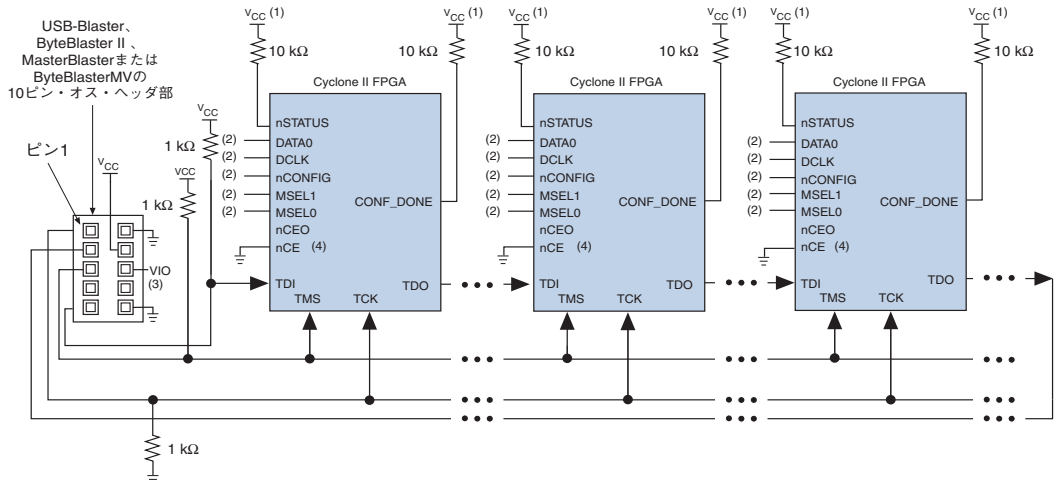
- (1) プルアップ抵抗は、チェーン内のすべてのデバイスに受け入れ可能な入力信号を提供する電源に接続する必要があります。
- (2) JTAG 以外のコンフィギュレーション手法をサポートするには、nCONFIG ピンと MSEL[1..0] ピンを接続します。JTAG コンフィギュレーションのみ使用する場合は、nCONFIG ピンを V<sub>CC</sub> に、MSEL[1..0] ピンを GND に接続します。さらに、DCLK と DATA0 を High または Low のいずれか（ボードで適切な方）にプルします。
- (3) JTAG コンフィギュレーションを正常に終了するには、nCE を GND に接続するか、Low にドライブする必要があります。
- (4) EPCS4 デバイスまたは EPCS1 デバイスを使用している場合、MSEL[1..0] を 00 に設定します。詳細については、表 13-4 を参照してください。

## 複数デバイスの JTAG コンフィギュレーション

JTAG デバイス・チェーンをプログラミングすると、1 つの JTAG 互換ヘッダがいくつかのデバイスに接続されます。JTAG チェイン内のデバイスの数は、ダウンロード・ケーブルのドライブ能力によってのみ制限されます。JTAG チェイン内で 4 つ以上のデバイスを接続する場合、アルテラでは、オンボード・バッファを使用して TCK、TDI、および TMS ピンをバッファリングすることをお勧めします。

システムに複数のデバイスがある場合、または JTAG BST 回路を使用してシステムをテストする場合は、JTAG チェイン・デバイスのプログラミングが最適です。図 13-24 に、複数デバイスの JTAG コンフィギュレーションを示します。

図 13-24. ダウンロード・ケーブルを使用した複数デバイスの JTAG コンフィギュレーション



### 図 13-24 の注：

- プルアップ抵抗は、USB-Blaster、MasterBlaster (VIO ピン)、ByteBlaster II または ByteBlasterMV ケーブルと同じ電源電圧に接続する必要があります。
- JTAG 以外のコンフィギュレーション手法をサポートするには、nCONFIG ピンと MSEL[1..0] ピンを接続します。JTAG コンフィギュレーションのみ使用する場合は、nCONFIG ピンを VCC に、MSEL[1..0] ピンを GND に接続します。さらに、DCLK と DATA0 を High または Low のいずれか (ボードで適切な方) にプルします。
- ヘッダ部のピン 6 は、MasterBlaster 出力ドライバ用の V<sub>IO</sub> リファレンス電圧です。V<sub>IO</sub> は、デバイスの V<sub>CCIO</sub> と一致する必要があります。この値については、「MasterBlaster Serial/USB Communications Cable Data Sheet」を参照してください。ByteBlasterMV ケーブルでは、このピンは接続不要です。USB-Blaster と ByteBlaster II ケーブルでは、AS プログラミングに使用する場合は、nCE に接続し、それ以外の場合は接続不要です。
- JTAG コンフィギュレーションを正常に終了するには、nCE を GND に接続するか、Low にドライブする必要があります。

JTAG コンフィギュレーション中は、nCE ピンを GND に接続するか、Low にドライブします。複数デバイスの AS および PS コンフィギュレーション・チェーンでは、最初のデバイスの nCE ピンを GND に接続し、nCEO ピンをチェーンの次のデバイスの nCE ピンに接続するか、コンフィギュレーション後にユーザ I/O ピンとして使用できます。

複数デバイスのコンフィギュレーション・チェーンで最初のデバイスのコンフィギュレーションが完了したら、その nCEO ピンが Low になり、2 番目のデバイスの nCE ピンをアクティブにします。これにより、2 番目のデバイスはコンフィギュレーションを開始します。したがって、これらのデバイスが JTAG チェイン内にもある場合、JTAG コンフィギュレーション中に nCE ピンが GND に接続されていること、またはデバイスがコンフィギュレーション・チェーンと同じ順序で JTAG コンフィギュレーションされていることを確認する必要があります。デバイスが複数デバイスのコンフィギュレーション・チェーンと同じ順序で JTAG コンフィギュレーションされている限り、前のデバイスの nCEO ピンは、正常に JTAG コンフィギュレーションされると、次のデバイスの nCE ピンを Low にドライブします。



Quartus II ソフトウェアは、Cyclone II デバイスの nCEO ピンを出力ピンとして設定し、デフォルトで GND にドライブします。nCEO ピンが次のデバイスの nCE ピンに入力信号を供給する場合、コンフィギュレーション後に nCEO ピンをユーザ I/O ピンとして使用しないようにする必要があります。

JTAG をサポートしている他のアルテラ製デバイスを同じ JTAG チェインに配置して、デバイスのプログラミングとコンフィギュレーションを行うことができます。



同じコンフィギュレーション・チェーン内で複数のアルテラ製デバイスをコンフィギュレーションする方法の詳細については、「Configuration Handbook」の「Configuring Mixed Altera FPGA Chains」の章を参照してください。

## Jam STAPL

Jam STAPL、つまり、JEDEC 規格 JESD-71 は、イン・システム・プログラマビリティ (ISP) 対応の標準ファイル・フォーマットです。Jam STAPL は、プログラマブル・デバイスのプログラミングまたはコンフィギュレーション、および IEEE 1149.1 JTAG インタフェースを使用した電子システムのテストをサポートします。Jam STAPL はライセンス料が不要のオープン規格です。Jam プレーヤには、IEEE 規格の 1149.1 JTAG TAP ステータス・マシンを操作するためのインタフェースが備わっています。





エンベデッド環境での JTAG と Jam STAPL の詳細については、「AN 122: Using Jam STAPL for ISP & ICR via an Embedded Processor」を参照してください。Jam プレーヤをダウンロードするには、アルテラの Web サイト ([www.altera.co.jp](http://www.altera.co.jp)) を参照してください。

## JRunnerによるCyclone II FPGAのコンフィギュレーション

JRunner は、JTAG モードの ByteBlaster II または ByteBlasterMV ケーブルを通して、Cyclone II デバイスをコンフィギュレーションできるソフトウェア・ドライバです。サポートされているプログラミング入力ファイルは **.rbf** フォーマットです。また、JRunner は Quartus II ソフトウェアで生成された Chain Description File (**.cdf**) も必要とします。JRunner は、エンベデッド JTAG コンフィギュレーションをターゲットにしています。ソース・コードは、Windows NT オペレーティング・システム (OS) 用に開発されています。コードをカスタマイズして、使用するエンベデッド・プラットフォーム上で動作するようにできます。



JRunner ソフトウェア・ドライバが使用する RBF ファイルは、JRunner が JTAG ベースのコンフィギュレーションを使用するため、圧縮された RBF ファイルにすることはできません。JTAG ベースのコンフィギュレーション中は、リアルタイムの復元機能を利用できません。




JRunner ソフトウェア・ドライバの詳細については、「JRunner Software Driver: An Embedded Solution for PLD JTAG Configuration」およびアルテラ Web サイトのソース・ファイルを参照してください。

## JTAG インタフェースを使用したシリアル・コンフィギュレーション・デバイスのイン・システム・プログラミング

単一デバイス・チェーンまたは複数デバイス・チェーン内の Cyclone II デバイスは、シリアル・フラッシュ・ローダ・デザイン経由で、JTAG インタフェースを使用したシリアル・コンフィギュレーション・デバイスのイン・システム・プログラミングをサポートします。ボードのインテリジェント・ホストまたはダウンロード・ケーブルは、コンフィギュレーション・デバイスのコンフィギュレーション・ピン (DCLK、DATA、ASDI、および nCS) にアクセスできない場合でも、Cyclone II デバイスの 4 つの JTAG ピンを使用して、シリアル・コンフィギュレーション・デバイスをイン・システムでプログラミングできます。

シリアル・フラッシュ・ローダ・デザインは、アルテラのシリアル・コンフィギュレーション・デバイス向けの JTAG ベースのイン・システム・プログラミング・ソリューションです。シリアル・フラッシュ・ローダは、FPGA 向けのブリッジ・デザインで、その JTAG インタフェースを使用して EPCS JIC (JTAG インダイレクト・コンフィギュレーション・デバイス・プログラミング) ファイルにアクセスしてから、AS インタフェースを使用して EPCS デバイスをプログラミングします。JTAG インタフェースと AS インタフェースはともに、シリアル・フラッシュ・ローダ・デザイン内でブリッジされます。

複数デバイス・チェーンでは、シリアル・コンフィギュレーション・デバイスを制御しているマスタ Cyclone II デバイスをコンフィギュレーションだけで済みます。シリアル・コンフィギュレーション・デバイスでコンフィギュレーションされる、複数デバイス・チェーンのスレーブ・デバイスは、この機能の使用時にはコンフィギュレーションする必要はありません。この機能を正常に使用するには、マスタ Cyclone II デバイスの MSEL[1..0] ピンを設定して、AS コンフィギュレーション手法または高速 AS コンフィギュレーション手法 (表 13-1 を参照) を選択するようにします。

 Quartus II ソフトウェアのバージョン 4.1 以降では、JIC ファイルを使用した FPGA JTAG インタフェース経由でのシリアル・コンフィギュレーション・デバイスの ISP をサポートしています。

Cyclone II デバイスの JTAG インタフェースを通じたシリアル・コンフィギュレーション・デバイスの ISP には、以下のセクションで説明する 3 つのステージがあります。

### シリアル・フラッシュ・ローダ・デザインのロード

シリアル・フラッシュ・ローダ・デザインは、Cyclone II デバイス内のデザインで、グルー・ロジックを使用して、Cyclone II デバイス内の JTAG インタフェースと AS インタフェースをブリッジします。

インテリジェント・ホストは、JTAG インタフェースを使用して、シリアル・フラッシュ・ローダ・デザイン付きのマスタ Cyclone II デバイスをコンフィギュレーションします。シリアル・フラッシュ・ローダ・デザインを使用すると、マスタ Cyclone II デバイスは、JTAG インタフェースを通してシリアル・コンフィギュレーション・デバイスの 4 本のピンのアクセスを制御できます。これらのピンは、ASMI (アクティブ・シリアル・メモリ・インタフェース) ピンとも呼ばれます。ASMI ピンは、シリアル・クロック入力 (DCLK)、シリアル・データ出力 (DATA)、AS データ入力 (ASDI)、アクティブ Low チップ・セレクト (nCS) の 4 つのピンから構成されています。

シリアル・フラッシュ・ローダ・デザインを使用してマスタ Cyclone II デバイスをコンフィギュレーションすると、複数デバイス・チェーンのスレーブ・デバイスがコンフィギュレーションされていない場合でも、マスタ Cyclone II デバイスはユーザ・モードに移行することができます。CONF\_DONE 信号がチェーン内の他のスレーブ・デバイスにより外部的に Low に保持されていても、マスタ Cyclone II デバイスは、シリアル・フラッシュ・ローダ・デザインを使用してユーザ・モードに移行できます。図 13-25 に、シリアル・フラッシュ・ローダ・デザインを使用した単一の Cyclone II デバイスの JTAG コンフィギュレーションを示します。

図 13-25. ダウンロード・ケーブルを使用した単一デバイスの JTAG コンフィギュレーション

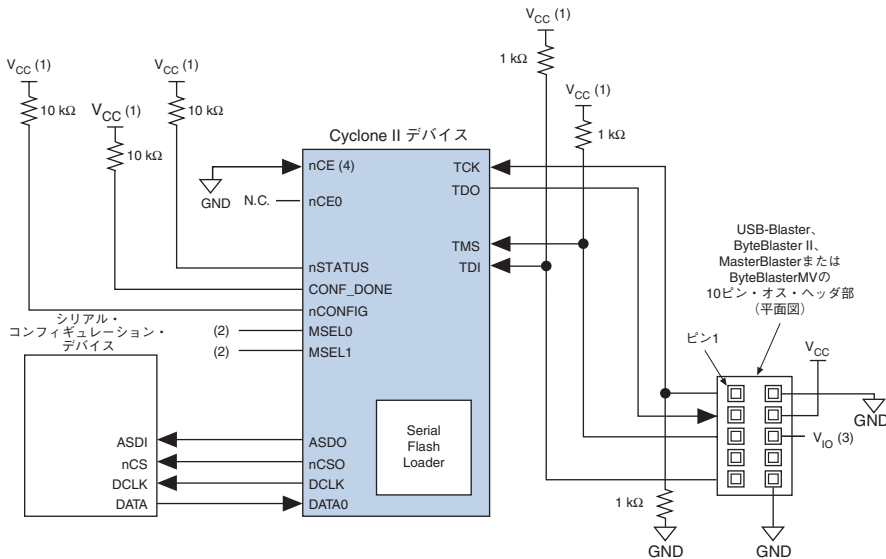


図 13-25 の注：

- (1) プルアップ抵抗は、USB-Blast、MasterBlast ( $V_{IO}$  ピン)、ByteBlast II または ByteBlast MV ケーブルと同じ電源電圧に接続する必要があります。
- (2) nCONFIG ピンと MSEL[1..0] ピンを接続して、JTAG 以外のコンフィギュレーション手法をサポートする必要があります。JTAG コンフィギュレーションのみ使用する場合は、nCONFIG を  $V_{CC}$  に、MSEL[3..0] を GND に接続します。DCLK を High または Low のいずれか (ボードで適切な方) にプルします。
- (3) ヘッダ部のピン 6 は、MasterBlast 出力ドライバ用の  $V_{IO}$  リファレンス電圧です。 $V_{IO}$  は、デバイスの  $V_{CCIO}$  と一致する必要があります。この値については、「MasterBlast Serial/USB Communications Cable Data Sheet」を参照してください。ByteBlast MV ケーブルでは、このピンは接続不要です。USB-Blast と ByteBlast II ケーブルでは、アクティブ・シリアル・プログラミングに使用する場合は、nCE に接続し、それ以外の場合は接続不要です。
- (4) JTAG コンフィギュレーションを正常に終了するには、nCE を GND に接続するか、Low にドライブする必要があります。

## シリアル・コンフィギュレーション・デバイスの ISP

2 番目のステージでは、マスタ Cyclone II デバイスのシリアル・フラッシュ・ローダ・デザインでは、Cyclone II デバイスの JTAG インタフェースを使用して、デバイス・チェーンのコンフィギュレーション・データをシリアル・コンフィギュレーション・デバイスに書き込むことができます。JTAG インタフェースは、シリアル・コンフィギュレーション・デバイスのプログラミング・データを Cyclone II デバイスに最初に送信します。Cyclone II デバイスは、ASMI ピンを使用してデータをシリアル・コンフィギュレーション・デバイスに送信します。

## リコンフィギュレーション

すべてのコンフィギュレーション・データが正常にシリアル・コンフィギュレーション・デバイスに書き込まれた後、Cyclone II デバイスは自身でリコンフィギュレーションを行いません。インテリジェント・ホストが、PULSE\_NCONFIG JTAG 命令を発行して、リコンフィギュレーション・プロセスを初期化します。リコンフィギュレーション中に、マスタ Cyclone II デバイスはリセットされ、シリアル・フラッシュ・ローダ・デザインは Cyclone II デバイスからなくなります。また、シリアル・コンフィギュレーション・デバイスは、ユーザ・デザインを使用してチェーン内のすべてのデバイスをコンフィギュレーションします。

## デバイスの コンフィギュ レーション・ ピン

このセクションでは、Cyclone II デバイス上のすべてのコンフィギュレーション関連ピンの接続と機能について説明します。表 13-11 に、コンフィギュレーションを正常に実行するために、ボード上で正しく接続する必要がある専用のコンフィギュレーション・ピンを説明します。コンフィギュレーション手法によっては、これらのピンの一部は不要です。

表 13-11. Cyclone II の専用コンフィギュレーション・ピン ( 1 / 6 )

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
MSEL[1..0]	N/A	すべて	入力	<p>このピンは、Cyclone II デバイスのコンフィギュレーション手法を設定する2ビットのコンフィギュレーション入力です。適切な設定については、表 13-1 を参照してください。</p> <p>これらのピンは、V<sub>CCIO</sub> または GND に接続する必要があります。</p>
nCONFIG	N/A	すべて	入力	<p>このピンはコンフィギュレーション・コントロール入力です。このピンをユーザ・モードで Low にすると、FPGA はコンフィギュレーション・データを失い、リセット状態に移行して、すべての I/O ピンをトライ・ステートにします。このピンを High にするとリコンフィギュレーションを開始します。</p> <p>コンフィギュレーション手法でエンハンスド・コンフィギュレーション・デバイスまたは EPC2 デバイスを使用している場合、nCONFIG ピンを直接 V<sub>CC</sub> またはコンフィギュレーション・デバイスの nINIT_CONF ピンに接続できます。</p>

表 13-11. Cyclone II の専用コンフィギュレーション・ピン ( 2 / 6 )

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
nSTATUS	N/A	すべて	双方向 オープン・ドレイン	<p>Cyclone II デバイスは、パワーアップ直後に nSTATUS を Low にドライブし、POR 時間後に解放します。</p> <p>このピンは Cyclone II デバイスのステータス出力と入力を提供します。Cyclone II デバイスは、コンフィギュレーション中にエラーを検出すると、nSTATUS ピンを Low にし、コンフィギュレーションを停止します。コンフィギュレーション中または初期化中に、外部ソース (例えば、別の Cyclone II デバイス) が nSTATUS ピンを Low にドライブすると、ターゲット・デバイスはエラー状態に移行します。</p> <p>コンフィギュレーションまたは初期化後に、nSTATUS を Low にドライブしても、コンフィギュレーション対象デバイスには影響しません。デザインでコンフィギュレーション・デバイスを使用している場合、nSTATUS を Low にドライブすると、コンフィギュレーション・デバイスは FPGA のコンフィギュレーションを試みます。しかし、FPGA はユーザ・モードでは nSTATUS 上の遷移を無視するため、リコンフィギュレーションは行われません。リコンフィギュレーションを開始するには、nCONFIG ピンを Low にします。</p> <p>エンハンスド・コンフィギュレーション・デバイスと EPC2 デバイスの OE ピンと nCS ピンは、それぞれ Cyclone II デバイスの nSTATUS ピンと CONF_DONE ピンに接続され、オプションの内部プログラマブル・プルアップ抵抗が備わります。エンハンスド・コンフィギュレーション・デバイスでこれらの内部プルアップ抵抗を使用する場合、これらのピンでは 10 kΩ の外部プルアップ抵抗を使用しないでください。EPC2 デバイスを使用する場合は、10 kΩ の外部プルアップ抵抗のみ使用する必要があります。</p>

表 13-11. Cyclone II の専用コンフィギュレーション・ピン ( 3 / 6 )

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
CONF_DONE	N/A	すべて	双方向 オープン・ ドレイン	<p>このピンはステータス出力および入力です。</p> <p>ターゲットCyclone IIデバイスは、コンフィギュレーションの実行前と実行中に、CONF_DONE ピンを Low にドライブします。Cyclone II デバイスは、すべてのコンフィギュレーション・データをエラーなしで受信し、初期化サイクルが開始されると、CONF_DONE を解放します。ユーザ・モードで CONF_DONE を Low にドライブしても、コンフィギュレーション・デバイスに影響しません。デバイスがユーザ・モードに移行するまで、CONF_DONE を Low にドライブしないでください。</p> <p>Cyclone II デバイスがすべてのデータを受信すると、CONF_DONE ピンが High になり、デバイスは初期化を実行しユーザ・モードに移行します。デバイスを初期化するには、CONF_DONE ピンは 10 kΩ の外部プルアップ抵抗が必要です。</p> <p>コンフィギュレーションまたは初期化後に、CONF_DONE を Low にドライブしても、コンフィギュレーション・デバイスには影響を与えません。</p> <p>エンハンスド・コンフィギュレーション・デバイスとEPC2デバイスのOEピンとnCSピンは、それぞれ Cyclone II デバイスの nSTATUS ピンと CONF_DONE ピンに接続され、オプションの内部プログラマブル・プルアップ抵抗が備わります。エンハンスド・コンフィギュレーション・デバイス上で内部プルアップ抵抗を使用する場合、これらのピンでは 10 kΩ の外部プルアップ抵抗を使用しないでください。EPC2 デバイスを使用する場合は、10 kΩ の外部プルアップ抵抗のみ使用する必要があります。</p>

表 13-11. Cyclone II の専用コンフィギュレーション・ピン ( 4 / 6 )

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
nCE	N/A	すべて	入力	<p>このピンはアクティブLowのチップ・イネーブルです。nCE ピンは、Low 信号でデバイスをアクティブにし、コンフィギュレーションを可能にします。コンフィギュレーション、初期化、およびユーザ・モード中は、nCE ピンを Low に保持する必要があります。単一デバイス・コンフィギュレーションでは、Low に接続する必要があります。複数デバイス・コンフィギュレーションでは、最初のデバイスの nCE を Low に接続し、nCEO ピンをチェーン内の次のデバイスの nCE に接続します。</p> <p>また、FPGA の JTAG プログラミングを正常に終了するため、nCE ピンも Low に保持する必要があります。</p>
nCEO	オプションがオンの場合、N/A オプションがオフの場合、I/O	すべて	出力	<p>このピンは、デバイスのコンフィギュレーションが完了すると Low にドライブする出力です。単一デバイス・コンフィギュレーションでは、このピンを浮動状態のままにするか、コンフィギュレーション後にユーザ I/O ピンとして使用できます。複数デバイス・コンフィギュレーションでは、このピンは、次のデバイスの nCE ピンに入力信号を供給します。チェーン内の最後のデバイスの nCEO ピンは、浮動状態のままにするか、コンフィギュレーション後にユーザ I/O ピンとして使用できます。</p> <p>nCEO ピンを使用して次のデバイスの nCE ピンに信号を供給する場合、10 k<math>\Omega</math> の外部プルアップ抵抗を使用して、nCEO ピンを I/O バンクの V<sub>CCIO</sub> 電圧に対して High にプルアップし、内部ウィーク・プルアップ抵抗を支援するようにします。</p> <p>このピンをユーザ I/O ピンとして使用するには、Quartus II ソフトウェアを使用します。</p>



表 13-11. Cyclone II の専用コンフィギュレーション・ピン ( 5 / 6 )

ピン名	ユーザ・モード	コンフィギュレーション 手法	ピン・ タイプ	説明
ASDO	AS モードでは、 N/A PSモードとJTAG モードでは、I/O	AS	出力	このピンは、コントロール信号を Cyclone II デバイスから AS モードのシリアル・コンフィギュレーション・デバイスに送信します。この信号はコンフィギュレーション・データの読み出しに使用されます。  AS モードでは、ASDO には常にアクティブな内部プルアップ抵抗があります。
nCSO	AS モードでは、 N/A PSモードとJTAG モードでは、I/O	AS	出力	このピンは、コンフィギュレーション・デバイスを有効にする出力コントロール信号を、Cyclone II デバイスから AS モードのシリアル・コンフィギュレーション・デバイスに送信します。  AS モードでは、nCSO には常にアクティブな内部プルアップ抵抗があります。

表 13-11. Cyclone II の専用コンフィギュレーション・ピン ( 6 / 6 )

ピン名	ユーザ・モード	コンフィギュレーション手法	ピン・タイプ	説明
DCLK	N/A	PS、AS	入力 (PS) 出力 (AS)	<p>PS コンフィギュレーションでは、DCLK は、データを外部ソースからターゲット・デバイスに送るクロック入力です。データは、DCLK の立ち上がりエッジで Cyclone II デバイスにラッチされます。</p> <p>AS モードでは、DCLK は Cyclone II デバイスからの出力で、コンフィギュレーション・インタフェースのタイミングを提供します。AS モードでは、DCLK には常にアクティブな内部プルアップ抵抗があります。</p> <p>コンフィギュレーションが終了すると、このピンはトライ・ステートになります。コンフィギュレーション・デバイスを使用している場合、DCLK はコンフィギュレーションの完了後に Low になります。デザインでコントロール・ホストを使用している場合は、DCLK を High または Low のいずれかにします。コンフィギュレーション後にこのピンをトグルしても、コンフィギュレーション・デバイスには影響しません。</p>
DATA0	N/A	すべて	入力	<p>データ入力ピンです。シリアル・コンフィギュレーション・モードでは、ビット幅のコンフィギュレーション・データがターゲット・デバイスの DATA0 ピンに提供されます。</p> <p>AS モードでは、DATA0 には常にアクティブな内部プルアップ抵抗があります。</p> <p>コンフィギュレーション後に、EPC1 デバイスと EPC1441 デバイスではこのピンをトライ・ステート状態にしますが、エンハンスド・コンフィギュレーション・デバイスと EPC2 デバイスではこのピンを High にドライブします。</p>

表 13-12 に、オプションのコンフィギュレーション・ピンの説明を示します。次のオプションのコンフィギュレーション・ピンが Quartus II ソフトウェアでイネーブルされていない場合は、汎用のユーザ I/O ピンとして使用できます。したがって、コンフィギュレーションの実行中、これらのピンはユーザ I/O ピンとして機能し、ウィーク・プルアップ抵抗でトライ・ステート状態となります。

ピン名	ユーザ・モード	ピン・タイプ	説明
CLKUSR	オプションがオンの場合、N/A オプションがオフの場合、I/O	入力	1 つ以上のデバイスの初期化を同期させるオプションのユーザ提供クロック入力です。このピンをイネーブルするには、Quartus II ソフトウェアで <b>Enable user-supplied start-up clock (CLKUSR)</b> オプションをオンにします。
INIT_DONE	オプションがオンの場合、N/A オプションがオフの場合、I/O	出力オープン・ドレイン	これはデバイスが初期化されユーザ・モードになったことを示すステータス・ピンです。nCONFIG が Low でかつコンフィギュレーションの開始時には、INIT_DONE ピンはトライ・ステートになり、10 kΩ の外部プルアップ抵抗で High にプルアップされます。INIT_DONE をイネーブルするオプションのビットをデバイスにプログラムすると（コンフィギュレーション・データの最初のフレームで）、INIT_DONE ピンが Low になります。初期化が完了すると、INIT_DONE ピンが解放されて High にプルアップされ、FPGA がユーザ・モードに移行します。このため、監視回路で Low から High への遷移を検出できなければなりません。このピンをイネーブルするには、Quartus II ソフトウェアで <b>Enable INIT_DONE output</b> オプションをオンにします。
DEV_OE	オプションがオンの場合、N/A オプションがオフの場合、I/O	入力	デバイス上のすべてのトライ・ステートを無効にできるオプションのピンです。このピンを Low にドライブすると、I/O ピンはすべてトライ・ステートになります。このピンを High にドライブすると、I/O ピンはすべてプログラムどおりに動作します。このピンをイネーブルするには、Quartus II ソフトウェアで <b>Enable device-wide output enable (DEV_OE)</b> オプションをオンにします。
DEV_CLRn	オプションがオンの場合、N/A オプションがオフの場合、I/O	入力	すべてのデバイス・レジスタ上のクリア信号をすべて無効にできるオプションのピンです。このピンを Low にドライブすると、レジスタはすべてクリアされます。このピンを High にドライブすると、レジスタはすべてプログラムどおりに動作します。このピンをイネーブルするには、Quartus II ソフトウェアで <b>Enable device-wide reset (DEV_CLRn)</b> オプションをオンにします。

表 13-13 に、専用 JTAG ピンの説明を示します。JTAG 命令を誤ってロードしないように、コンフィギュレーションの実行前と実行中、JTAG ピンを安定した状態に維持する必要があります。TCK ピンは内部ウィーク・プルダウン抵抗を備えています。TMS と TDI の JTAG 入力ピンは内部ウィーク・プルアップ抵抗を備えています。

ピン名	ユーザ・モード	ピン・タイプ	説明
TDI	N/A	入力	命令、テストおよびプログラミング・データ用のシリアル入力ピン。データは、TCK の立ち上がりエッジでシフト・インされます。  ボード上で JTAG インタフェースが必要でない場合、このピンを V <sub>CC</sub> に接続すると、JTAG 回路をディセーブルできます。
TDO	N/A	出力	命令、テストおよびプログラミング・データ用のシリアル・データ出力ピン。データは、TCK の立ち下がりエッジでシフト・アウトされます。データがデバイスからシフト・アウトされない場合、このピンはトライ・ステートになります。  ボード上で JTAG インタフェースが必要でない場合、このピンを未接続のままにすると、JTAG 回路をディセーブルできます。
TMS	N/A	入力	TAP コントローラ・ステート・マシンの遷移を判断するコントロール信号を提供する入力ピン。ステート・マシン内の遷移は、TCK の立ち上がりエッジで発生します。このため、TCK の立ち上がりエッジの前に TMS を設定する必要があります。TMS は、TCK の立ち上がりエッジで評価されます。  ボード上で JTAG インタフェースが必要でない場合、このピンを V <sub>CC</sub> に接続すると、JTAG 回路をディセーブルできます。
TCK	N/A	入力	BST 回路へのクロック入力。立ち上がりエッジで発生する動作と、立ち下がりエッジで発生する動作があります。  ボード上で JTAG インタフェースが必要ない場合、このピンを GND に接続すると、JTAG 回路をディセーブルできます。

## まとめ

Cyclone II デバイスは、システムの要件に合わせて、AS、PS、または JTAG コンフィギュレーション手法でコンフィギュレーションできます。Cyclone II デバイスでサポートされている AS コンフィギュレーション手法は、より高い DCLK 周波数 (最大 40 MHz) で動作できるようになったため、コンフィギュレーション時間を短縮できます。さらに、Cyclone II デバイスは圧縮されたコンフィギュレーション・ビットストリームを受信し、このデータを AS または PS コンフィギュレーション手法ですぐに復元できるため、必要なメモリおよびコンフィギュレーション時間をさらに低減できます。