

この資料は英語版を翻訳したもので、内容に相違が生じる場合には原文を優先します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CI151012-1.1

はじめに

Cyclone™ II FPGA を単独で、またはデジタル信号処理 (DSP) コプロセッサとして使用して、DSP アプリケーションの価格対性能比を向上させることができます。Cyclone II デバイスが提供する以下の機能およびデザイン・サポートにより、高性能でありながら低コストの DSP システムが実現できます。

- 最大 150 個の 18×18 マルチプライヤ
- 最大 1.1 M ビットのオンチップ・エンベデッド・メモリ
- 外部メモリへの高速インタフェース
- DSP IP (Intellectual Property) コア
- The MathWorks社の Simulink および MATLAB ソフトウェアへの DSP Builder インタフェース
- DSP 開発キット、Cyclone II エディション

この章は、Cyclone II エンベデッド・マルチプライヤ・ブロックに焦点を当てています。

Cyclone II デバイスには、高い乗算性能が要求される低コストの DSP アプリケーション向けに最適化されたエンベデッド・マルチプライヤ・ブロックが搭載されています。これらのエンベデッド・マルチプライヤをプログラマブル・ロジック・デバイス (PLD) の柔軟性と組み合わせると、価格重視の DSP 機能を簡単かつ効率的に実装できます。デジタル・テレビ (DTV) や家庭用エンターテインメント・システムなどの民生用アプリケーション・システムでは、一般に有限インパルス応答 (FIR) フィルタ、高速フーリエ変換 (FFT) 機能、離散コサイン変換 (DCT) 機能などの信号処理機能を実行するためのマルチプライヤを実装するコスト効果の高いソリューションが必要になります。

Cyclone II デバイスの M4K メモリ・ブロックは、エンベデッド・マルチプライヤとともに、さまざまなソフト・マルチプライヤの実装もサポートします。これらのソフト・マルチプライヤとエンベデッド・マルチプライヤを組み合わせると、Cyclone II デバイスで使用できるマルチプライヤの数が増加し、ユーザがシステムを設計する際に多様な実装オプションと柔軟性を提供します。

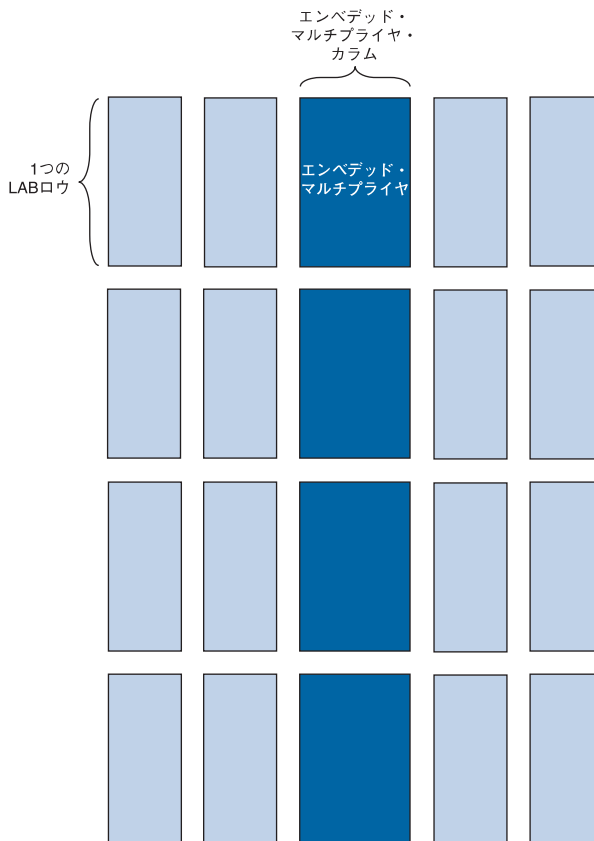


Cyclone II デバイスについて詳しくは、「Cyclone II デバイス・ハンドブック Volume 1」の「Cyclone II デバイス・ファミリ・データシート」を参照してください。

エンベデッド・マルチプライヤ・ブロックの概要

各 Cyclone II デバイスには、乗算機能を実装する 1～3 カラムのエンベデッド・マルチプライヤがあります。図 12-1 に、エンベデッド・マルチプライヤの 1 つのカラムとその周りの LAB を示します。各エンベデッド・マルチプライヤは、1 個の 18×18 マルチプライヤまたは 2 個の 9×9 マルチプライヤをサポートするように構成できます。

図 12-1. カラム内に配置されたエンベデッド・マルチプライヤと隣接する LAB



カラムごとのエンベデッド・マルチプライヤの数と使用可能なカラム数は、デバイス集積度が高くなるほど増加します。表 12-1 に、各 Cyclone II デバイスのエンベデッド・マルチプライヤの数および実装可能なマルチプライヤの数を示します。

デバイス	エンベデッド・マルチプライヤ	9 × 9 マルチプライヤ (1)	18 × 18 マルチプライヤ (1)
EP2C5	13	26	13
EP2C8	18	36	18
EP2C20	26	52	26
EP2C35	35	70	35
EP2C50	86	172	86
EP2C70	150	300	150

表 12-1 の注：

- (1) 各デバイスには、記載した数の 9 × 9 または 18 × 18 マルチプライヤがあります。各デバイスのマルチプライヤの総数はすべてのマルチプライヤの合計数にはなりません。

エンベデッド・マルチプライヤに加えて、Cyclone II M4K メモリ・ブロックを使用してソフト・マルチプライヤを実装することもできます。ソフト・マルチプライヤが使用できると、デバイス内で使用可能なマルチプライヤの数が増えます。表 12-2 に、エンベデッド・マルチプライヤとソフト・マルチプライヤを使用した Cyclone II デバイスで使用可能なマルチプライヤの総数を示します。

デバイス	エンベデッド・マルチプライヤ数 (18 × 18)	ソフト・マルチプライヤ数 (16 × 16) (1)	マルチプライヤの総数 (2)
EP2C5	13	26	39
EP2C8	18	36	54
EP2C20	26	52	78
EP2C35	35	105	140
EP2C50	86	129	215

表 12-2. Cyclone II のマルチプライヤの数 (2 / 2)

デバイス	エンベデッド・ マルチプライヤ数 (18 × 18)	ソフト・ マルチプライヤ数 (16 × 16) (1)	マルチプライヤ の総数 (2)
EP2C70	150	250	400

表 12-2 の注：

- (1) ソフト・マルチプライヤは、積和モードで実装されます。M4K メモリ・ブロックは、16 ビット係数をサポートするため、18 ビットのデータ幅で構成されます。係数の和は、オーバフローに対応するために、18 ビットの分解能を必要とします。
- (2) マルチプライヤの総数は、使用されるマルチプライヤ・モードで変動する可能性があります。

Cyclone II デバイスの M4K メモリ・ブロックについて詳しくは、「Cyclone II デバイス・ハンドブック Volume 1」の「Cyclone II メモリ・ブロック」を参照してください。



ソフトマルチプライヤの詳細については、「AN 306: Implementing Multipliers in FPGA Devices」を参照してください。

アーキテクチャ

各エンベデッド・マルチプライヤは次のエレメントで構成されます。

- マルチプライヤ・ステージ
- 入出力レジスタ
- 入出力インタフェース

図 12-2 にマルチプライヤ・ブロック・アーキテクチャを示します。

図 12-2. マルチプライヤ・ブロック・アーキテクチャ

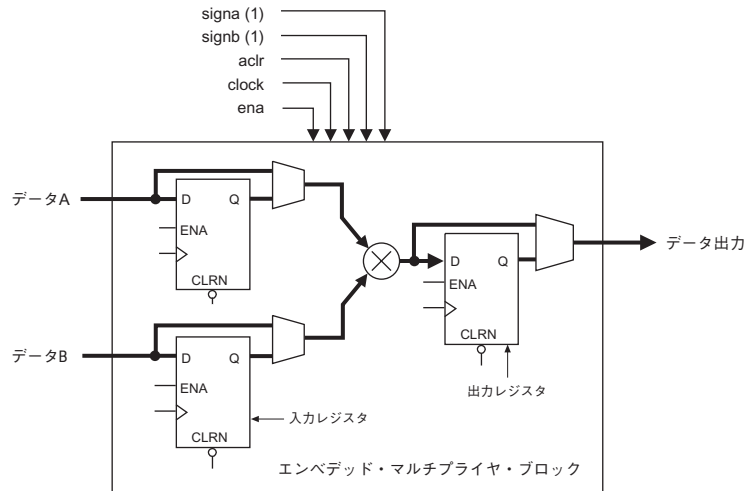


図 12-2 の注：

- (1) 必要に応じて、データ信号バスにマッチングさせるために、これらの信号をいずれかのレジスタを経由して送信することができます。

入力レジスタ

マルチプライヤの各入力信号は、入力レジスタに送信するか、マルチプライヤの動作モードに応じてマルチプライヤの 9 ビットまたは 18 ビット・セクションに直接送信できます。マルチプライヤの各入力信号は、他のレジスタに関係なく 1 つのレジスタを経由して送信できます（例えば、マルチプライヤのデータ A 信号はレジスタ経由で、データ B 信号はマルチプライヤに直接送信することが可能）。エンベデッド・マルチプライヤ内の各レジスタには、以下のコントロール信号を使用することができます。

- クロック
- クロック・イネーブル
- 非同期クリア

1 つのエンベデッド・マルチプライヤ内のすべての入力および出力レジスタには、同じクロック、クロック・イネーブル、または非同期クリア信号が供給されます。


マルチプライヤ・ステージ

マルチプライヤ・ステージは、 9×9 または 18×18 マルチプライヤを始め、これらの構成の間にある他の小さなマルチプライヤもサポートします。詳細については、12-7 ページの「動作モード」を参照してください。データ幅またはマルチプライヤの動作モードに応じて、1つのエンベデッド・マルチプライヤで1つまたは2つの乗算を並列に実行できます。

各マルチプライヤのオペランドには、一意の符号付きまたは符号なし数値を使用できます。signa と signb の2つの信号は、マルチプライヤの入力が符号付き数値か符号なし数値かを制御します。signa 信号が High の場合、データ A のオペランドは符号付き数値となり、signa 信号が Low の場合は、データ A のオペランドは符号なし数値になります。表 12-3 に各種オペランドの符号表現の乗算結果の符号を示します。いずれかのオペランドが符号付き数値の場合、乗算の結果は符号付きとなります。

データ A		データ B		結果
signa 値	ロジック・レベル	signb 値	ロジック・レベル	
符号なし	Low	符号なし	Low	符号なし
符号なし	Low	符号付き	High	符号付き
符号付き	High	符号なし	Low	符号付き
符号付き	High	符号付き	High	符号付き

各エンベデッド・マルチプライヤには、1つの signa 信号と1つの signb 信号しかありません。signa 信号および signb 信号は、実行時に入力オペランドの符号表現を変更するためにダイナミックに変更できます。signa 信号および signb 信号は、専用の入力レジスタを経由して送信できます。マルチプライヤは、符号表現に関係なく完全精度を提供します。

 signa および signb 信号が未使用の場合、Quartus® II ソフトウェアは、マルチプライヤがデフォルトで符号なし乗算を実行するように設定します。

出力レジスタ

マルチプライヤの動作モードに応じて、18 ビットまたは 36 ビット・セクションの出力レジスタを使用して、エンベデッド・マルチプライヤの出力をラッチするように選択できます。エンベデッド・マルチプライヤ内の各出力レジスタでは、以下の制御信号を使用できます。

- クロック
- クロック・イネーブル
- 非同期クリア

1 つのエンベデッド・マルチプライヤのすべての入力および出力レジスタには、同じクロック、クロック・イネーブル、または非同期クリア信号が供給されます。



エンベデッド・マルチプライヤの配線とインタフェースについて詳しくは、「Cyclone II デバイス・ハンドブック Volume 1」の「Cyclone II アーキテクチャ」を参照してください。

動作モード

エンベデッド・マルチプライヤは、アプリケーションでの必要性に応じて、以下の 2 つの動作モードのいずれかで使用できます。

- 1 つの 18 ビット・マルチプライヤ
- 最大 2 つの独立した 9 ビット・マルチプライヤ

Quartus II ソフトウェアには、マルチプライヤの動作モードを制御するメガファンクションがあります。MegaWizard® Plug-In Manager を使用して適切なパラメータを設定すると、Quartus II ソフトウェアは、自動的にエンベデッド・マルチプライヤを構成します。



Cyclone II デバイスのエンベデッド・マルチプライヤを使用すると、乗算加算器と乗算累積器のファンクションを実装することもできます。ファンクションの乗算部分はエンベデッド・マルチプライヤを使用して実装され、加算または累積ファンクションは、ロジック・エレメント (LE) に実装されます。



Cyclone II デバイスのエンベデッド・マルチプライヤのメガファンクションと Quartus II のサポートについて詳しくは、「ソフトウェア・サポート」の項を参照してください。

18 ビット・マルチプライヤ

各エンベデッド・マルチプライヤは、入力幅が 10 ~ 18 ビットの 1 つの 18 × 18 マルチプライヤをサポートするように構成できます。図 12-3 に、18 ビット・マルチプライヤをサポートするように構成されたエンベデッド・マルチプライヤを示します。

図 12-3. 18 ビット・マルチプライヤ・モード

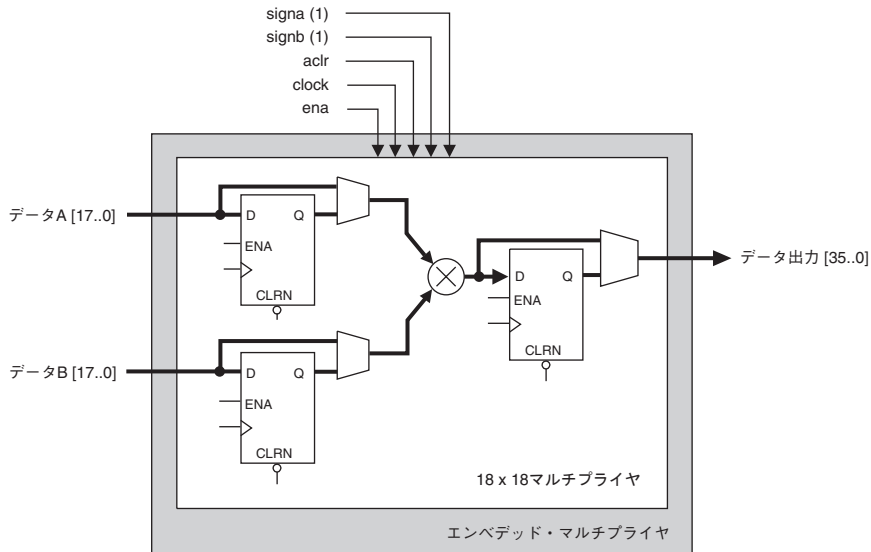


図 12-3 の注：

- (1) 必要に応じて、これらの信号はデータ信号パスにマッチングさせるために、1 つのレジスタを経由して送信することができます。

18 ビット・マルチプライヤの入力および結果はすべて、レジスタを経由して個別に送信することができます。マルチプライヤの入力は、符号付き整数、符号なし整数、またはその両方の組み合わせを受け入れることができます。さらに、*signa* 信号および *signb* 信号をダイナミックに変更して、専用の入力レジスタを経由して送信できます。

9 ビット・マルチプライヤ

各エンベデッド・マルチプライヤは、入力幅が最大9ビットの2つの独立した 9×9 マルチプライヤをサポートするように構成することも可能です。図 12-4 に、2つの9ビット・マルチプライヤをサポートするように構成されたエンベデッド・マルチプライヤを示します。

図 12-4. 9 ビット・マルチプライヤ・モード

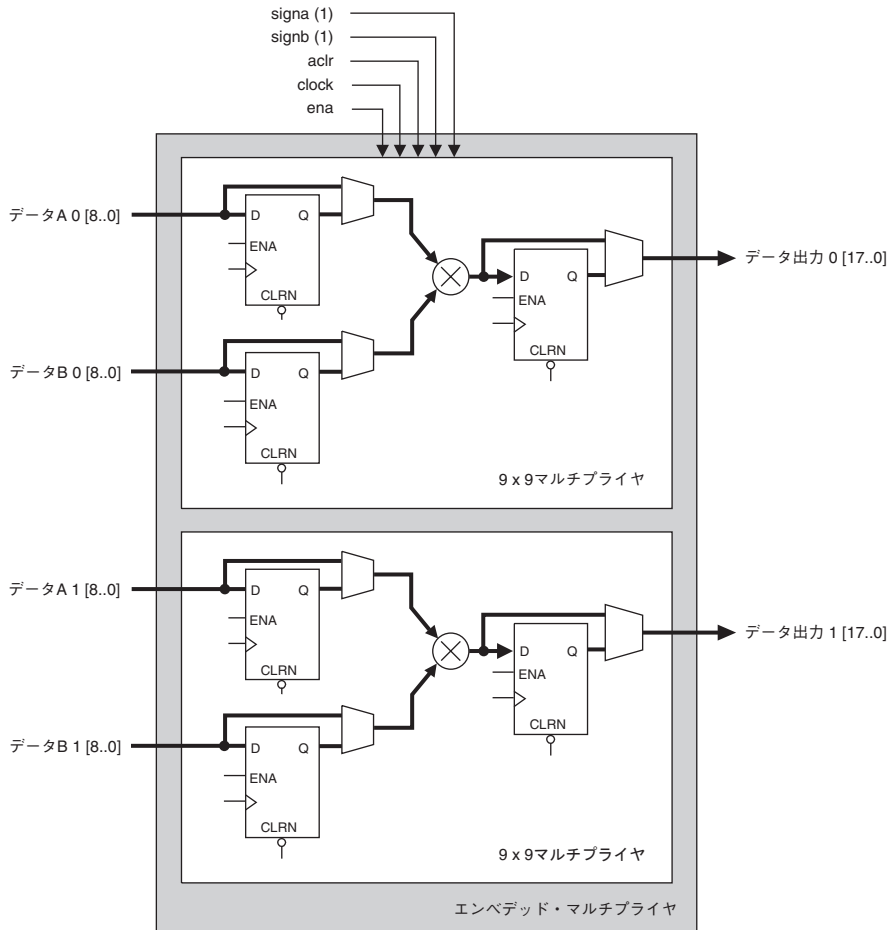


図 12-4 の注：

- (1) 必要に応じて、これらの信号はデータ信号バスにマッチングさせるために、1つのレジスタを経由して送信することができます。

9ビット・マルチプライヤの入力および結果はすべて、レジスタを経由して個別に送信することができます。マルチプライヤの入力は、符号付き整数、符号なし整数、またはその両方の組み合わせを受け入れることができます。各エンベデッド・マルチプライヤには、両方のデータ A 入力（各9×9 マルチプライヤに1つずつ）の符号表現を制御する `signa` 信号が1つ、両方のデータ B 入力の符号表現を制御する `signb` 信号が1つだけあります。したがって、同じエンベデッド・マルチプライヤに供給するすべてのデータ A 入力は、同じ符号表現でなければなりません。同様に、同一のエンベデッド・マルチプライヤに供給するすべてのデータ B 入力も、同じ符号表現である必要があります。

ソフトウェア・サポート

アルテラは、エンベデッド・マルチプライヤ・リソースを使用してデザインにマルチプライヤを実装するために、インスタンス化と推定の2つの方法を提供します。どちらの方法も、以下の3つの Quartus II メガファンクションを使用します。

- `lpm_mult`
- `altmult_add`
- `altmult_accum`

Quartus II ソフトウェアのメガファンクションをインスタンス化して、エンベデッド・マルチプライヤを使用することができます。`lpm_mult` および `altmult_add` メガファンクションを使用してマルチプライヤを実装できます。さらに、`altmult_add` メガファンクションを使用して、乗算加算器を実装できます。この乗算加算器では、マルチプライヤ・ファンクションの実装にはエンベデッド・マルチプライヤが使用され、加算ファンクションは LE に実装されます。`altmult_accum` メガファンクションは、乗算累積ファンクションを実装します。このファンクションでは、エンベデッド・マルチプライヤがマルチプライヤを実装し、累積ファンクションは LE に実装されます。



メガファンクションと MegaWizard Plug-In Manager の使用方法については、Quartus II オンライン・ヘルプを参照してください。



DSP デザインおよび IP (Intellectual Property) については詳しくは、www.altera.co.jp を参照してください。

また、HDL デザインを作成してメガファンクションを推定し、Quartus II Native Synthesis やサードパーティ合成ツールを使用してメガファンクションを合成できます。このサードパーティ合成ツールには、該当する乗算メガファンクションを認識し推定する、LeonardoSpectrum™ や Synplify などがあります。Quartus II ソフトウェアは、いずれかの方法を使用して、コンパイル時に乗算機能をエンベデッド・マルチプライヤにマッピングします。



詳細については、「Quartus II 開発ソフトウェア・ハンドブック Volume 1」の「合成」を参照してください。

まとめ

Cyclone II デバイスのエンベデッド・マルチプライヤは、FIR フィルタ、FFT 機能、エンコーダなど、高い乗算性能が要求される DSP アプリケーションをサポートするように最適化されています。これらのエンベデッド・マルチプライヤは、最大 18 ビットまでの各種ビット幅のマルチプライヤを実装して、特定のアプリケーションに適合するようにコンフィギュレーションできます。この結果、リソースの効率的な活用、性能とデータ・スループットの向上を実現できます。Quartus II ソフトウェアは、LeonardoSpectrum や Synplify ソフトウェアと連携して、エンベデッド・マルチプライヤによる乗算機能を実装するための完全で使いやすいフローを提供します。

