

この資料は更新された最新の英語版が存在します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CI151010-1.1

はじめに

標準 I/O 規格の普及と高い I/O 性能に対するニーズにより、低コスト・デバイスに柔軟な I/O 機能を実装することが不可欠になりました。SSTL-18、SSTL-2、LVDS 互換性などの選択可能な I/O 機能により、Cyclone™ II デバイスを、異なる動作電圧や I/O 電圧を必要とする、同一プリント基板 (PCB) 上の他のデバイスに接続することができます。アルテラの Quartus® II ソフトウェアを使用すれば、これらの実装を簡単に操作できるため、システム設計者は Cyclone II デバイス・ファミリによってますます複雑化するデザインに対応しながら、低コストの FPGA を使用することができます。

この章では、Cyclone II デバイスの入力および出力機能について説明します。内容は以下のとおりです。

- 標準 I/O 規格のサポート
- Cyclone II デバイスの I/O バンク
- プログラマブルな電流ドライブ能力
- I/O 終端
- パッド配置および DC のガイドライン



ホット・ソケットの詳細については、「Cyclone II デバイス・ハンドブック Volume 1」の「ホット・ソケット、ESD およびパワー・オン・リセット」を参照してください。

標準 I/O 規格の サポート



Cyclone II デバイスは、表10-1に示す標準 I/O 規格をサポートしています。

各標準 I/O 規格のターゲット・データ・レートと電圧値など、ここで説明する標準 I/O 規格の詳細については、「Cyclone II デバイス・ハンドブック Volume 1」の「DC & タイミング特性」を参照してください。



外部メモリ・アプリケーションの標準 I/O 規格については、「Cyclone II デバイス・ハンドブック Volume 1」の「外部メモリ・インタフェース」を参照してください。

表 10-1. Cyclone II デバイスでサポートされる標準 I/O 規格および制約 (1 / 2)

標準 I/O 規格	タイプ	V _{CCIO} レベル		トップおよびボトム I/O ピン		サイド I/O ピン		
		入力	出力	CLK、DQS	ユーザ I/O ピン	CLK、DQS	PLL_OUT	ユーザ I/O ピン
3.3 V LVTTTL および LVCMOS	シングル・エンド	3.3 V/ 2.5 V	3.3 V	√	√	√	√	√
2.5 V LVTTTL および LVCMOS	シングル・エンド	3.3 V/ 2.5 V	2.5 V	√	√	√	√	√
1.8 V LVTTTL および LVCMOS	シングル・エンド	1.8 V/ 1.5 V	1.8 V	√	√	√	√	√
1.5 V LVCMOS	シングル・エンド	1.8 V/ 1.5 V	1.5 V	√	√	√	√	√
SSTL-2 class I	リファレンス電圧	2.5 V	2.5 V	√	√	√	√	√
SSTL-2 class II	リファレンス電圧	2.5 V	2.5 V	√	√	√	√	√
SSTL-18 class I	リファレンス電圧	1.8 V	1.8 V	√	√	√	√	√
SSTL-18 class II	リファレンス電圧	1.8 V	1.8 V	√	√	(1)	(1)	(1)
HSTL-18 class I	リファレンス電圧	1.8 V	1.8 V	√	√	√	√	√
HSTL-18 class II	リファレンス電圧	1.8 V	1.8 V	√	√	(1)	(1)	(1)
HSTL-15 class I	リファレンス電圧	1.5 V	1.5 V	√	√	√	√	√
HSTL-15 class II	リファレンス電圧	1.5 V	1.5 V	√	√	(1)	(1)	(1)
PCI および PCI-X (2)	シングル・エンド	3.3 V	3.3 V			√	√	√
差動 SSTL-2 class I または class II	疑似差動 (3)	(4)	2.5 V				√	
		2.5 V	(4)	√ (5)		√ (5)		
差動 SSTL-18 class I または class II	疑似差動 (3)	(4)	1.8 V				√ (6)	
		1.8 V	(4)	√ (5)		√ (5)		

表 10-1. Cyclone II デバイスでサポートされる標準 I/O 規格および制約 (2 / 2)

標準 I/O 規格	タイプ	V _{CCIO} レベル		トップおよびボトム I/O ピン		サイド I/O ピン		
		入力	出力	CLK、DQS	ユーザ I/O ピン	CLK、DQS	PLL_OUT	ユーザ I/O ピン
差動 HSTL-15 class I または class II	疑似差動 (3)	(4)	1.5 V				√ (6)	
		1.5 V	(4)	√ (5)		√ (5)		
差動 HSTL-18 class I または class II	疑似差動 (3)	(4)	1.8 V				√ (6)	
		1.8 V	(4)	√ (5)		√ (5)		
LVDS	差動	2.5 V	2.5 V	√	√	√	√	√
RSDS および mini-LVDS (7)	差動	(4)	2.5 V		√		√	√
LVPECL (8)	差動	3.3 V/ 2.5 V/ 1.8 V/ 1.5 V	(4)	√		√		

表 10-1 の注：

- (1) これらのピンは、SSTL-18 class II、1.8 V および 1.5 V HSTL class II の入力をサポートします。
- (2) PCI-X は、linear region の IV カーブ条件を満たしません。上下バンクの I/O ピンでは、PCI クランプ・ダイオードは使用できません。
- (3) 擬似差動 HSTL および SSTL 出力は、2 つのシングル・エンド出力を使用し、第 2 の出力は反転としてプログラムされます。疑似差動 HSTL および SSTL 入力、差動入力を 2 つのシングル・エンド HSTL および SSTL 入力として扱い、いずれか 1 つの入力のみをデコードします。
- (4) この標準 I/O 規格は、これらの I/O ピンではサポートされません。
- (5) この標準 I/O 規格は、専用クロック・ピンでのみサポートされます。
- (6) PLL_OUT は、差動 SSTL-18 class II、差動 1.8 V および 1.5 V HSTL class II をサポートしていません。
- (7) mini-LVDS および RSDS は、出力ピンでのみサポートされます。
- (8) LVPECL は、クロック入力でのみサポートされます。

3.3 V LVTTTL (EIA/JEDEC 規格 JESD8-B)

3.3 V LVTTTL 標準 I/O 規格は、3.3 V アプリケーションに使用される汎用のシングル・エンド規格です。LVTTTL 規格は、3.0 V/3.3 V 電源で動作し、LVTTTL 準拠デバイスをドライブするか、または LVTTTL 準拠デバイスからドライブされるデジタル回路の DC インタフェース・パラメータを定義しています。

LVTTTL 入力規格は、 $-0.3 \text{ V} \leq V_I \leq 3.9 \text{ V}$ の広い入力電圧範囲を規定しています。アルテラは、 $-0.5 \text{ V} \leq V_I \leq 4.1 \text{ V}$ の入力電圧範囲を推奨しています。

3.3 V LVCMOS (EIA/JEDEC 規格 JESD8-B)

3.3 V LVCMOS 標準 I/O 規格は、3.3 V アプリケーションに使用される汎用のシングル・エンド規格です。LVCMOS 規格は、3.0 V または 3.3 V 電源で動作し、LVCMOS 準拠デバイスをドライブするか、または LVCMOS 準拠デバイスからドライブされるデジタル回路の DC インタフェース・パラメータを定義しています。

LVCMOS 規格は、LVTTTL ($-0.3 \text{ V} \leq V_I \leq 3.9 \text{ V}$) と同じ入力電圧条件を規定しています。出力バッファは、最小 High レベル出力電圧条件を満たすためにレールにドライブされます。3.3 V 標準 I/O 規格は、入力リファレンス電圧やボードの終端を必要としません。Cyclone II デバイスは、3.3 V LVCMOS 標準 I/O 規格で規定される入力および出力レベルをサポートします。

3.3 V (PCI Special Interest Group [SIG] PCI Local Bus Specification Revision 3.0)

PCI ローカル・バス規格は、PCI ローカル・バスに接続するアプリケーションに使用します。PCI ローカル・バスは、高集積パリティ・コントローラ・コンポーネント、パリティ・アドイン・ボード、およびプロセッサ/メモリ・システム間のプロセッサから独立したデータ・バスを提供します。従来の PCI Specification Revision 3.0 は、PCI デバイスおよび拡張ボードのプロトコル、電気、機械、コンフィギュレーション仕様を含む PCI ハードウェア環境を定義しています。この規格は、3.3 V V_{CCIO} を必要とします。3.3 V PCI 規格は、入力リファレンス電圧やボードの終端を必要としません。

すべての Cyclone II デバイスのサイド (左および右) I/O バンクは、3.3 V PCI ローカル・バス仕様 (Revision 3.0) に完全準拠しており、32 ビット / 66 MHz の動作周波数とタイミング条件を満たします。

表 10-2 に、66 MHz 64 ビットおよび 32 ビット PCI をサポートする Cyclone II デバイスを示します。

デバイス	パッケージ	スピード・グレード -6 および -7	
		64 ビット	32 ビット
EP2C5	144 ピン TQFP		
	208 ピン PQFP		√
EP2C8	144 ピン TQFP		
	208 ピン PQFP		√
	256 ピン FineLine BGA®		√
EP2C20	256 ピン FineLine BGA		√
	484 ピン FineLine BGA	√	√
EP2C35	484 ピン FineLine BGA	√	√
	672 ピン FineLine BGA	√	√
EP2C50	484 ピン FineLine BGA	√	√
	672 ピン FineLine BGA	√	√
EP2C70	672 ピン FineLine BGA	√	√
	896 ピン FineLine BGA	√	√

表 10-3 に、33 MHz 64 ビットおよび 32 ビット PCI をサポートする Cyclone II デバイスを示します。

デバイス	パッケージ	スピード・グレード -6、-7 および -8	
		64 ビット	32 ビット
EP2C5	144 ピン TQFP		
	208 ピン PQFP		√
EP2C8	144 ピン TQFP		
	208 ピン PQFP		√
	256 ピン FineLine BGA		√

表 10-3. Cyclone II の 33 MHz PCI のサポート (2 / 2)

デバイス	パッケージ	スピード・グレード -6、-7 および -8	
		64 ビット	32 ビット
EP2C20	256 ピン FineLine BGA		√
	484 ピン FineLine BGA	√	√
EP2C35	484 ピン FineLine BGA	√	√
	672 ピン FineLine BGA	√	√
EP2C50	484 ピン FineLine BGA	√	√
	672 ピン FineLine BGA	√	√
EP2C70	672 ピン FineLine BGA	√	√
	896 ピン FineLine BGA	√	√

3.3 V PCI-X

3.3 V PCI-X 標準 I/O 規格は、PCI SIG が開発した PCI-X ローカル・バス仕様 (Revision 1.0) に基づいて策定されています。

PCI-X 1.0 規格は、PCI ローカル・バスに接続するアプリケーションで使用します。この規格では、クロック速度最大 133 MHz、または 64 ビット・バスの場合は 1 Gbps (Gigabit per Second) で動作するシステムやデバイスのデザインが可能です。PCI-X 1.0 プロトコルの拡張機能を使用すると、デバイスははるかに効率的に動作するため、どのクロック周波数でもより多くの有効帯域幅を提供できるようになります。PCI-X 1.0 規格を使用することにより、PCI-X 1.0 条件を満たし、かつシステムに組み込むと従来の 33 MHz および 66 MHz PCI デバイスとして動作するデバイスを設計できます。この規格は、3.3 V V_{CCIO} を必要とします。Cyclone II デバイスは、3.3 V PCI-X 仕様 Revision 1.0a に完全準拠し、133 MHz の動作周波数とタイミング条件を満たします。3.3 V PCI-X 規格は、入力リファレンス電圧またはボード終端を必要としません。Cyclone II デバイスは、サイド (左および右) バンクで入力および出力をサポートします。

2.5 V LVTTTL 標準および広範囲電圧 (EIA/JEDEC 規格 EIA/JESD8-5)

2.5 V 標準 I/O 規格は、2.5 V LVTTTL アプリケーションに使用されます。この規格は、他の 2.5 V デバイスをドライブするか、または他の 2.5 V デバイスからドライブされる高速、低電圧、終端なしのデジタル回路の DC インタフェース・パラメータを定義しています。入力および出力電圧条件は、以下のとおりです。

- 2.5 V の標準および広範囲入力規格は、 $-0.3\text{ V} \leq V_I \leq 3.0\text{ V}$ の入力電圧範囲を規定
- 標準範囲の最小 High レベル出力電圧条件 (V_{OH}) は 2.1 V である
- 広範囲の最小 V_{OH} は $V_{CCIO} - 0.2\text{ V}$

2.5 V 規格は、入力リファレンス電圧またはボード終端を必要としません。Cyclone II デバイスは、2.5 V LVTTTL 範囲の入力および出力をサポートします。

2.5 V LVCMOS 標準および広範囲電圧 (EIA/JEDEC 規格 EIA/JESD8-5)

2.5 V 標準 I/O 規格は、2.5 V LVCMOS アプリケーションに使用されます。この規格は、他の 2.5 V 部品をドライブするか、または他の 2.5 V 部品からドライブされる高速、低電圧、終端なしのデジタル回路の DC インタフェース・パラメータを定義しています。入力および出力電圧範囲は、以下のとおりです。

- 2.5 V の標準および広範囲入力規格は、 $-0.3\text{ V} \leq V_I \leq 3.0\text{ V}$ の入力電圧範囲を規定
- 標準範囲の最小 V_{OH} 条件は 2.1 V
- 広範囲の最小 V_{OH} 条件は $V_{CCIO} - 0.2\text{ V}$

2.5 V 規格は、入力リファレンス電圧またはボード終端を必要としません。Cyclone II デバイスは、2.5 V LVCMOS 範囲の入力および出力をサポートします。

SSTL-2 Class I & II (EIA/JEDEC 規格 JESD8-9A)

SSTL-2 標準 I/O 規格は、高速 DDR (Double Data Rate) SDRAM インタフェースなどのアプリケーションに使用される 2.5 V メモリ・バス規格です。この規格は、0.0 ~ 2.5 V の SSTL-2 ロジック・スイッチング範囲で動作するデバイスの入力および出力仕様を定義しています。この規格は、バスを大きなスタブから絶縁する必要がある条件下での動作を改善します。SSTL-2 規格は、 $-0.3 \text{ V} \leq V_I \leq V_{CCIO} + 0.3 \text{ V}$ の入力電圧範囲を規定しています。SSTL-2 では、1.25 V の V_{REF} および終端抵抗に接続された 1.25 V の V_{TT} が必要です (図 10-1 および 10-2 を参照)。

図 10-1. SSTL-2 Class I 終端

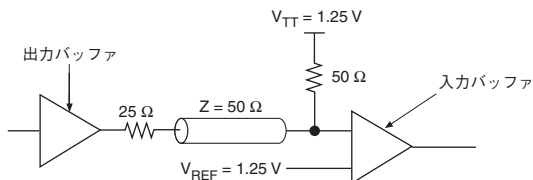
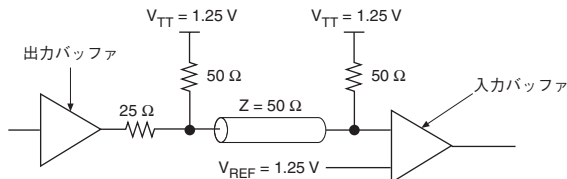


図 10-2. SSTL-2 Class II 終端



Cyclone II デバイスは、SSTL-2 class I および SSTL-2 class II の入力および出力をサポートします。

擬似差動 SSTL-2

差動 SSTL-2 標準 I/O 規格 (EIA/JEDEC 規格 JESD8-9A) は、高速 DDR SDRAM クロック・インタフェースなどのアプリケーションに使用される 2.5 V 規格です。この規格は、SSTL-2 規格を使用するシステムの差動信号をサポートし、差動クロックに対する SSTL-2 規格を補強します。差動 SSTL-2 規格は、 $-0.3 \text{ V} \leq V_I \leq V_{CCIO} + 0.3 \text{ V}$ の入力電圧範囲を規定しています。差動 SSTL-2 規格は、入力リファレンス電圧を必要としません。差動 SSTL-2 終端の詳細については、図 10-3 および 10-4 を参照してください。

Cyclone II デバイスは、真の差動 SSTL-2 規格はサポートしていません。Cyclone II デバイスは、PLL_OUT ピンに対する擬似差動 SSTL-2 出力とクロック・ピンに対しては擬似差動 SSTL-2 入力をサポートします。擬似差動入力は、真の差動入力とは異なり、入力リファレンス電圧を必要とします。擬似差動 SSTL については、10-2 ページの表 10-1 を参照してください。

図 10-3. SSTL-2 Class I 差動終端

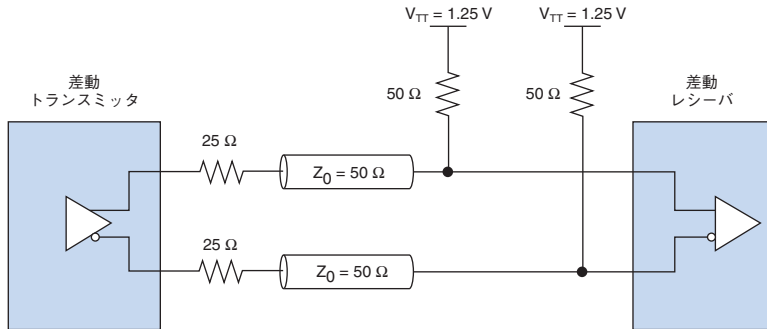
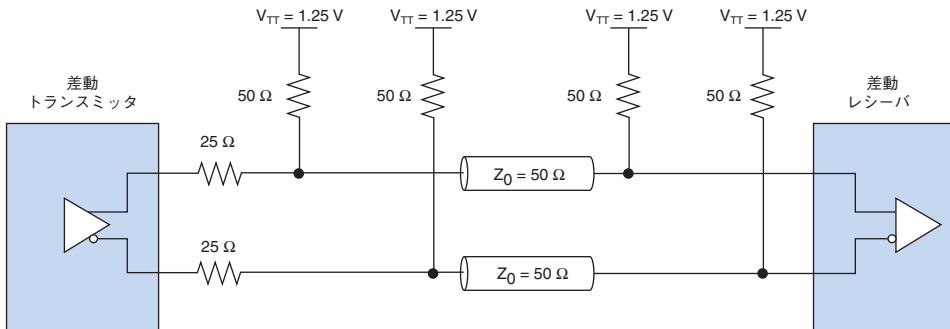


図 10-4. SSTL-2 Class II 差動終端



1.8 V LVTTTL 標準および広範囲電圧 (EIA/JEDEC 規格 EIA/JESD8-7)

1.8 V 標準 I/O 規格は、1.8 V LVTTTL アプリケーションに使用されます。この規格は、他の 1.8 V 部品をドライブするか、または他の 1.8 V 部品からドライブされる高速、低電圧、終端なしのデジタル回路の DC インタフェース・パラメータを定義しています。入力および出力電圧範囲は、以下のとおりです。

- 1.8 V の標準および広範囲入力規格は、 $-0.3\text{ V} \leq V_I \leq 2.25\text{ V}$ の入力電圧範囲を規定
- 標準範囲の最小 V_{OH} 条件は、 $V_{CCIO} - 0.45\text{ V}$
- 広範囲の最小 V_{OH} 条件は、 $V_{CCIO} - 0.2\text{ V}$

1.8 V 規格は、入力リファレンス電圧またはボード終端を必要としません。Cyclone II デバイスは、1.8 V LVTTTL の標準および広範囲の入力と出力をサポートします。

1.8 V LVCMOS の標準および広電圧範囲 (EIA/JEDEC 規格 EIA/JESD8-7)

1.8 V 標準 I/O 規格は、1.8 V LVCMOS アプリケーションに使用されます。この規格は、他の 1.8 V 部品をドライブするか、または他の 1.8 V 部品からドライブされる、高速、低電圧、終端なしのデジタル回路の DC インタフェース・パラメータを定義しています。入力および出力電圧範囲は、以下のとおりです。

- 1.8 V の標準および広範囲入力規格は、 $-0.3\text{ V} \leq V_I \leq 2.25\text{ V}$ の入力電圧範囲を規定する
- 標準範囲の最小 V_{OH} 条件は、 $V_{CCIO} - 0.45\text{ V}$
- 広範囲の最小 V_{OH} 条件は $V_{CCIO} - 0.2\text{ V}$

1.8 V 規格は、入力リファレンス電圧またはボード終端を必要としません。Cyclone II デバイスは、1.8 V LVCMOS の標準および広範囲の入力と出力をサポートします。

SSTL-18 Class I & II

1.8 V SSTL-18 規格は、JEDEC 規格の JESD815: Stub Series Terminated Logic for 1.8V (SSTL-18) に基づいて策定されています。

SSTL-18 標準 I/O 規格は、高速 DDR2 SDRAM インタフェースなどのアプリケーションに使用される 1.8 V メモリ・バス規格です。この規格は SSTL-2 に類似しており、0.0 ~ 1.8 V の SSTL-18 ロジック・スイッチング範囲で動作するように設計されたデバイスの入力および出力仕様を定義しています。SSTL-18 では、0.9 V の V_{REF} および終端抵抗に接続された 0.9 V の V_{TT} が必要です。JEDEC 仕様の SSTL-18 規格にはクラス定義はありません。この標準 I/O 規格の仕様は、直列および並列の両終端抵抗で構成される環境に基づきます。アルテラは、JEDEC 仕様の 2 つの派生アプリケーションに対するソリューションを提供しており、これらのソリューションに他の SSTL 規格と同様に class I および class II の名前を付けています。図 10-5 と 10-6 に、それぞれ SSTL-18 class I および class II 終端を示します。Cyclone II デバイスは、入力と出力の両方をサポートします。

図 10-5. 1.8 V SSTL Class I 終端

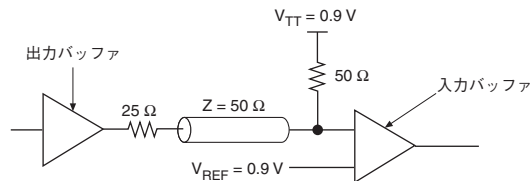
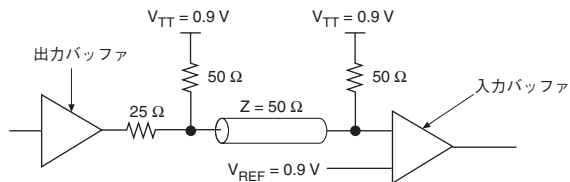


図 10-6. 1.8 V SSTL Class II 終端



1.8 V HSTL Class I & II

HSTL 規格は、電圧の拡張性を提供するために JEDEC によって開発されたテクノロジーに依存しない標準 I/O 規格です。QDR (Quad Data Rate) メモリ・クロック・インタフェースなど、0.0 V ~ 1.8 V の HSTL ロジック・スイッチング範囲で動作するように設計されたアプリケーションに使用されます。

JEDEC は 1.6 V の最大 V_{CCIO} 値を規定していますが、多くのメモリ・チップ・ベンダが V_{CCIO} として 1.8 V を要求する HSTL 規格を使用しています。Cyclone II デバイスは、 V_{CCIO} が 1.8 V の HSTL 対応のインタフェースをサポートします。図 10-7 と 10-8 に、高い V_{CCIO} 値の追従に必要な公称 V_{REF} および V_{TT} を示します。 V_{REF} の値は、システムで最適なノイズ・マージンが得られるように選択されています。Cyclone II デバイスは、入力と出力の両方をサポートします。

図 10-7. 1.8 V HSTL Class I 終端

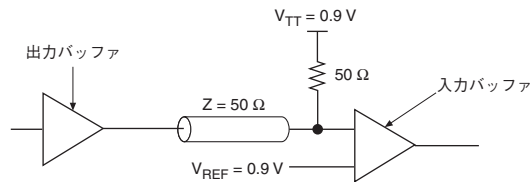
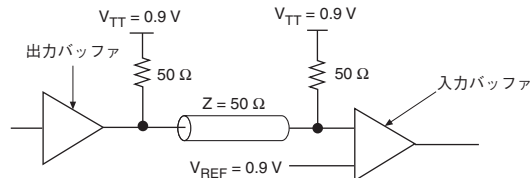


図 10-8. 1.8 V HSTL Class II 終端



擬似差動 SSTL-18 Class I および差動 SSTL-18 Class II

1.8 V 差動 SSTL-18 規格は、JEDEC 規格の JESD8-15: Stub Series Terminated Logic for 1.8 V (SSTL-18) に基づいて策定されています。

差動 SSTL-18 標準 I/O 規格は、高速 DDR2 SDRAM インタフェースなどのアプリケーションに使用される 1.8 V 規格です。この規格は、SSTL-18 規格を使用するシステムの差動信号をサポートし、差動クロックに対する SSTL-18 規格を補強します。差動 SSTL-18 終端の詳細については、図 10-9 および 10-10 を参照してください。

Cyclone II デバイスは、真の差動 SSTL-18 規格はサポートしていません。Cyclone II デバイスは、PLL_OUT ピンに対しては擬似差動 SSTL-18 出力とクロック・ピンに対する擬似差動 SSTL-18 入力をサポートします。擬似差動入力は、真の差動入力とは異なり、入力リファレンス電圧を必要とします。擬似差動 SSTL については、10-2 ページの表 10-1 を参照してください。

図 10-9. 差動 SSTL-18 Class I 終端

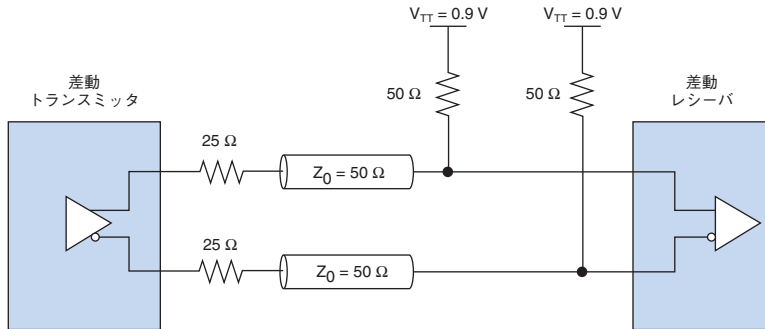
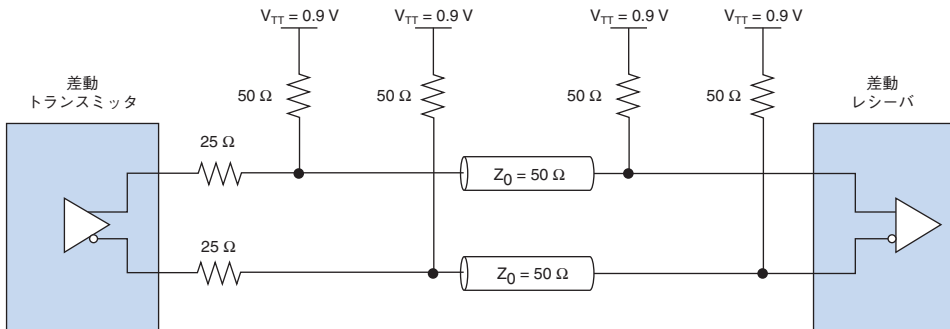


図 10-10. 差動 SSTL-18 Class II 終端



1.8 V 擬似差動 HSTL Class I & II

1.8 V 差動 HSTL 仕様は、1.8 V シングル・エンド HSTL 仕様と同じです。QDR メモリ・クロック・インタフェースなど、0.0 V ~ 1.8 V の HSTL ロジック・スイッチング範囲で動作するように設計されたアプリケーションに使用されます。Cyclone II デバイスは、入力レベルと出力レベルの両方をサポートします。1.8 V 差動 HSTL 終端の詳細については、[図 10-11](#) および [10-12](#) を参照してください。

Cyclone II デバイスは、真の 1.8 V 差動 HSTL 規格はサポートしていません。Cyclone II デバイスは、PLL_OUT ピンに対する擬似差動 HSTL 出力とクロック・ピンに対する擬似差動 HSTL 入力をサポートします。擬似差動入力は、真の差動入力とは異なり、入力リファレンス電圧を必要とします。擬似差動 HSTL については、[10-2 ページの表 10-1](#) を参照してください。

図 10-11. 1.8 V 差動 HSTL Class I 終端

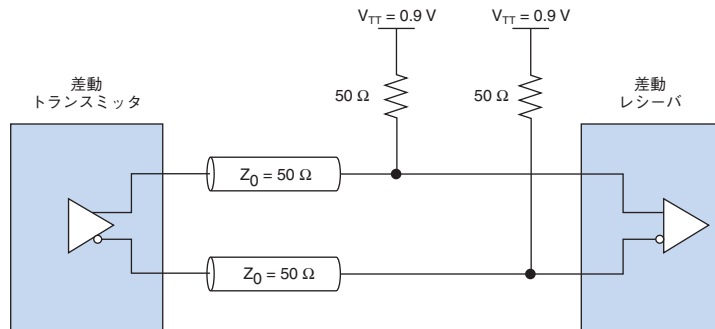
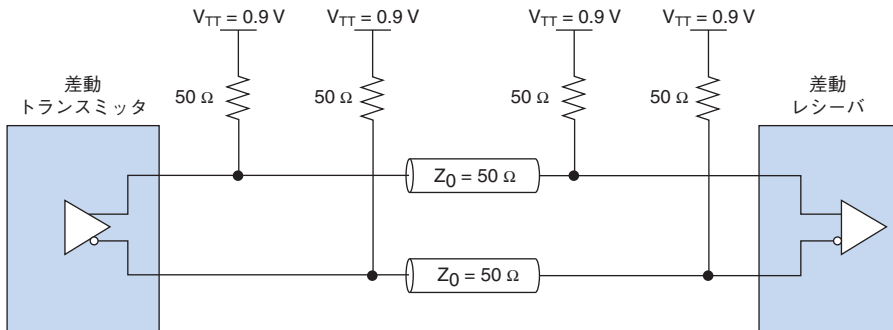


図 10-12. 1.8 V 差動 HSTL Class II 終端



1.5 V LVCMOS 標準および広範囲電圧 (EIA/JEDEC 規格 JESD8-11)

1.5 V 標準 I/O 規格は、1.5 V アプリケーションに使用されます。この規格は、他の 1.5 V デバイスをドライブするか、または他の 1.5 V デバイスからドライブされる、高速、低電圧、終端なしのデジタル回路の DC インタフェース・パラメータを定義しています。入力および出力電圧範囲は、以下のとおりです。

- 1.5 V の標準および広範囲入力規格は、 $-0.3\text{ V} \leq V_I \leq 1.9\text{ V}$ の入力電圧範囲を規定
- 標準範囲の最小 V_{OH} 条件は 1.05 V
- 広範囲の最小 V_{OH} 条件は $V_{CCIO} - 0.2\text{ V}$

1.5 V 規格は、入力リファレンス電圧またはボード終端を必要としません。Cyclone II デバイスは、1.5 V LVCMOS の標準および広電圧範囲の入力および出力をサポートします。

1.5 V HSTL Class I & II

1.5 V HSTL 規格は、EIA/JEDEC 規格の EIA/JESD8-6: A 1.5V Output Buffer Supply Voltage Based Interface Standard for Digital Integrated Circuits に基づいて策定されています。

1.5 V HSTL 標準 I/O 規格は、0.0 V ~ 1.5 V の HSTL ロジック公称スイッチング範囲で動作するように設計されたアプリケーションに使用されます。この規格は、すべての HSTL 準拠のデジタル集積回路のシングル・エンド入力および出力仕様を定義しています。Cyclone II デバイスの 1.5 V HSTL 標準 I/O 規格は、APEX™ 20KE、APEX 20KC、Stratix® II、Stratix GX、Stratix、および Cyclone II デバイスの 1.8 V HSTL 標準 I/O 規格と互換性があります。これは入力および出力電圧スレッシュホールドに互換性があるためです。図 10-13 と 10-14 を参照してください。Cyclone II デバイスは、 V_{REF} および V_{TT} により入力と出力の両方をサポートします。

図 10-13. 1.5 V HSTL Class I 終端

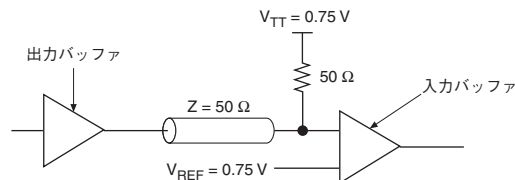
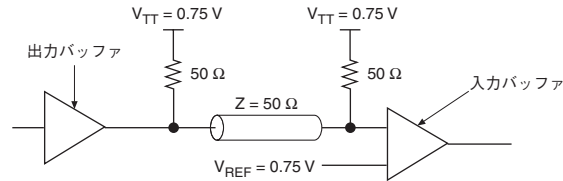


図 10-14. 1.5 V HSTL Class II 終端



1.5 V 擬似差動 HSTL Class I & II

1.5 V 差動 HSTL 規格は、EIA/JEDEC 規格の EIA/JESD8-6: A 1.5V Output Buffer Supply Voltage Based Interface Standard for Digital Integrated Circuits に基づいて策定されています。

1.5 V 差動 HSTL 仕様は、1.5 V シングル・エンド HSTL 仕様と同じです。QDR メモリ・クロック・インタフェースなど、0.0 V ~ 1.5 V の HSTL ロジック・スイッチング範囲で動作するように設計されたアプリケーションに使用されます。Cyclone II デバイスは、入力と出力の両方をサポートします。1.5 V 差動 HSTL 終端の詳細については、[図 10-15](#) および [10-16](#) を参照してください。

Cyclone II デバイスは、真の 1.5 V 差動 HSTL 規格はサポートしていません。Cyclone II デバイスは、PLL_OUT ピンに対する擬似差動 HSTL 出力とクロック・ピンに対する擬似差動 HSTL 入力をサポートします。擬似差動入力は、真の差動入力とは異なり、入力リファレンス電圧を必要とします。擬似差動 HSTL については、[10-2 ページの表 10-1](#) を参照してください。

図 10-15. 1.5 V 差動 HSTL Class I 終端

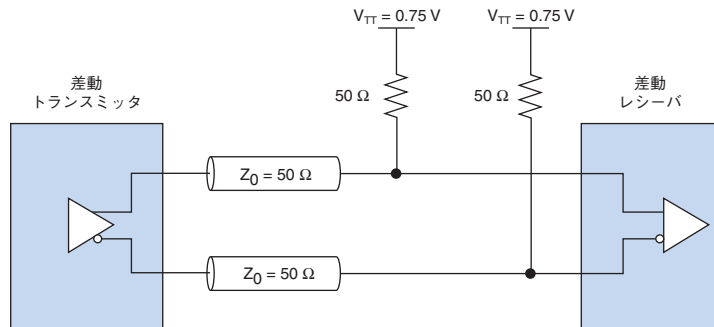
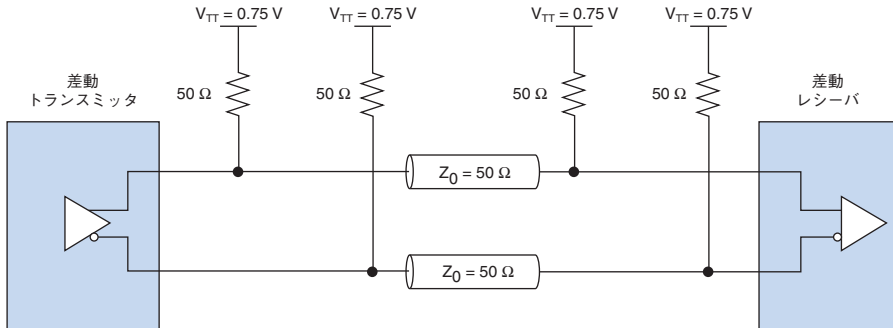


図 10-16. 1.5 V 差動 HSTL Class II 終端



LVDS、RSDS、および mini-LVDS

LVDS 規格は、ANSI/TIA/EIA 規格の ANSI/TIA/EIA-644: Electrical Characteristics of Low Voltage Differential Signaling Interface Circuits に基づいて策定されています。

LVDS I/O 規格は、差動高速、低電圧振幅、低電力の汎用 I/O インタフェース規格です。この規格は、広帯域幅のデータ転送、バックプレーン・ドライバ、クロック分配を必要とするアプリケーションで使用されます。ANSI/TIA/EIA-644 規格は、LVDS トランスミッタとレシーバが 655 Mbps の最大データ信号レートで動作可能でなければならないことを規定しています。ただし、デバイスは必要に応じてこれより低速で動作できます。Cyclone II デバイスは、入力は 805 Mbps、出力は 622 Mbps の最大データ・レートで動作でき、以下の例外を除き、ANSI/TIA/EIA-644 規格に適合します。

- 最大差動出力電圧 (V_{OD}) は 600 mV まで上昇
- 700 Mbps 未満のデータ・レートでの入力電圧範囲は、0 ~ 1.85 V
- 700 Mbps を超えるデータ・レートでの入力電圧範囲は、1.0 ~ 1.6 V に低下

LVDS 標準 I/O 規格は低電圧振幅のため、電磁妨害 (EMI) の影響は、CMOS、TTL、PECL よりはるかに小さくなります。このように LVDS は EMI が低いので、EMI 要求または雑音余裕度要求が低いアプリケーションでは LVDS が最適です。LVDS 規格は、入力リファレンス電圧を必要としません。ただし、入力バッファの 2 つの信号間に 90 ~ 110 Ω の終端抵抗が必要です。Cyclone II デバイスは、真の差動 LVDS 入出力をサポートします。



Cyclone II デバイスの LVDS 出力には、正しく動作するために外部抵抗ネットワークが必要です。詳細については、「Cyclone II デバイス・ハンドブック Volume 1」の「Cyclone II デバイスの高速差動インタフェース」を参照してください。

RSDS (Reduced Swing Differential Signaling) では、 V_{OD} の範囲は 100 ~ 600 mV です。mini-LVDS では、 V_{OD} の範囲は 300 ~ 600 mV です。RSDS と mini-LVDS のどちらも差動終端抵抗値の範囲は 95 ~ 105 Ω です。Cyclone II デバイスは、RSDS/mini-LVDS の出力のみサポートします。

差動 LVPECL

LVPECL 規格は、3.3 V の V_{CCIO} を必要とする差動インタフェース規格です。この規格は、ビデオ・グラフィックス、テレコミュニケーション、データ通信、クロック分配に関連するアプリケーションで使用されます。高速、低電圧振幅の LVPECL 標準 I/O 規格は、正電源を使用し、LVDS に類似した規格です。ただし、LVPECL は LVDS よりも差動出力電圧振幅が大きくなっています。LVPECL 規格では入力リファレンス電圧は必要ありませんが、入力バッファの 2 つの信号間に 100 Ω の外部終端抵抗が必要です。図 10-17 と 10-18 に、LVPECL の 2 つの代替終端方法を示します。LVPECL 入力規格は、Cyclone II デバイスのクロック入力ピンでサポートされます。LVPECL 出力規格はサポートされていません。

図 10-17. LVPECL DC 結合終端

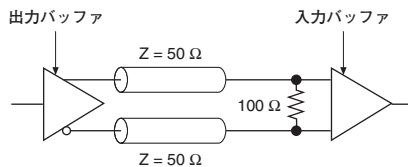
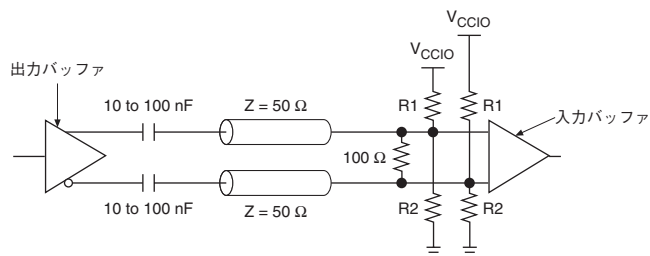


図 10-18. LVPECL AC 結合終端



Cyclone II の I/O バンク

Cyclone II デバイスの I/O ピンは I/O バンクにグループ化されており、各バンクには独立したパワー・バスがあります。このため、設計者は所定のバンクに適した標準 I/O 規格を選択できるため、Cyclone II デバイスの I/O サポートで極めて高い柔軟性を実現できます。

EP2C5 と EP2C8 の各デバイスは、4 つの I/O バンクをサポートします。EP2C20、EP2C35、EP2C50、EP2C70 の各デバイスは、8 つの I/O バンクをサポートします。各デバイスの I/O ピンは、いずれかの番号の I/O バンクに関連付けられます (図 10-19 と 10-20 を参照)。リファレンス電圧を使用する標準 I/O 規格に対応するために、Cyclone II デバイスの各 I/O バンクには独立した V_{REF} バスがあります。EP2C5、EP2C8、EP2C20、EP2C35、EP2C50 デバイスの各バンクは、2 本の V_{REF} ピンをサポートし、EP2C70 デバイスの各バンクは、4 本の V_{REF} ピンをサポートします。これらのピンは V_{REF} ピンとして使用しない場合は、通常の I/O ピンとして使用できます。ただし、通常のユーザ I/O ピンとして使用する場合、他のユーザ I/O ピンよりピン・キャパシタンスが少し高くなることが予想されます。

図 10-19. EP2C5 & EP2C8 デバイスの I/O バンク 注 (1)、(2)

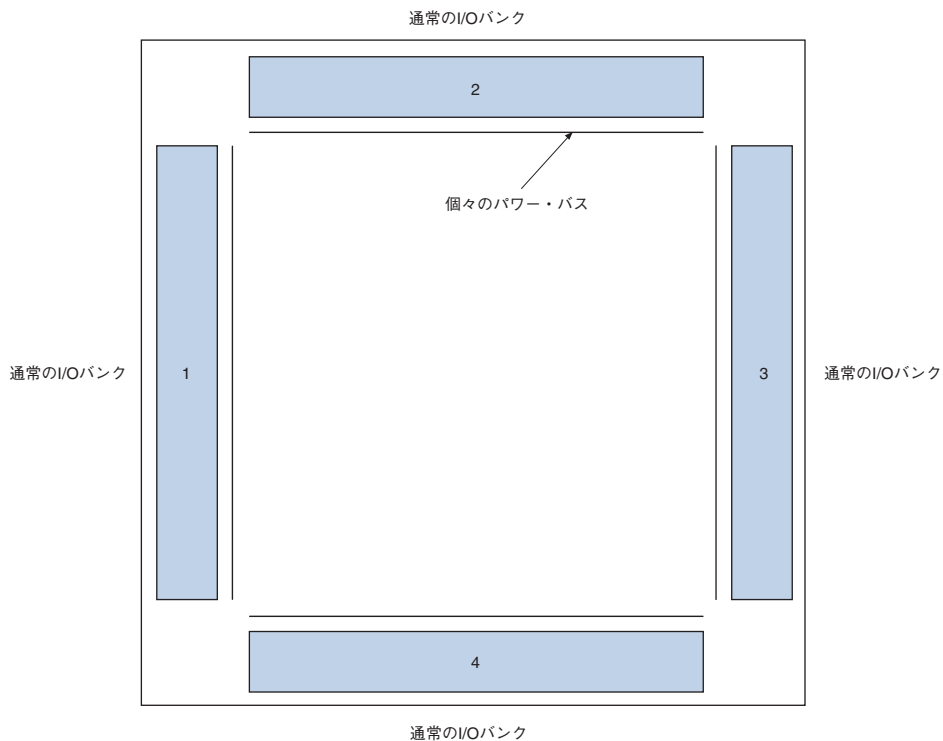


図 10-19 の注：

- (1) これはシリコン・ダイの上面図を示しています。
- (2) これは I/O バンクをグラフィックで表示したものです。正確なピン配置については、ピン・リストおよび Quartus II ソフトウェアを参照してください。

図 10-20. EP2C20、EP2C35、EP2C50、EP2C70 の各デバイスの I/O バンク 注 (1)、(2)

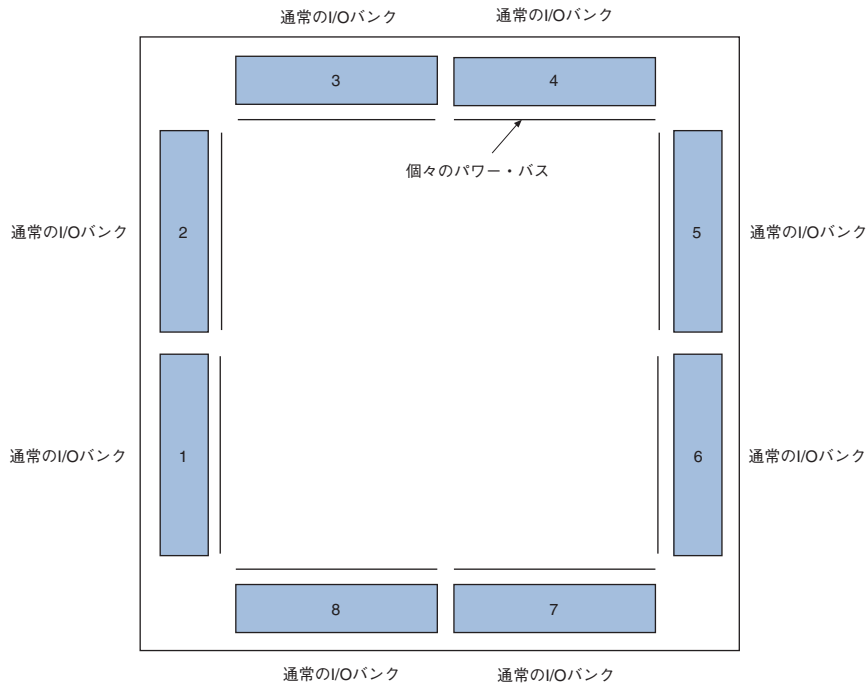


図 10-20 の注：

- (1) これはシリコン・ダイの上面図を示しています。
- (2) これは I/O バンクをグラフィックで表示したものです。正確なピン配置については、ピン・リストおよび Quartus II ソフトウェアを参照してください。

さらに、Cyclone II デバイスの各 I/O バンクには個々に V_{CCIO} ピンがあります。1つの I/O バンクでは、1.5、1.8、2.5、3.3 V のうち 1つの V_{CCIO} 設定のみサポートできます。I/O バンクごとに 1つの V_{CCIO} 電圧しか設定できませんが、Cyclone II デバイスでは、表 10-4 に示すように V_{CCIO} 電圧以外の電圧の入力も許容します。

バンクの V_{CCIO} (V)	許容入力レベル (V)			
	3.3	2.5	1.8	1.5
3.3	√	√(1)		
2.5	√	√		
1.8	√(2)	√(2)	√	√(1)
1.5	√(2)	√(2)	√	√

表 10-4 の注：

- (1) 入力レベルはレールまでドライブされないため、入力バッファは完全にシャットオフされず、I/O 電流はデフォルト値より少し高くなります。
- (2) これらの入力値は入力バッファをオーバードライブするため、ピンのリーク電流はデフォルト値より少し高くなります。

入力ピンおよび出力ピンに対して互換性のある V_{CCIO} レベルを使用していれば、1つの I/O バンクで複数のシングル・エンド規格や差動規格を同時にサポートできます。例えば、 V_{CCIO} 設定が 2.5 V の I/O バンクは、2.5 V LVTTTL 入力および出力、2.5 V LVDS 互換入力および出力、そして 3.3 V LVCMOS 入力のみをサポートできます。

リファレンス電圧を使用する標準規格は、同じ V_{REF} および互換性がある V_{CCIO} 値を使用していれば、複数のシングル・エンドまたは差動標準規格を使用する I/O バンクでサポートできます。例えば、Cyclone II デバイスに SSTL-2 と SSTL-18 の両方を実装する場合、これらの規格を使用する I/O ピンは、異なる V_{REF} 値が必要なため、互いに異なるバンクに配置されていなければなりません。ただし、同じ I/O バンクで、 V_{CCIO} が 2.5 V に設定され、かつ V_{REF} が 1.25 V に設定された場合、SSTL-2 および 2.5 V LVCMOS をサポートできます。



詳細については、10-27 ページの「パッド配置および DC のガイドライン」を参照してください。

表 10-5 に、Cyclone II デバイスの I/O バンクでピンを通常の I/O ピンとして使用した場合にサポートされる標準 I/O 規格を示します。

標準 I/O 規格	EP2C20、EP2C35、EP2C50、EP2C70 デバイスの I/O バンク								EP2C5 および EP2C8 デバイスの I/O バンク			
	1	2	3	4	5	6	7	8	1	2	3	4
LVTTTL	√	√	√	√	√	√	√	√	√	√	√	√
LVC MOS	√	√	√	√	√	√	√	√	√	√	√	√
2.5 V	√	√	√	√	√	√	√	√	√	√	√	√
1.8 V	√	√	√	√	√	√	√	√	√	√	√	√
1.5 V	√	√	√	√	√	√	√	√	√	√	√	√
3.3 V PCI	√	√			√	√			√		√	
3.3 V PCI-X	√	√			√	√			√		√	
SSTL-2 class I	√	√	√	√	√	√	√	√	√	√	√	√
SSTL-2 class II	√	√	√	√	√	√	√	√	√	√	√	√
SSTL-18 class I	√	√	√	√	√	√	√	√	√	√	√	√
SSTL-18 class II	(1)	(1)	√	√	(1)	(1)	√	√	(1)	√	(1)	√
1.8 V HSTL class I	√	√	√	√	√	√	√	√	√	√	√	√
1.8 V HSTL class II	(1)	(1)	√	√	(1)	(1)	√	√	(1)	√	(1)	√
1.5 V HSTL class I	√	√	√	√	√	√	√	√	√	√	√	√
1.5 V HSTL class II	(1)	(1)	√	√	(1)	(1)	√	√	(1)	√	(1)	√
擬似差動 SSTL-2	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)
擬似差動 SSTL-18	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)
1.8 V 擬似差動 HSTL	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)
1.5 V 擬似差動 HSTL	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)	(2)
LVDS	√	√	√	√	√	√	√	√	√	√	√	√
RS DS および mini-LVDS	(3)	(3)	(3)	(3)	(3)	(3)	(3)	(3)	(3)	(3)	(3)	(3)
差動 LVPECL	(4)	(4)	(4)	(4)	(4)	(4)	(4)	(4)	(4)	(4)	(4)	(4)

表 10-5 の注：

- (1) これらの I/O バンクは、SSTL-18 class II、1.8 V および 1.5 V HSTL class II 入力をサポートします。
- (2) 擬似差動標準 I/O 規格は、クロック入力と専用の PLL_OUT 出力でのみサポートされます。詳細については、表 10-1 を参照してください。
- (3) この標準 I/O 規格は、出力でのみサポートされます。
- (4) この標準 I/O 規格は、クロック入力でのみサポートされます。

プログラマブルな電流ドライブ能力

Cyclone II デバイスの標準 I/O 規格は、表 10-6 に示すようなさまざまな出力電流ドライブ設定をサポートしています。これらのプログラマブルなドライブ能力設定は、システム・ノイズを低減するとともに同時スイッチング出力（SSO）の影響を軽減するための貴重なツールです。サポートしている設定は、デバイス・ドライバが対応する標準 I/O 規格の I_{OH} と I_{OL} の仕様に保障します。

表 10-6. プログラマブル・ドライブ能力 (1 / 2)

標準 I/O 規格	I_{OH}/I_{OL} の電流値設定 (mA)	
	トップおよびボトム の I/O ピン	サイドの I/O ピン
LVTTTL (3.3 V)	4	4
	8	8
	12	12
	16	16
	20	20
	24	24
LVCMOS (3.3 V)	4	4
	8	8
	12	12
	16	
	20	
	24	
LVTTTL および LVCMOS (2.5 V)	4	4
	8	8
	12	
	16	
LVTTTL および LVCMOS (1.8 V)	2	2
	4	4
	6	6
	8	8
	10	10
	12	12
LVCMOS (1.5 V)	2	2
	4	4
	6	6
	8	

表 10-6. プログラマブル・ドライブ能力 (2 / 2)		
標準 I/O 規格	I _{OH} /I _{OL} の電流値設定 (mA)	
	トップおよびボトム の I/O ピン	サイドの I/O ピン
SSTL-2 class I	8	8
	12	12
SSTL-2 class II	16	16
	20	
	24	
SSTL-18 Class I	4	4
	6	6
	8	8
	10	10
	12	
SSTL-18 Class II	8	N/A
	16	
	18	
HSTL-18 class I	4	4
	6	6
	8	8
	10	10
	12	12
HSTL-18 class II	16	N/A
	18	
	20	
HSTL-15 class I	4	4
	6	6
	8	8
	10	
	12	
HSTL-15 class II	16	N/A

これらのドライブ能力設定は、Quartus II ソフトウェアを使用してピン毎で設定することができます。

I/O 終端

Cyclone II デバイスの大部分の標準 I/O 規格は、シングル・エンドのリファレンス電圧を使用しない標準 I/O 規格なので、以下の標準 I/O 規格は推奨終端方法を規定していません。

- 3.3 V LVTTTL および LVCMOS
- 2.5 V LVTTTL および LVCMOS
- 1.8 V LVTTTL および LVCMOS
- 1.5 V LVCMOS
- 3.3 V PCI および PCI-X

リファレンス電圧を使用する標準 I/O 規格の終端

リファレンス電圧を使用する標準 I/O 規格では、入力リファレンス電圧の V_{REF} 、終端電圧の V_{TT} の両方が必要です。受信デバイスのリファレンス電圧は、送信デバイスの終端電圧に追従します。



リファレンス電圧を使用する標準 I/O 規格の終端の詳細については、[10-1 ページの「標準 I/O 規格のサポート」](#)を参照してください。

差動標準 I/O 規格の終端

差動標準 I/O 規格では、一般的にレシーバの 2 つの信号間に終端抵抗が必要です。終端抵抗はバスの差動負荷インピーダンスにマッチングさせる必要があります。

Cyclone II デバイスは、差動標準 I/O 規格の LVDS、RSDS、mini-LVDS、および差動 LVPECL をサポートしています。



差動標準 I/O 規格の終端の詳細については、[10-1 ページの「標準 I/O 規格のサポート」](#)を参照してください。

I/O ドライバのインピーダンス・マッチング (R_S) および直列終端 (R_S)

Cyclone II デバイスは、伝送路のインピーダンス（標準 25 または 50 Ω ）とドライバのインピーダンス・マッチングをサポートしています。出力ドライバとともに使用する場合、On-Chip Termination（チップ内終端）は、ドライバ能力を選択することによって、出力ドライバのインピーダンスを 25 または 50 Ω に設定します。マッチング・インピーダンスを選択すると、ドライバ電流は変更できなくなります。表 10-7 に、インピーダンス・マッチングをサポートする出力規格のリストを示します。

標準 I/O 規格	ターゲット R_S (Ω)
3.3 V LVTTTL/CMOS	25 (1)
2.5 V LVTTTL/CMOS	50 (1)
1.8 V LVTTTL/CMOS	50 (1)
SSTL-2 class I	50 (1)
SSTL-18 class I	50 (1)

表 10-7 の注：

(1) これらの R_S 値は公称値です。実際のインピーダンスは、プロセス、電圧、および温度の条件によって変動します。許容差の特性は未決定です。

パッド配置 および DC の ガイドライン

このセクションでは、Cyclone II デバイスでサポートされているプログラマブルな標準 I/O 規格のパッド配置のガイドラインについて説明します。またデバイスの選択可能な I/O 機能を使用してシステムを設計する際に不可欠な情報についても示します。DC の制限とガイドラインについても説明します。

Quartus II ソフトウェアは、いくつかの配置制約に対するユーザ制御の制限緩和オプションを提供します。ユーザがデフォルトの制限を緩和すると、Quartus II フィッタが警告を生成します。



Quartus II ソフトウェアによる I/O 制限のチェック方法の詳細については、「Quartus II 開発ソフトウェアハンドブック」を参照してください。

差動パッド配置のガイドライン

V_{CCIO} 供給電圧の許容ノイズ・レベルを維持するために、差動パッドに対するシングル・エンド I/O パッドの相対的な配置に関する制限があります。Cyclone II デバイスでの差動パッドに対するシングル・エンド・パッドの相対的な配置、および差動出力パッドの配置については、以下のガイドラインに従ってください。

LVDS 標準 I/O 規格の場合：

- シングル・エンド入力は、LVDS I/O パッドから 4 パッド以内には配置できない
- シングル・エンド出力は、LVDS I/O パッドから 5 パッド以内には配置できない
- V_{CCIO} と GND のペアごとに 155 MHz LVDS 出力チャンネルは最大 4 本
- V_{CCIO} と GND のペアごとに 311 MHz LVDS 出力チャンネルは最大 3 本

Quartus II ソフトウェアは、最初の 2 つのケースのみチェックします。

RSDS および mini-LVDS 標準 I/O 規格の場合：

- シングル・エンド入力は、RSDS および mini-LVDS 出力パッドから 4 パッド以内には配置できない
- シングル・エンド出力は、RSDS および mini-LVDS 出力パッドから 5 パッド以内には配置できない
- V_{CCIO} と GND のペアごとに 85 MHz RSDS および mini-LVDS 出力チャンネルは最大 3 本

Quartus II ソフトウェアは、最初の 2 つのケースのみチェックします。

V_{REF} パッド配置のガイドライン

V_{CCIO} 供給電圧の許容ノイズ・レベルを維持し、出力スイッチング・ノイズが V_{REF} レールをシフトしないようにするために、 V_{REF} パッドおよび V_{CCIO} と GND ペアに関して、リファレンス電圧を使用するシングル・エンド I/O の配置に関する制限があります。Cyclone II デバイスでのシングル・エンド・パッドの配置については、以下のガイドラインに従ってください。

Quartus II ソフトウェアは、このセクションで説明するすべての計算を自動的に実行します。

入力パッド

FineLine BGA デバイスの場合、各 V_{REF} パッドは V_{REF} パッドの各サイドで、最大 15 個の入力パッドをサポートします。QFP デバイスの場合、各 V_{REF} パッドは、 V_{REF} パッドの各サイドで最大 10 個の入力パッドをサポートします。これは V_{CCIO} と GND のペアには無関係で、Cyclone II アーキテクチャで保証されています。

出力パッド

リファレンス電圧を使用する入力または双方向パッドがバンクに存在しない場合、そのバンクに配置できる出力パッドの数に制限はありません。リファレンス電圧を使用する入力が存在する場合、 V_{CCIO} と GND の各ペアで、FineLine BGA パッケージでは 9 本の出力、QFP パッケージでは 5 本の出力をサポートします。SSTL または HSTL 以外の出力は、許容ノイズ・レベルを維持するために、 V_{REF} パッドから 2 パッド以内には配置できません。ピンテーブルが定義された DQ 出力と DQS 出力を除く、どの SSTL 出力および HSTL 出力も、 V_{REF} パッドから 2 パッド以内には配置できません。



DQ パッドと DQS パッドの配置のガイドラインの詳細については、10-32 ページの「[DDR パッドおよび QDR パッド](#)」を参照してください。

双方向パッド

双方向パッドは、入力および出力のガイドラインを同時に満たす必要があります。



DQ パッドと DQS パッドの配置のガイドラインの詳細については、10-32 ページの「[DDR パッドおよび QDR パッド](#)」を参照してください。

双方向パッドがすべて同じ出力イネーブル (OE) で制御されていて、バンクに他の出力またはリファレンス電圧を使用する入力がない場合、リファレンス電圧を使用する入力が出力と同時にアクティブになることはありません。このため、出力制限は適用されません。ただし、双方向パッドは同じ OE にリンクされているため、すべての双方向パッドは同時に入力として機能します。したがって、FineLine BGA パッケージでは 30 個の入力パッド (V_{REF} パッドの各サイドに 15 個ずつ)、QFP パッケージでは 20 個の入力パッド (V_{REF} パッドの各サイドに 10 個ずつ) の入力制限が適用されます。

双方向パッドが異なる OE ですべて制御されていて、バンクに他の出力またはリファレンス電圧を使用する入力がない場合は、双方向パッドの 1 つのグループが入力として機能し、他のグループが出力として機能する場合があります。このような場合は、表 10-8 に示す公式を適用します。

表 10-8. 入力のみの方方向パッドの制限公式	
パッケージ・タイプ	公式
FineLine BGA	(双方向パッドの総数) - (OE で制御される最小グループのパッドの総数) ≤ 9 (VCCIO と GND のペアごと)
QFP	(双方向パッドの総数) - (OE で制御される最小グループのパッドの総数) ≤ 5 (VCCIO と GND のペアごと)

第 1 の OE で 4 つの双方向パッドが制御され、第 2 の OE で 4 つの双方向パッドが制御され、第 3 の OE で 2 つの双方向パッドが制御される FineLine BGA パッケージを検討してみましょう。第 1 と第 2 の OE がアクティブで、第 3 の OE が非アクティブの場合、10 個の双方向パッドがあることとなりますが、VCCIO/GND のペアごとに出力は 8 つ以下になるため、問題なく許容できます。

同じ V_{REF} バンクにリファレンス電圧を使用する少なくとも 1 本の入力があり、他の出力が存在しない場合、双方向パッドの制限には、入力および出力の制限が適用されます。以下の式を参照してください。

Fineline BGA パッケージの場合、双方向パッドの総数 + 入力パッドの総数 ≤ 30 (V_{REF} パッドの各サイドに 15 個ずつ)

QFP パッケージの場合、双方向パッドの総数 + 入力パッドの総数 ≤ 20 (V_{REF} パッドの各サイドに 10 個ずつ)

上記の式を適用後、パッケージ・タイプに応じて表 10-9 内のいずれかの式を適用します。

表 10-9. 双方向パッドの制限公式 (V _{REF} 入力が存在する場合)	
パッケージ・タイプ	公式
FineLine BGA	(双方向パッドの総数) ≤ 9 (VCCIO と GND のペアごと)
QFP	(双方向パッドの総数) ≤ 5 (VCCIO と GND のペアごと)

少なくとも 1 本の出力はあるが、リファレンス電圧を使用する入力がない場合は、表 10-10 から適切な公式を適用します。

表 10-10. 双方向パッドの制限公式 (V_{REF} 出力が存在する場合)	
パッケージ・タイプ	公式
FineLine BGA	(双方向パッドの総数) + (出力パッドの総数) – (OE で制御される最小グループのパッドの総数) ≤ 9 (VCCIO と GND のペアごと)
QFP	(双方向パッドの総数) + (出力パッドの総数) – (OE で制御される最小グループのパッドの総数) ≤ 5 (VCCIO と GND のペアごと)

同じ V_{REF} バンクにリファレンス電圧を使用する入力と他の出力が存在する場合、双方向パッドの制限は、同時に入力および出力制限にも従う必要があります。このため、以下のルールが適用されます。

Fineline BGA パッケージの場合、双方向パッドの総数 + 入力パッドの総数 ≤ 30 (V_{REF} パッドの各サイドに 15 個ずつ)

QFP パッケージの場合、双方向パッドの総数 + 入力パッドの総数 ≤ 20 (V_{REF} パッドの各サイドに 10 個ずつ)

上記の式を適用後、パッケージ・タイプに応じて表 10-11 内のいずれかの式を適用します。

表 10-11. 双方向パッドの制限公式 (複数の V_{REF} 入力と出力)	
パッケージ・タイプ	公式
FineLine BGA	(双方向パッドの総数) + (出力パッドの総数) ≤ 9 (VCCIO/GND ペアごと)
QFP	(双方向パッドの総数) + (出力パッドの総数) ≤ 5 (VCCIO/GND ペアごと)

各 I/O バンクは、1 つの V_{CCIO} 電圧レベルと 1 つの V_{REF} 電圧レベルにのみ設定できます。さまざまな標準 I/O 規格のピンは、互換性のある V_{CCIO} 値 (詳細については、表 10-4 を参照) および互換性のある V_{REF} 電圧レベルが得られれば、バンクを共有できます。

DDR パッドおよび QDR パッド

DDR インタフェースの専用 DQ パッドと DQS パッドの場合、DQ パッドは DQS パッドと同じパワー・バンク上になければなりません。DDR および DDR2 メモリ・インタフェースを使用すると、VCCIO と GND のペアで、最大 5 個の DQ パッドを持つことができます。

QDR インタフェースの場合、D が QDR 出力で Q が QDR 入力です。D パッドと Q パッドは、CQ と同じパワー・バンク上になければなりません。QDR および QDRII メモリ・インタフェースを使用すると、VCCIO と GND のペアで、最大 5 個の D パッドと Q パッドを持つことができます。

デフォルトでは、Quartus II ソフトウェアは、D パッドと Q パッドを通常の I/O ピンとして割り当てます。Quartus II ソフトウェアで D パッドまたは Q パッドの機能を指定しない場合、これらのパッドは通常の I/O ピンとして設定されます。この場合、Cyclone II デバイスの QDR と QDRII の性能は保証されません。

DC ガイドライン

以下の式で示すように、パワー・ペア単位でトップ・バンクとボトム・バンクの 8 本の連続した出力ピンごとに、240 mA の電流制限があります。

$$\sum_{pin}^{pin+7} I_{PIN} < \text{パワー・ペアあたり } 240 \text{ mA}$$

以下の式で示すように、パワー・ペア単位でサイド・バンク（左および右）の 12 本の連続した出力ピンごとに、240 mA の電流制限があります。

$$\sum_{pin}^{pin+11} I_{PIN} < \text{パワー・ペアあたり } 240 \text{ mA}$$

上記すべてのケースで、Quartus II ソフトウェアは、不正に配置されたパッドに対してエラー・メッセージを生成します。

表 10-12 に、標準 I/O 規格の DC 電流特性を示します。

標準 I/O 規格	I _{PIN} (mA)	
	トップおよび ボトム・バンク	サイド・バンク
LVTTTL	(1)	(1)
LVC MOS	(1)	(1)
2.5 V	(1)	(1)
1.8 V	(1)	(1)
1.5 V	(1)	(1)
3.3 V PCI	サポートされていない	1.5
3.3 V PCI-X	サポートされていない	1.5
SSTL-2 class I	12 (2)	12 (2)
SSTL-2 class II	24 (2)	20 (2)
SSTL-18 class I	12 (2)	12 (2)
SSTL-18 class II	8 (2)	サポートされていない
1.8 V HSTL class I	12 (2)	12 (2)
1.8 V HSTL class II	20 (2)	サポートされていない
1.5 V HSTL class I	12 (2)	10 (2)
1.5 V HSTL class II	18 (2)	サポートされていない
差動 SSTL-2 class I (3)	8.1 (4)	
差動 SSTL-2 class II (3)	16.4 (4)	
差動 SSTL-18 class I (3)	6.7 (4)	
差動 SSTL-18 class II (3)	13.4 (4)	
1.8 V 差動 HSTL class I (3)	8 (4)	
1.8 V 差動 HSTL class II (3)	16 (4)	
1.5 V 差動 HSTL class I (3)	8 (4)	

表 10-12. Cyclone II の標準 I/O 規格の DC 電流特性（暫定）（ 2 / 2 ）

標準 I/O 規格	I _{PIN} (mA)	
	トップおよび ボトム・バンク	サイド・バンク
1.5 V 差動 HSTL class II (3)	16 (4)	
LVDS、RSDS および mini-LVDS	12	12

表 10-12 の注：

- (1) 各標準 I/O 規格の DC 電力特性は、ドライブされる負荷だけでなく、各規格でプログラミングされた I/O バッファの電流ソース能力と電流シンク能力に依存します。LVTTTL と LVCMOS、および 2.5 V、1.8 V、1.5 V 出力は、実際のアプリケーションでは通常は抵抗負荷がないので、静的な消費電力の計算には含まれていません。電圧振幅は、容量性負荷のみでレール・ツー・レールです。システム内に DC 電流はありません。
- (2) この I_{PIN} 値は、標準 I/O 規格のデフォルト電流値に対する DC 電流特性を表します。I_{PIN} は、プログラマブル・ドライブ能力によって変動し、Quartus II ソフトウェアで設定されたドライブ能力と同じ値になります。リファレンス電圧を使用する標準 I/O 規格のプログラマブル・ドライブ能力の詳細については、「Cyclone II デバイス・ハンドブック Volume 1」の「Cyclone II アーキテクチャ」を参照してください。
- (3) 差動 HSTL 規格と差動 SSTL 規格用に取得された電流値は、LVDS 規格のペア単位の電流値とは異なり、ピン単位であって、差動ペア単位ではありません。
- (4) この標準 I/O 規格は、クロック入力ピンと PLL_OUT ピンでのみサポートされます。

表 10-12 には、標準 I/O 規格で消費されるスタティックなパワーに関する制限のみを示します。任意の時点での合計消費電力はこれより大幅に高くなる可能性があり、その値はスイッチング動作によって決まります。

まとめ

Cyclone II デバイスの I/O 機能を使用すると、システム設計者は低コストの FPGA デバイス・ファミリを活用しながら、ますます複雑化するデザインに対応することができます。SSTL と LVDS 互換を含む標準 I/O 規格のサポートにより、Cyclone II デバイスはさまざまなアプリケーションに適応します。Quartus II ソフトウェアを使用すると、Cyclone II デバイスのデザインでこれらの標準 I/O 規格を簡単に使用することができます。また、デザインをコンパイルすると、パッドとピンおよび選択した標準 I/O 規格が明瞭かつ視覚的に表示されます。Cyclone II デバイスでこれらの標準 I/O 規格のサポートを活用すると、デザインの柔軟性や複雑性を損うことなくデザイン・コストを削減できます。

詳しい内容

Cyclone II デバイスの詳細については、下記の資料を参照してください。

- 「Cyclone II デバイス・ハンドブック」の「セクション I Cyclone II デバイス・ファミリ・データシート」
- AN 75: 高速動作ボードの設計

参考文献

本書で参照されている標準 I/O 規格の詳細については、下記の資料を参照してください。

- Stub Series Terminated Logic for 2.5-V (SSTL-2), JESD8-9A, Electronic Industries Association, December 2000.
- 1.5-V +/- 0.1-V (Normal Range) and 0.9-V - 1.6-V (Wide Range) Power Supply Voltage and Interface Standard for Non-terminated Digital Integrated Circuits, JESD8-11, Electronic Industries Association, October 2000.
- 1.8-V +/- 0.15-V (Normal Range) and 1.2-V - 1.95-V (Wide Range) Power Supply Voltage and Interface Standard for Non-terminated Digital Integrated Circuits, JESD8-7, Electronic Industries Association, February 1997.
- 2.5-V +/- 0.2-V (Normal Range) and 1.8-V to 2.7-V (Wide Range) Power Supply Voltage and Interface Standard for Non-terminated Digital Integrated Circuits, JESD8-5, Electronic Industries Association, October 1995.
- Interface Standard for Nominal 3-V/ 3.3-V Supply Digital Integrated Circuits, JESD8-B, Electronic Industries Association, September 1999.
- PCI Local Bus Specification, Revision 2.2, PCI Special Interest Group, December 1998.
- Electrical Characteristics of Low Voltage Differential Signaling (LVDS) Interface Circuits, ANSI/TIA/EIA-644, American National Standards Institute/Telecommunications Industry/Electronic Industries Association, October 1995.

