

この資料は更新された最新の英語版が存在します。こちらの日本語版は参考用としてご利用ください。設計の際には、最新の英語版で内容をご確認ください。

CI151007-1.2

はじめに

Cyclone™ II デバイスには、デバイス・クロック管理、外部システム・クロック管理、および I/O インタフェースのための PLL (Phase-Locked-Loop) が最大 4 つ搭載されています。Cyclone II の PLL は汎用性に優れ、ゼロ遅延バッファ、ジッタ減衰、低スキュー・ファン・アウト・バッファ、または周波数合成として使用できます。

各 Cyclone II デバイスは、最大 4 つの PLL を搭載し、クロック切り替えやプログラマブル帯域幅などの高度な機能をサポートしています。これらの PLL は、クロックの通倍と分周、位相シフト、およびプログラマブル・デューティ・サイクルを提供し、クロック遅延やクロック・スキューの最小化、および Clock-to-Output 時間 (t_{CO}) とセットアップ時間 (t_{SU}) の調整に使用できます。

また、Cyclone II デバイスは、未使用クロック・ネットワークをオフにできるパワー・ダウン・モードもサポートしています。アルテラの Quartus® II ソフトウェアは、外部デバイスを使用せずに PLL とそれらの機能を実現できます。


 Cyclone II の PLL は、一般的な温度範囲 (0 ~ 85 °C) で動作するように設計されています。工業用温度範囲の仕様は、工業用温度範囲 (-40 ~ 100 °C) における PLL の特性評価が完了した時点で有効になります。

表 7-1 は、各 Cyclone II デバイスで使用できる PLL を示します。

デバイス	PLL1	PLL2	PLL3	PLL4
EP2C5	√	√		
EP2C8	√	√		
EP2C20	√	√	√	√
EP2C35	√	√	√	√
EP2C50	√	√	√	√
EP2C70	√	√	√	√

表 7-2 に、Cyclone II の PLL 機能の概要を示します。

機能	説明
クロックの通倍と分周	$m/(n \times \text{ポスト・スケール・カウンタ})$ (1)
位相シフト	最小 125 ps の分解能 (2)、(3)
プログラマブル・デューティ・サイクル	√
内部クロック出力数	1 つの PLL あたり最大 3 つ (4)
外部クロック出力数	1 つの PLL あたり 1 つ (4)
Lock 信号がロジック・アレイをドライブ可能	√
PLL クロック出力がロジック・アレイをドライブ可能	√
プログラマブル帯域幅	√
手動によるクロック切り替え	√
ゲーテッド・ロック	√

表 7-2 の注：

- (1) m およびポスト・スケール・カウンタ値の範囲は 1~32 です。 n の範囲は 1~4 です。
- (2) 最小位相シフトは、電圧制御発振器 (VCO: Voltage Control Oscillator) の周期を 8 で分周した値です。
- (3) 位相の増分については、Cyclone II デバイスは出力周波数を最小 45° の増分でシフトできます。VCO 周波数によっては、より細かな微調整も可能です。
- (4) Cyclone II の PLL には、グローバル・クロック・ネットワークをドライブする 3 つの出力があります。また、これらの出力カウンタの 1 つ (c2) で専用の外部 I/O ピン (シングル・エンドまたは差動) をドライブすることも可能です。さらに、このカウンタ出力は、外部クロック出力 (PLL<#>_OUT) と内部グローバル・クロック・ネットワークを同時にドライブすることもできます。

Cyclone II PLL ハード ウェアの概要

Cyclone II デバイスには、図 7-1 に示すように、Cyclone II デバイスの 4 つのコーナーに最大 4 つの PLL が搭載されます。この図は、Cyclone II デバイスと PLL の位置を上から見た様子を示したものです。

図 7-1. Cyclone II デバイスの PLL の位置 注 (1)

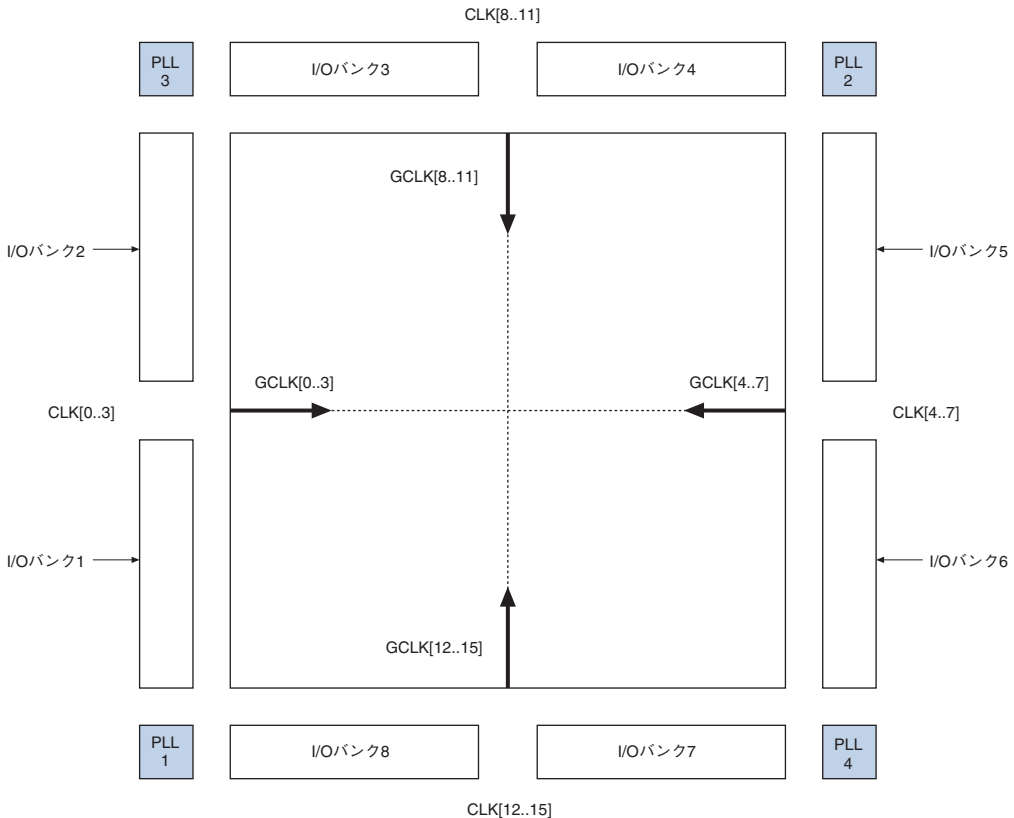


図 7-1 の注：

- (1) この図は、EP2C20 ~ EP2C70 デバイスの PLL とクロック入力を示します。EP2C5 および EP2C8 デバイスには、8 つのグローバル・クロック (CLK[0..3] および CLK[4..7]) と PLL1 および PLL2 のみがあります。

PLL の主な目的は、VCO の位相と周波数を入力基準クロックに同期させることです。この位相アライメントを達成するために、PLL は多数のコンポーネントで構成されています。

PLL は、位相周波数検出器 (PFD) を使用して、基準入力クロックの立ち上がりエッジをフィードバック・クロックと比較します。PFD は、VCO がより高い周波数またはより低い周波数のいずれで動作する必要があるかを判断する Up 信号または Down 信号を生成します。PFD 出力はチャージ・ポンプとループ・フィルタに印加され、VCO の周波数を設定するためのコントロール電圧が生成されます。PFD が Up 信号を High に遷移させると、VCO 周波数は増加します。PFD が Down 信号を High に遷移させると、VCO 周波数は低下します。

ループ・フィルタは、これらの Up 信号および Down 信号を、VCO をバイアスするのに使用される電圧に変換します。チャージ・ポンプが Up 信号の High を受け取ると、ループ・フィルタ内に電流が流れ込みます。チャージ・ポンプが Down 信号の High を受け取ると、ループ・フィルタから電流が流れ出します。ループ・フィルタはチャージ・ポンプからグリッチを除去し、電圧オーバシユートを防止して、VCO 上のジッタを最小限に抑えます。

チャージ・ポンプからの電圧は VCO の動作速度を決定します。VCO は 8 ステージの差動リング・オシレータとして実装されています。VCO 周波数が入力基準周波数を超えるようにするために、分周カウンタ m がフィードバック・ループに挿入され、その結果 VCO 周波数は、 $f_{VCO} = m \times f_{REF}$ になります。したがって、PFD に入力されるフィードバック・クロック f_{FB} は、PFD に入力される入力基準クロック f_{REF} (f_{IN}/n) にロックされます。

VCO 出力は、最大 3 つのポスト・スケール・カウンタ ($c0$, $c1$, $c2$) に供給できます。これらのポスト・スケール・カウンタを利用すると、多数の周波数を PLL によって生成することが可能になります。

さらに、Cyclone II の PLL は、グローバル・クロック・ネットワークおよび I/O バッファ上の配線を補償する内部遅延エレメントを備えています。これらの内部遅延は固定されており、ユーザはアクセスできません。

図 7-2 に、Cyclone II デバイスの PLL の主要コンポーネントの簡略ブロック図を示します。

図 7-2. Cyclone II PLL のブロック図

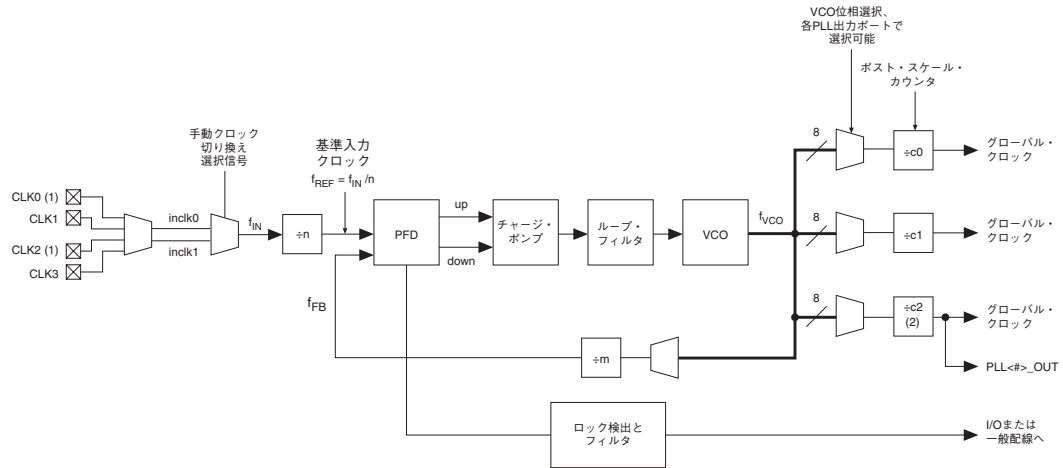


図 7-2 の注：

- (1) シングル・エンドまたは差動のいずれかの入力ができます。差動標準 I/O 規格を使用している場合、デザインでは 2 本のクロック・ピンが使用されます。LVDS 入力は専用クロック・ピンの二次機能によってサポートされます。例えば、CLK0 ピンは LVDSCLK1p、CLK1 ピンは LVDSCLK1n になります。図 7-2 に、可能な PLL 1 へのクロック入力接続を示します。
- (2) このカウンタ出力は、専用外部クロック出力 (PLL<#>_OUT) とグローバル・クロック・ネットワークの間で共有されます。

Cyclone II PLL は、最大 3 つのグローバル・クロック出力と 1 つの専用外部クロック出力をサポートします。グローバル・クロック・ネットワークまたは専用外部クロック出力への出力周波数は、以下の式で決定されます。

$$f_{\text{global/external}} = f_{\text{IN}} \frac{m}{n \times C}$$

f_{IN} は PLL へのクロック入力、 C は $c0$ 、 $c1$ 、または $c2$ カウンタに対する設定です。

VCO 周波数はすべての状況において、以下の式で決定されます。

$$f_{\text{VCO}} = f_{\text{IN}} \frac{m}{n}$$

VCO 周波数は重要なパラメータであり、PLL の適切な動作を保証するために、300 MHz ~ 1,000 MHz でなければなりません。Quartus II 開発ソフトウェアは、デザインのクロック出力および位相シフト要件に基づいて、VCO 周波数を自動的に推奨範囲内に設定します。

PLL 基準クロックの生成

Cyclone II デバイスでは、7-30 ページの図 7-14 に示すように、最大 4 本のクロック・ピンで PLL をドライブできます。マルチプレクサ出力は、PLL 基準クロック入力に供給されます。PLL には、入力ピンから PLL のクロック入力ポートまでのクロック遅延を補償する内部遅延エレメントが内蔵されています。

表 7-3 は、Cyclone II デバイスの PLL とクロック入力ピンとの接続関係を示します。

デバイス	PLL 1		PLL 2			PLL 3		PLL 4	
	CLK0 CLK1	CLK2 CLK3	CLK4 CLK5	CLK6 CLK7	CLK8 CLK9	CLK10 CLK11	CLK12 CLK13	CLK14 CLK15	
EP2C5	√	√	√	√					
EP2C8	√	√	√	√					
EP2C20	√	√	√	√	√	√	√	√	
EP2C35	√	√	√	√	√	√	√	√	
EP2C50	√	√	√	√	√	√	√	√	
EP2C70	√	√	√	√	√	√	√	√	

各 PLL には、4 本のシングル・エンド入力ピンまたは 2 本の差動クロック入力ピンのいずれかで信号を供給できます。例えば、シングル・エンドの標準 I/O 規格を使用する場合、PLL 1 には CLK[3..0] で信号を供給できます。デザインで差動標準 I/O 規格を使用する場合は、これらのクロック・ピンは、LVDSCLK[2..1]p ピンおよび LVDSCLK[2..1]n ピンとなります。差動クロックを使用する場合、CLK0 ピンは LVDSCLK1p、CLK1 ピンは LVDSCLK1n になります。

ソフトウェア 概要

Cyclone IIのPLLを使用する場合、Quartus II開発ソフトウェアのaltpllメガファンクションを使用します。図 7-3 に、Cyclone II PLL で利用可能なポートとそれらのソースおよびデスティネーションを示します。c0 および c1 カウンタは内部グローバル・クロック・ネットワークに供給し、c2 カウンタはグローバル・クロック・ネットワークと専用外部クロック出力ピン (PLL<#>_OUT) に同時に供給できます。

図 7-3. Cyclone II PLL 信号

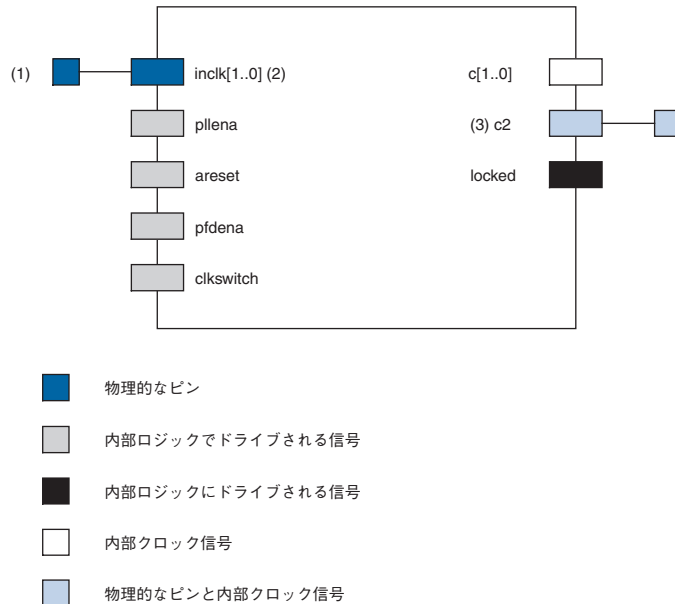


図 7-3 の注：

- (1) これらの信号は、シングル・エンド標準 I/O 規格または差動標準 I/O 規格のいずれにも割り当てることができます。
- (2) inclkは、2本の専用クロック入力ピンのいずれかでドライブする必要があります。
- (3) このカウンタ出力は、専用外部クロック出力 (PLL<#>_OUT) とグローバル・クロック・ネットワークの両方をドライブできます。

表 7-4 および 7-5 は、Cyclone II PLL の入力ポートと出力ポートを説明しています。

表 7-4. PLL 入力信号			
ポート	説明	ソース	デスティネーション
inclck[1..0]	PLL へのプライマリ・クロック入力およびセカンダリ・クロック入力。	専用クロック入力ピン	n カウンタ
pllena	pllena は、PLL のイネーブル信号およびリセット信号として機能するアクティブ High 信号です。各 PLL をイネーブルまたはディセーブルするのに使用できます。pllena が Low に遷移すると、PLL のクロック出力は GND にドライブされ、PLL のロックが解除されます。pllena が再び High に遷移すると、ロック・プロセスが始動し、PLL は入力基準クロックに再同期化されます。pllena ポートは、LE 出力または任意の汎用 I/O ピンでドライブできます。	ロジック・アレイまたは入力ピン	PLL コントロール信号
areset	areset は、すべての PLL カウンタを初期値にリセットするアクティブ High 信号です。この信号が High にドライブされると、PLL は対応するカウンタをリセットし、PLL 出力をクリアしてロックを解除します。この信号が再び Low にドライブされると、ロック・プロセスが始動し、PLL は入力基準クロックに再同期化されます。areset ポートは、LE 出力または任意の汎用 I/O ピンでドライブできます。	ロジック・アレイまたは入力ピン	PLL コントロール信号
pfdena	pfdena は、PFD からの Up/Down 出力信号をイネーブルまたはディセーブルするアクティブ High 信号です。pfdena が Low にドライブされると、PFD はディセーブルされますが、VCO は継続して動作します。PLL クロック出力は、入力クロックに関係なくトグルし続けますが、長期ドリフトが生じる場合があります。出力クロック周波数は一定の期間は変化しないため、信頼できる入力クロックがなくなった場合は、pfdena をシャットダウンまたはクリーンアップ機能として使用できます。pfdena ポートは、LE 出力または任意の汎用 I/O ピンでドライブできます。	ロジック・アレイまたは入力ピン	PFD
clkswitch	clkswitch は、手動クロック切り替えを開始するのに使用されるアクティブ High 信号です。	ロジック・アレイまたは入力ピン	PLL コントロール信号

ポート	説明	ソース	デスティネーション
c[1..0]	内部グローバル・クロック・ネットワークをドライブする PLL クロック出力。	PLL ポスト・スケール・カウンタ	グローバル・クロック・ネットワーク
c2	内部グローバル・クロック・ネットワークや外部クロック出力ピン (PLL<#>_OUT) をドライブ可能な PLL クロック出力。	PLL ポスト・スケール・カウンタ	グローバル・クロック・ネットワークまたは外部 I/O ピン
Locked	PLL ロックの状態を示します。PLL がロックされているとき、このポートは V _{CC} にドライブされます。PLL のロックが解除されると、このポートは GND にドライブされます。ロックされたポートは、PLL ロック・プロセス中に High および Low のパルスを出力することがあります。	PLL ロック検出回路	ロジック・アレイまたは出力ピン

表 7-6 に、Cyclone II デバイスの PLL でサポートされる標準 I/O 規格のリストを示します。

標準 I/O 規格	入力	出力	
	inclk	lock	pll_out
LVTTTL (3.3 V、2.5 V、および 1.8 V)	√	√	√
LVC MOS (3.3 V、2.5 V、1.8 V、および 1.5 V)	√	√	√
3.3 V PCI	√	√	√
3.3 V PCI-X (1)	√	√	√
LVPECL	√		
LVDS	√	√	√
1.5 V および 1.8 V 差動 HSTL Class I および Class II	√		√ (2)
1.8 V および 2.5 V 差動 SSTL Class I および Class II	√		√ (2)
1.5 V HSTL class I	√	√	√
1.5 V HSTL class II (3)	√	√	√
1.8 V HSTL class I	√	√	√
1.8 V HSTL class II (3)	√	√	√

表 7-6. Cyclone II の PLL に対してサポートされる標準 I/O 規格
(2 / 2)

標準 I/O 規格	入力	出力	
	inclk	lock	pll_out
SSTL-18 class I	√	√	√
SSTL-18 class II (3)	√	√	√
SSTL-25 class I	√	√	√
SSTL-25 class II	√	√	√
RSDS/mini-LVDS	√	√	√

表 7-6 の注：

- (1) PCI-X 標準 I/O 規格は、サイド I/O ピンでのみサポートされています。
- (2) 差動 SSTL および HSTL 出力は、PLL<#>_OUT ピンでのみサポートされています。
- (3) これらの標準 I/O 規格は、トップおよびボトム の I/O ピンでのみサポートされています。

クロック・ フィードバック・ モード

Cyclone II の PLL は、ノーマル・モード、ゼロ遅延バッファ・モード、および非補償モードの 3 つのクロック・フィードバック・モードをサポートしています。Cyclone II の PLL は外部フィードバック・モードをサポートしていません。サポートされるすべてのクロック・フィードバック・モードにおいて、通倍と分周、位相シフト、およびプログラマブル・デューティ・サイクルが可能です。図 7-4 から 7-6 の波形に示す位相関係は、デフォルト（ゼロ度）の位相シフト設定に対するものです。位相シフト設定を変更すると、PLL からの出力クロック間の関係が変化します。

ノーマル・モード

ノーマル・モードでは、PLL は、入力基準クロックとロジック・アレイ I/O レジスタのポートにおけるクロック信号の位相を合わせて、内部グローバル・クロック・ネットワークの遅延を補償します。Quartus II 開発ソフトウェアの altp11 メガファンクションを使用して、補償する PLL からのクロック出力 (c0、c1、または c2) を定義します。

このモードで外部クロック出力ピン (PLL<#>_OUT) を使用すると、クロック入力ピンに対して位相シフトが発生します。同様に、内部 PLL クロック出力を汎用 I/O ピンのドライブに使用すると、クロック入力ピンに対して位相シフトが発生します。

図 7-4 に、このモードにおける PLL クロックの位相関係の波形例を示します。

図 7-4. ノーマル・モードにおける Cyclone II PLL クロック間の位相関係

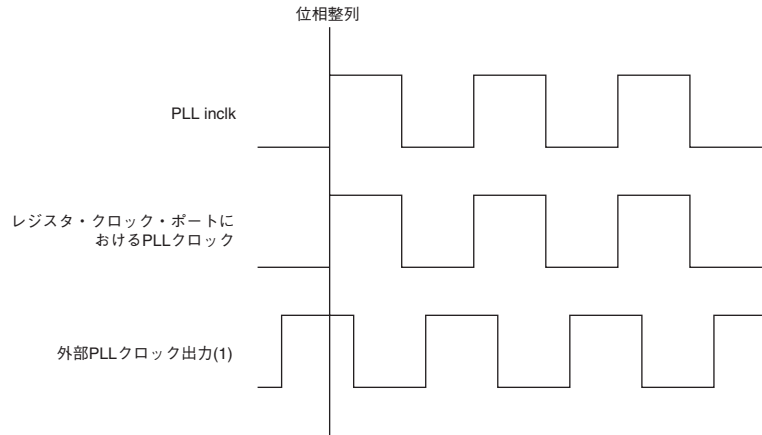


図 7-4 の注：

(1) 外部クロック出力によって、PLL クロック信号は進むかまたは遅れます。

ゼロ遅延バッファ・モード

ゼロ遅延バッファ・モードでは、c2 カウンタから供給される PLL 外部クロック出力ピン (PLL<#>_OUT) 上のクロック信号に対してゼロ遅延を実現するために、PLL 入力クロックと位相が調整されます。c[1..0] ポートが内部クロック・ポートをドライブすると、入力クロック・ピンに対して位相シフトが発生します。図 7-5 に、このモードにおける PLL クロックの位相関係の波形例を示します。

図 7-5. ゼロ遅延バッファ・モードにおける Cyclone II の PLL クロック間の位相関係

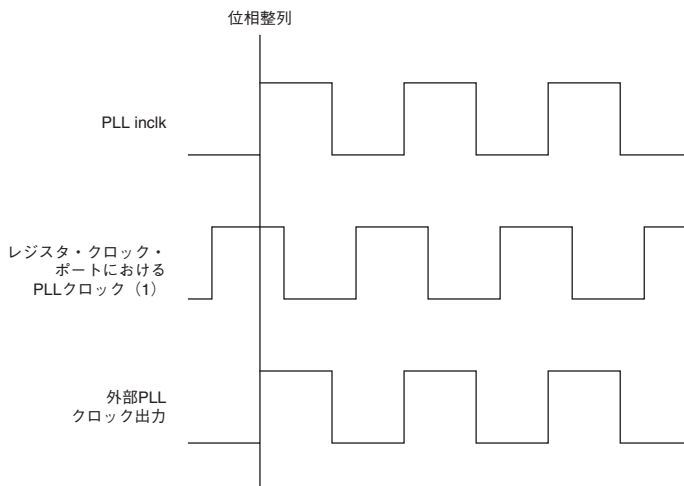


図 7-5 の注：

- (1) 内部クロック出力は、外部 PLL クロック出力 (PLL<#>_OUT) 信号よりも進むまたは遅れる可能性があります。



アルテラは、ゼロ遅延バッファ・モードで Cyclone II の PLL を使用する場合、入力クロックと出力クロックで同じ標準 I/O 規格を使用することを推奨しています。

非補償モード

非補償モードでは、PLL はクロック・ネットワークを補償しないため、ジッタ性能が向上します。PFD へのクロック・フィードバックは多くの回路を通過しないため、PLL の内部クロック出力および外部クロック出力はどちらも、PLL クロック入力に対して位相シフトされます。図 7-6 に、このモードにおける PLL クロックの位相関係の波形例を示します。

図 7-6. 非補償モードにおける Cyclone II の PLL クロック間の位相関係

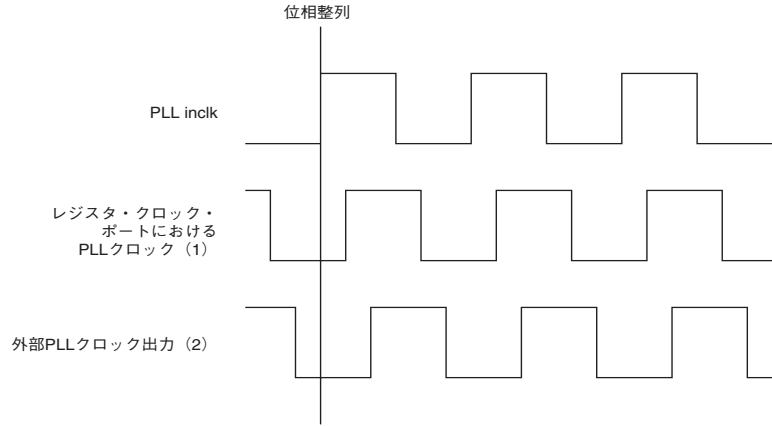


図 7-6 の注：

- (1) PLL によって供給される内部クロックは、互いに同位相になります。
- (2) 外部クロック出力によって、PLL 内部クロックは進むかまたは遅れることがあります。

ハードウェア 機能

Cyclone II デバイスの PLL は、汎用クロック管理用に多数の機能をサポートしています。このセクションでは、クロック逡倍と分周の実装、位相シフトの実装、PLL ロック回路、およびプログラマブル帯域幅について説明します。

クロックの逡倍と分周

Cyclone II デバイスの PLL は、 $m/ (n \times \text{ポスト・スケール})$ スケーリング係数を使用して、PLL 出力ポートのクロック合成を提供します。各 PLL は、1 ~ 4 の範囲の 1 つのプリ・スケール・ディバイダ n と、1 ~ 32 の範囲の 1 つの逡倍カウンタ m を備えています。入力クロック f_{IN} は、プリ・スケール・カウンタ n で分周され、PFD への入力基準クロック f_{REF} が生成されます。次に、この入力基準クロック f_{REF} は、 m フィードバック係数で逡倍されます。コントロール・ループは、VCO 周波数をドライブして $f_{\text{IN}} \times (m/n)$ に一致させます。これらの周波数の式は、以下のとおりです。

$$f_{\text{REF}} = \frac{f_{\text{IN}}}{n}$$

$$f_{\text{VCO}} = f_{\text{REF}} \times m = f_{\text{IN}} \frac{m}{n}$$

各出力ポートには、高周波 VCO を分周する独自のポスト・スケール・カウンタがあります。3つのポスト・スケール・カウンタ (c0、c1、および c2) があり、値の範囲は 1 ~ 32 です。以下の式は、3つのポスト・スケール・カウンタの周波数を示します。

$$f_{C0} = \frac{f_{VCO}}{C0} = f_{IN} \frac{m}{n \times C0}$$

$$f_{C1} = \frac{f_{VCO}}{C1} = f_{IN} \frac{m}{n \times C1}$$

$$f_{C2} = \frac{f_{VCO}}{C2} = f_{IN} \frac{m}{n \times C2}$$

3つの出力カウンタはすべて、グローバル・クロック・ネットワークをドライブできます。また、c2 出力カウンタによって、専用の外部 I/O ピン (シングル・エンドまたは差動) をドライブすることも可能です。このカウンタ出力は、専用外部クロック出力ピン (PLL<#>_OUT) とグローバル・クロック・ネットワークの両方を同時にドライブできます。

周波数の異なる PLL 出力が複数ある場合、VCO は VCO の周波数範囲内で出力周波数の最小公倍数に設定されます。ポスト・スケール・カウンタは VCO 周波数を分周し、各クロック・ポートに出力します。例えば、1つの PLL でクロック出力周波数が 33 MHz および 66 MHz を構成する VCO は 330 MHz (VCO の範囲内の最小公倍数) に設定されます。

プログラマブル・デューティ・サイクル

プログラマブル・デューティ・サイクル機能により、PLL クロック出力のデューティ・サイクルを設定できます。デューティ・サイクルとは、全クロック・サイクル時間に対するクロック出力の High および Low 時間の比率を、High の時間に対する割合で表したものです。この機能は全てのクロック・フィードバック・モードで全てのポスト・スケール・カウンタ c0、c1、c2 に対して設定できます。

デューティ・サイクルは、ポスト・スケール・カウンタに対して Low および High 時間をカウントすることによって設定されます。Quartus II 開発ソフトウェアは、入力周波数と通倍 / 分周比を使用して、ポスト・スケール・カウンタを選択します。デューティ・サイクルの精度は、PLL クロック出力で選択されたポスト・スケール・カウンタ値によって決まり、50% ÷ ポスト・スケール・カウンタ値として定義されます。例えば、ポスト・スケール・カウンタ値が 3 の場合、許容デューティ・サイクル精度は 50% ÷ 3 = 16.67% となります。altpll メガファンクションでは、デューティ・サイクル値に小数を使用できないため、許容デューティ・サイクルは 17%、33%、50%、および 67% になります。例えば、c0 カウンタが 10 の場合、5% 単位で 5 ~ 90% のデューティ・サイクルを選択できます。

位相シフトの実装

Cyclone II はクロック遅延に対して位相シフトを使用でき、プロセスや電圧、温度に依存しないため、位相シフトは遅延エレメントよりも効率的です。

位相シフトは、VCO 位相出力とカウンタ初期値の組み合わせを使用して実装されます。VCO 位相タップおよびカウンタ初期値は、プロセス、電圧、および温度に依存しません。VCO 位相タップを利用すると、高い分解能で Cyclone II PLL 出力クロックを位相シフトできます。カウンタ始動時間を利用すると、低い分解能で Cyclone II PLL 出力クロックを位相シフトできます。

高分解能位相シフトは、出力カウンタ ($c[2..0]$) またはフィードバック・カウンタ (m) 基準クロックを基に 8 つの VCO 位相のいずれかを使用して実装されます。これによって、位相シフトに対する最高精度の分解能が実現します。この方法を使用して挿入可能な最小遅延時間は、以下の式で定義されます。

$$\Delta t_{\text{FINE}} = \frac{1}{8} t_{\text{VCO}} = \frac{1}{8 \times f_{\text{VCO}}} = \frac{n}{8 \times m \times f_{\text{IN}}}$$

f_{IN} は入力基準クロック周波数です。

例えば、 f_{IN} が 100 MHz、 n が 1、 m が 8 の場合、 f_{VCO} は 800 MHz、 Δt は 156.25 ps になります。この遅延時間は PLL 動作周波数と PLL の入力クロック周波数とカウンタ値で決定します。

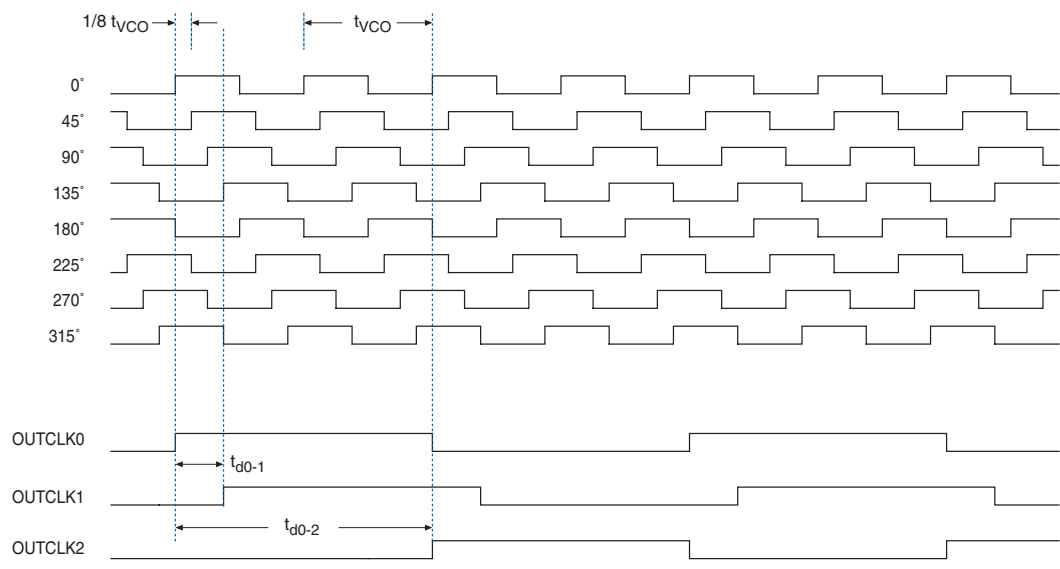
位相シフトを実装する 2 つ目の方法は、事前に決められたカウンタ・クロック数にわたって、 m およびポスト・スケール・カウンタの始動を遅延させることです。この遅延時間は、以下のように表すことができます。

$$\Delta t_{\text{COARSE}} = \frac{S-1}{f_{\text{VCO}}} = \frac{(S-1) \times n}{m \times f_{\text{IN}}}$$

ここで S は、カウンタ初期値に設定された値です。カウンタ初期値は、Quartus II 開発ソフトウェアのコンパイル・レポートの PLL Usage セクションでは、**Initial** と表記されています。

図 7-7 に、これらの 2 つの方法を使用した遅延挿入の例を示します。VCO からの 8 つの位相を示しています。この例では、OUTCLK0 は VCO からの 0° の位相を基準とし、S カウンタには 1 が設定されます。これは 4 分周されます (High 時間に 2 つの VCO クロックと Low 時間に 2 つの VCO クロック)。OUTCLK1 は VCO からの 135° の位相を基準とし、S カウンタには 1 が設定されます。これも同様に 4 分周されます。この場合、2 つのクロックは、3 つの Δt_{FINE} 間隔だけオフセットされます。OUTCLK2 は VCO からの 0° の位相を基準としていますが、S カウンタには 3 が設定されます。これによって、2 つの Δt_{COARSE} 周期の遅延が生成されます。

図 7-7. VCO 位相出力およびカウンタ遅延時間を使用した Cyclone II の PLL の位相シフト



コントロール信号

Cyclone II の PLL の 4 つのコントロール信号 (`pllena`, `areset`, `pfdena`, および `locked`) で、PLL 動作を制御します。


pllena

PLL イネーブル信号 `pllena` は、PLL をイネーブルおよびディセーブルします。`pllena` 信号はアクティブ High 信号です。`pllena` が Low のとき、PLL クロック出力ポートは GND にドライブされ、PLL のロックが解除されます。`pllena` が High に遷移すると、PLL が再ロックし、入力クロックに再同期します。Cyclone II デバイスでは、`pllena` ポートは、LE 出力または任意の汎用 I/O ピンに信号を供給できます。専用の `pllena` ピンはありません。各 PLL が独自の `pllena` コントロール回路を持つか、またはすべての PLL が同じ `pllena` 回路を共有できるため、これによって柔軟性が向上します。`pllena` 信号はオプションです。Quartus II 開発ソフトウェアでこの信号がイネーブルされていない場合、ポートは内部で V_{CC} に接続されます。

areset

PLL `areset` 信号は、各 PLL をリセットおよび再同期化するための入力です。PLL 入力および出力クロック間で正しい位相関係を保証するために、`areset` 信号は PLL のロックが解除されるたびにアサートしなければなりません。以下の条件のいずれかに該当する場合、ユーザは `areset` 信号を必ず使用する必要があります。

- デザインで PLL リコンフィギュレーションまたはクロック切り替えを使用する
- ロック状態の解除後に、入力クロックと出力クロック間の位相関係を維持する必要がある
- PLL への入力クロックがトグルしない、またはパワーアップ時に不安定な場合、入力クロックがトグルし、入力ジッタ仕様の範囲内になった後に、`areset` 信号をアサートする

 アルテラは、デザインで `areset` 信号と `locked` 信号を使用して、PLL の状態を制御および監視することを推奨しています。

`areset` 信号はアクティブ High 信号であり、High にドライブされると、PLL カウンタがリセットされて PLL 出力がクリアされ、それによって PLL のロックが解除されます。また、VCO は公称周波数に再設定されます。`areset` がアクティブの場合、PLL からのクロック出力はグラウンドにドライブされます。`areset` が Low に遷移すると、PLL が再ロックし、入力クロックに再同期化します。ターゲットの VCO 周波数が規定範囲以下の場合、PLL クロック出力周波数は、ロック・プロセス中に目標値より高い値でスタートします。この場合は、アルテラはゲート付き `locked` 信号をモニタして、PLL が完全にロック状態になってから、PLL からのクロック出力をイネーブルすることを推奨しています。Cyclone II デバイスは、LE または任意の汎用 I/O ピンからこの PLL 入力信号をドライブできます。`areset` 信号はオプションです。Quartus II 開発ソフトウェアでこの信号がイネーブルされていない場合、ポートは内部で GND に接続されます。

pfdena

pfdena 信号は、プログラマブル・ゲートで PLL の PFD 出力を制御するアクティブ High 信号です。pfdena を Low に遷移させて PFD をディセーブルすると、VCO は最後に設定されたコントロール電圧および周波数値で動作し、低い周波数にある程度の長期ドリフトが発生します。PLL クロック出力が入力クロックに関係なくトグルし続けた場合でも、PLL のロックが解除されることがあります。PLL がロック状態を抜けたときや入力クロックがディセーブルされた場合でも、システムは動作を継続します。現在の周波数を維持することにより、システムにはシャット・ダウンする前に現在の設定値を格納する時間が与えられます。pfdena 信号が High に遷移すると、PLL が再ロックして、入力クロックに再同期化します。pfdena 入力信号は、任意の汎用 I/O ピンまたは LE からドライブできます。この信号はオプションです。Quartus II 開発ソフトウェアでこの信号がイネーブルされていない場合、ポートは内部で V_{CC} に接続されます。

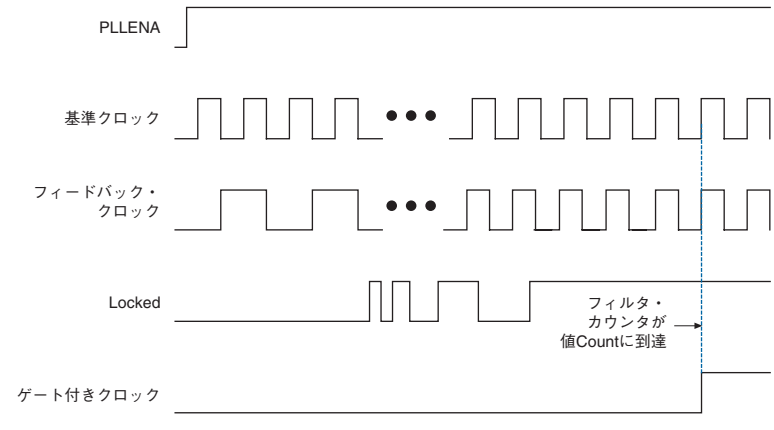
locked

locked ポート出力がロジック High レベルの場合は、PLL クロック出力が安定し PLL 基準入力クロックと同期していることを示します。locked ポートは、PLL が基準クロックのトラッキングを開始すると、トグルすることがあります。PLL の locked ポートは、任意の汎用 I/O ピンまたは LE に信号を供給できます。locked 信号はオプションですが、PLL ロック・プロセスのモニタに役立ちます。

locked 出力は、PLL が基準入力にロックされたことを示します。locked 信号は、システム・コントロール信号として使用するにはゲートする必要があります。locked ポートからのゲート付き locked 信号またはゲートなし locked 信号のいずれかで、ロジック・アレイまたは出力ピンをドライブできます。Cyclone II の PLL には、ユーザが選択した入力クロックの遷移回数の間 locked 信号を Low に保持する、プログラマブル・カウンタが含まれています。これによって PLL は、locked 信号を High に遷移させる前に、ロックすることができます。Quartus II 開発ソフトウェアを使用して、20 ビットのカウンタ値を設定することができます。デバイスは、パワー・アップ時または pllneble 信号のアサート時に、カウンタと PLL を同時にリセットおよびイネーブルします。正しいロック回路動作を確保し、出力クロックが入力クロックに対して適切な位相関係を持つことを保証するために、アルテラは Cyclone II デバイスがコンフィギュレーションされる前に、入力クロックを動作状態にすることを推奨しています。

図 7-8 に、LOCKED 信号およびゲート付き LOCKED 信号のタイミング波形を示します。

図 7-8. LOCKED 信号およびゲート付き LOCKED 信号のタイミング波形



手動によるクロック切り替え

Cyclone II の PLL は、内部ロジック全体で基準クロックの手動切り替えをサポートしています。これによって、2つの基準入力クロック間の切り替えが可能になります。この機能は、プライマリ・クロックが動作を停止した場合に冗長クロックをオンにするシステムなど、デュアル・クロック・ドメイン・アプリケーションに対して使用します。

図 7-9 は、PLL 入力クロック (f_{IN}) が、可能な 4 つのクロック・ソースの 1 つからどのように生成されるかを示しています。第 1 ステージの切り替えは、2 つのシングル・エンド・クロックまたは 2 つの差動クロックを 4 本の専用クロック・ピンから生成する 2 つの専用マルチプレクサで構成されます。これらのクロック信号は、別の専用の 2 対 1 マルチプレクサを使用することによって切り替えられ、 f_{IN} が生成されます。第 1 ステージのマルチプレクサは、Quartus II 開発ソフトウェアで生成されたコンフィギュレーション・ファイルのコンフィギュレーション・ビット設定によって制御されますが、第 2 ステージのマルチプレクサは、コンフィギュレーション・ビット設定またはロジック・アレイ信号で制御され、 f_{IN} のダイナミック制御が可能になります。これによって、クロック冗長性を必要とするアプリケーションに対して、ユーザ・モードの間に PLL 基準クロックを切り替えることができる、手動クロック切り替え回路の実装が可能になります。

図 7-9. Cyclone II の PLL 入力クロックの生成

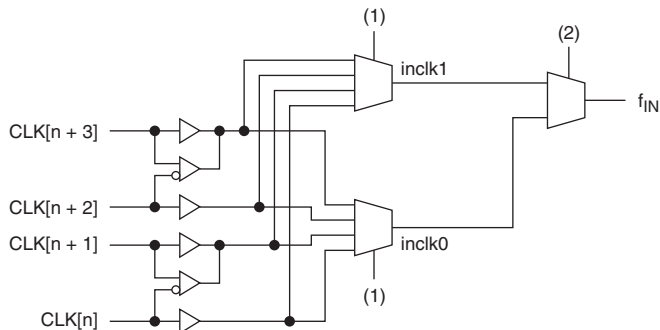


図 7-9 の注：

- (1) この選択ラインはコンフィギュレーション・ファイルで設定されます。
- (2) この選択ラインは、コンフィギュレーション・ファイルで設定できます。あるいは、手動切り替え機能を使用する場合は、ユーザ・モードでダイナミックに設定することができます。

プログラマブル帯域幅

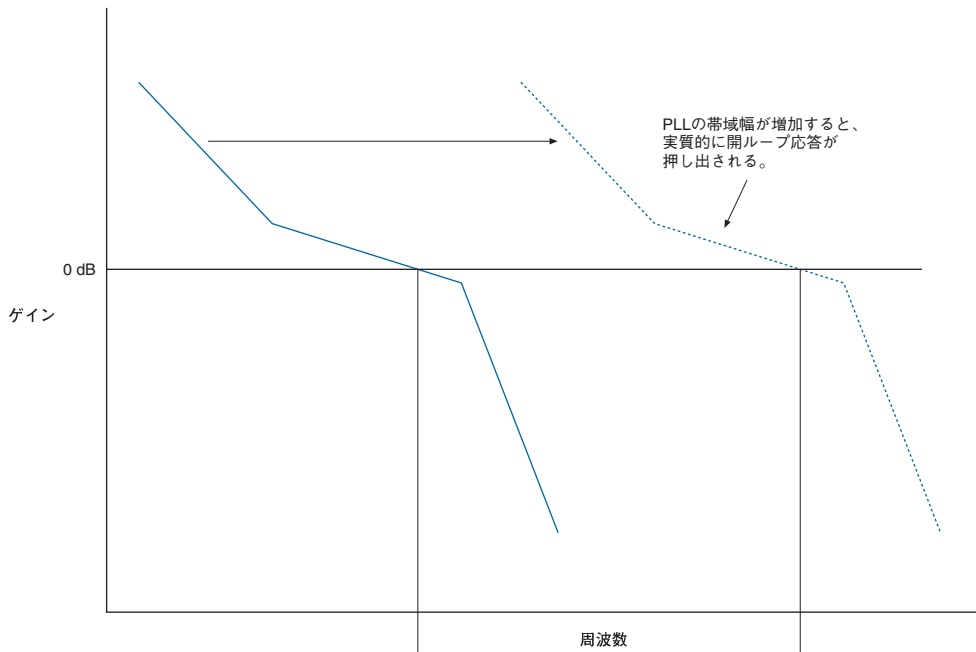
Cyclone II の PLL は、ループ・フィルタやチャージ・ポンプなど、PLL ループのプログラマブルな特性を使用して、PLL 帯域幅の高度なコントロールを実現します。

背景

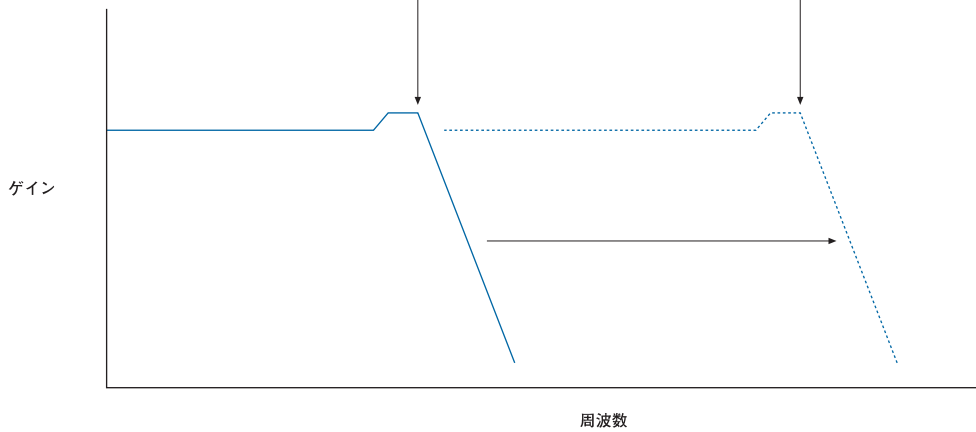
PLL の帯域幅は、入力クロックとジッタを追従する PLL の能力の指標になります。この帯域幅は、PLL における閉ループ・ゲインの 3 dB 周波数、または開ループ PLL 応答のおよその単位ゲイン・ポイントによって決まります。図 7-10 に示すとおり、これらのポイントはほぼ同じ周波数に相当します。

図 7-10. 開ループ応答および閉ループ応答のボード・プロット

開ループ応答ボード・プロット



閉ループ応答ボード・プロット



高帯域幅の PLL は、高速ロック時間を実現し、基準クロック・ソース上のジッタを追跡して、これを PLL クロック出力まで通過させます。低帯域幅の PLL では、基準クロックのジッタが除去されますが、ロック時間が増加します。Cyclone II デバイスの PLL により、有限範囲で帯域幅を制御して、特定のアプリケーション用に PLL 特性をカスタマイズできます。クロック切り替えを必要とするアプリケーション（TDMA、周波数ホッピング方式ワイヤレス、冗長クロッキングなど）では、Cyclone II PLL のプログラマブル帯域幅機能を活用できます。

そのようなシステムの帯域幅と安定性は、チャージ・ポンプ電流、ループ・フィルタの抵抗値、高周波コンデンサの値（ループ・フィルタ内）、および m カウンタ値など、多数の要素によって決まります。Quartus II 開発ソフトウェアを使用してこれらの要素を制御し、帯域幅を特定範囲内の目的値に設定することができます。

帯域幅を適切な値に設定することにより、ジッタ除去とロック時間に対する要求のバランスを図ることができます。図 7-11 および 7-12 はそれぞれ、低帯域幅 PLL および高帯域幅 PLL が、入力クロックにロックする状態を示します。

図 7-11. 低帯域幅 PLL のロック時間

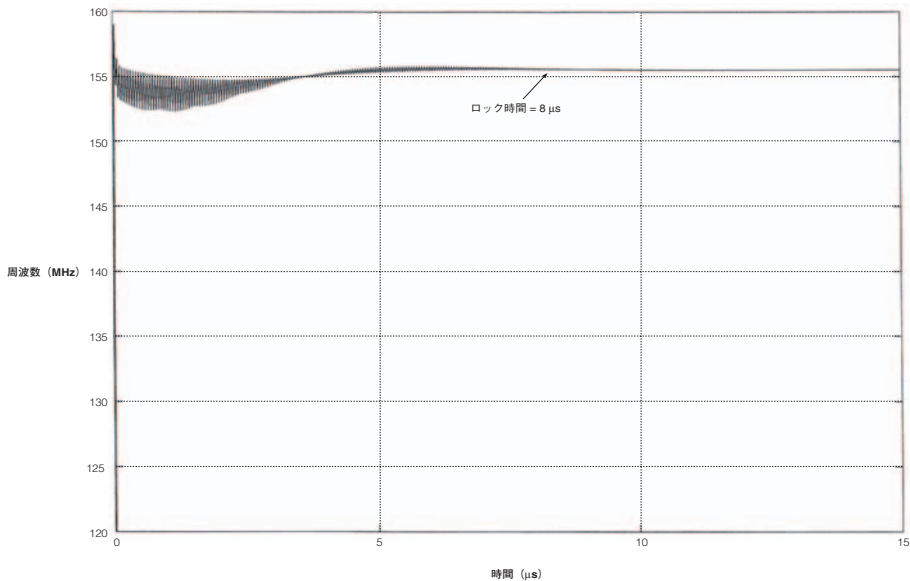
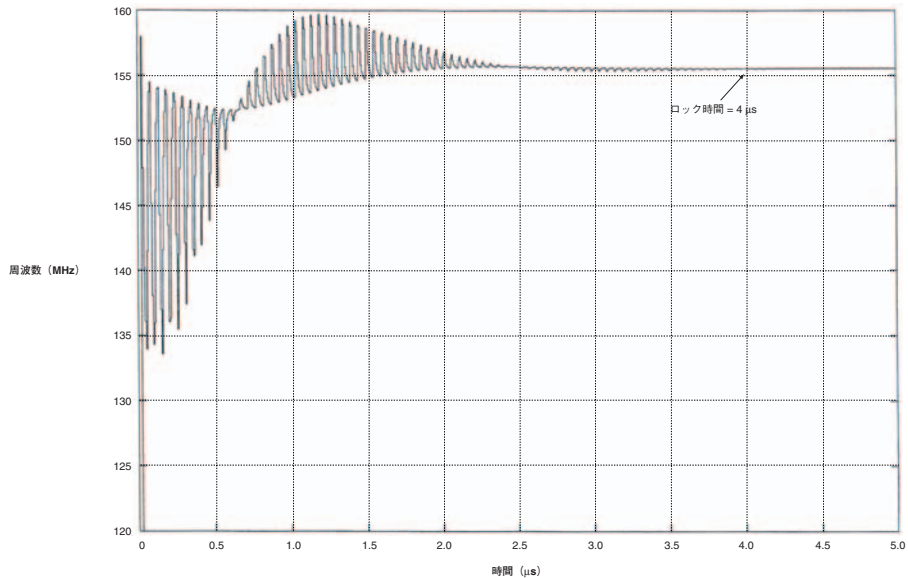


図 7-12. 高帯域幅 PLL のロック時間



高帯域幅 PLL は、カスケード接続された 2 つの PLL を持つシステムで役立つ場合があります。第 1 の PLL がスプレッド・スペクトラム（ユーザ誘起ジッタとして）を使用する場合、第 2 の PLL は供給するジッタを追跡できるように高帯域幅を必要とします。この場合、低帯域幅 PLL はスプレッド・スペクトラムが入力クロック上にジッタを誘起するため、ロックが解除されることがあります。

低帯域幅 PLL は、クロック切り替えを使用するシステムで役立つことがあります。クロック切り替えが起こると、PLL 入力は一時的に停止します。低帯域幅 PLL は、高帯域幅 PLL と比較して、入力クロックの変化により低速で反応し、低周波数へのドリフト（入力停止で発生）により長い時間を要します。これによってユーザは、新しいクロック周波数へ切り替わる前に、現在の設定を保存する時間を確保できます。

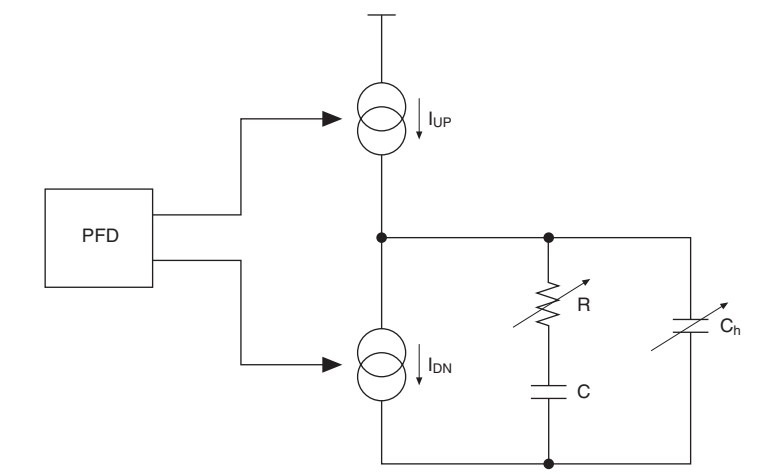
実装

従来は、VCO やループ・フィルタなどの外部コンポーネントで PLL の帯域幅を制御していました。大部分のループ・フィルタは、抵抗やコンデンサなどの受動素子で構成されているため、余分なボード・スペースを占有し、コストの増大につながります。Cyclone II デバイスの PLL を使用すると、すべてのコンポーネントがデバイスに内蔵されるため、性能の向上とコストの低減が実現されます。

Cyclone II デバイスの PLL は、チャージ・ポンプ電流、ループ・フィルタの抵抗値 (R) および高周波コンデンサの値 (C_h) を変更することによって、プログラマブル帯域幅を実装します (表 7-7 を参照)。Cyclone II デバイスの PLL 帯域幅範囲の特性は暫定値です。

チャージ・ポンプ電流は、PLL 帯域幅に直接影響を与えます。チャージ・ポンプ電流が大きくなると、PLL 帯域幅も高くなります。一定のチャージ・ポンプ電流値セットから選択できます。図 7-13 に、PLL の帯域幅に影響を与えるチャージ・ポンプおよびループ・フィルタのコンポーネントを示します。

図 7-13. ループ・フィルタのプログラマブル・コンポーネント



ソフトウェア・サポート

Quartus II 開発ソフトウェアは、2 つのレベルのプログラマブル帯域幅コントロールを提供します。

メガファンクション・ベースの帯域幅設定

プログラマブル帯域幅の第 1 レベルでは、altp11 メガファンクションを使用して、目的の帯域幅の値を直接 Quartus II 開発ソフトウェアに入力することができます。また、altp11 メガファンクションの帯域幅パラメータを低、中、高の値に設定することもできます。Quartus II 開発ソフトウェアは、ユーザの帯域幅要求に適合する利用可能な最良の帯域幅パラメータを選択します。要求された帯域幅設定が利用できない場合、Quartus II 開発ソフトウェアは、要求に最も近い実現可能な値を選択します。

高度な帯域幅設定

高度なループ・フィルタ・パラメータを使用すると、高レベルの制御も可能です。チャージ・ポンプ電流、ループ・フィルタ抵抗値、およびループ・フィルタ（高周波）コンデンサ値を選択して、PLL の帯域幅を正確に制御できます。これらの変更を使用するパラメータは、charge_pump_current、loop_filter_r、および loop_filter_c です。これらのパラメータは、altpll メガファンクションによって生成されたラップ・ファイル（.v、.vhd、または .tdf）に直接入力できます。これらのパラメータの詳細については、「altpll Megafunction User Guide」を参照してください。

各パラメータは、表 7-7 に記載した特定の範囲の値をサポートします。

表 7-7. 高度なループ・フィルタ・パラメータ 注 (1)	
パラメータ	値
抵抗値 (kΩ)	1, 1.5, 2, 2.5
高周波コンデンサ値 (pF)	5, 10, 15, 20
チャージ・ポンプ電流設定値 (μA)	10, 20, 30, 40, 50, 60, 70, 80

表 7-7 の注：

(1) これらの値は暫定仕様です。

PLL 仕様

PLL タイミング仕様については、「Cyclone II デバイス・ハンドブック Volume 1」の「DC & スイッチング特性」の章を参照してください。

クロッキング

Cyclone II デバイスは、グローバル・クロック・ネットワークをドライブ可能な最大 16 本の専用クロック・ピン (CLK[15..0]) を備えています。小型 Cyclone II デバイス (EP2C5 および EP2C8 デバイス) は、合計 8 つのグローバル・クロック・ネットワークをドライブ可能な 4 本の専用クロック・ピンを各サイド (左および右) でサポートし、大型デバイス (EP2C20 デバイスおよびそれ以上) は、デバイスの 4 つのサイドすべてにおいて 4 本のクロック・ピンをサポートしています。これらのクロック・ピンは、合計 16 のグローバル・クロック・ネットワークをドライブできます。

表 7-8 に、Cyclone II ファミリー・メンバで利用可能なグローバル・クロックの数を示します。

デバイス	グローバル・クロック数
EP2C5	8
EP2C8	8
EP2C20	16
EP2C35	16
EP2C50	16
EP2C70	16

グローバル・クロック・ネットワーク

グローバル・クロックは、デバイスの4つのエリアにクロックを供給してデバイス全体をドライブします。デバイス内部のすべてのリソース (IOE、ロジック・アレイ・ブロック (LAB)、専用乗算器ブロック、および M4K メモリ・ブロック) は、グローバル・クロック・ネットワークをクロック・ソースとして使用できます。これらのクロック・ネットワーク・リソースは、外部ピンから供給されるクロック・イネーブル、同期クリア、または非同期クリアなどのコントロール信号に使用することも可能です。内部ロジックは、内部で生成されるグローバル・クロックおよび非同期クリア、クロック・イネーブル、またはファン・アウトが大きい他のコントロール信号のために、グローバル・クロック・ネットワークをドライブすることもできます。

表 7-9 に、グローバル・クロック・ネットワークへのクロック・ソースの接続を示します。

グローバル・クロック・ネットワークのクロック・ソース	グローバル・クロック・ネットワーク															
	すべての Cyclone II デバイス							EP2C20 から EP2C70 デバイスのみ								
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
CLK0/LVDSClk1p	√		√													
CLK1/LVDSClk1n		√	√													
CLK2/LVDSClk2p	√			√												
CLK3/LVDSClk2n		√		√												

表 7-9. グローバル・クロック・ネットワーク接続 (2 / 3)

グローバル・クロック・ネットワークのクロック・ソース	グローバル・クロック・ネットワーク															
	すべての Cyclone II デバイス							EP2C20 から EP2C70 デバイスのみ								
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
CLK4/LVDSCLK3p					√		√									
CLK5/LVDSCLK3n						√	√									
CLK6/LVDSCLK4p					√			√								
CLK7/LVDSCLK4n						√		√								
CLK8/LVDSCLK5p									√		√					
CLK9/LVDSCLK5n										√	√					
CLK10/LVDSCLK6p									√			√				
CLK11/LVDSCLK6n										√		√				
CLK12/LVDSCLK7p													√		√	
CLK13/LVDSCLK7n														√	√	
CLK14/LVDSCLK8p													√			√
CLK15/LVDSCLK8n														√		√
PLL1_c0	√	√		√												
PLL1_c1	√		√	√												
PLL1_c2		√	√													
PLL2_c0					√	√		√								
PLL2_c1					√		√	√								
PLL2_c2						√	√									
PLL3_c0									√	√		√				
PLL3_c1									√		√	√				
PLL3_c2										√	√					
PLL4_c0													√	√		√
PLL4_c1													√		√	√
PLL4_c2														√	√	
DPCLK0 (1)	√															
DPCLK1 (1)		√														

表 7-9. グローバル・クロック・ネットワーク接続 (3 / 3)

グローバル・クロック・ネットワークのクロック・ソース	グローバル・クロック・ネットワーク															
	すべての Cyclone II デバイス							EP2C20 から EP2C70 デバイスのみ								
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
DPCLK10 (1)、(2) CDPCLK0 または CDPCLK7 (3)			√													
DPCLK2 (1)、(2) CDPCLK1 または CDPCLK2 (3)				√												
DPCLK7 (1)					√											
DPCLK6 (1)						√										
DPCLK8 (1)、(2) CDPCLK5 または CDPCLK6 (3)							√									
DPCLK4 (1)、(2) CDPCLK4 または CDPCLK3 (3)								√								
DPCLK8 (1)									√							
DPCLK11 (1)										√						
DPCLK9 (1)											√					
DPCLK10 (1)												√				
DPCLK5 (1)													√			
DPCLK2 (1)														√		
DPCLK4 (1)															√	
DPCLK3 (1)																√

表 7-9 の注：

- (1) DPCLK ピンの詳細については、「Cyclone II デバイス・ハンドブック Volume 1」の「Cyclone II アーキテクチャ」の章を参照してください。
- (2) このピンは EP2C5 および EP2C8 デバイスにのみ適用されます。
- (3) これらのピンは、EP2C20 デバイスおよびそれ以上のデバイスにのみ適用されます。2本の CDPCLK ピンの一方のみが、クロック・コントロール・ブロックにクロックを供給できます。他方のピンは通常の I/O ピンとして使用できます。

専用クロック・ピンをグローバル・クロック・ネットワークへの供給に使用しない場合、これらのピンは汎用入力ピンとして、MultiTrack インタコネクトを使用するロジック・アレイへの供給に使用できます。ただし、これらのピンを汎用入力ピンとして使用すると、I/O レジスタがサポートされないため、I/O レジスタの代わりに LE ベース・レジスタを使用する必要があります。

クロック・コントロール・ブロック

すべてのグローバル・クロック・ネットワークは、Cyclone II デバイスのトップ、ボトム、左サイド、または右サイドに位置するクロック・コントロール・ブロックでドライブされます。グローバル・クロック・ネットワークは、クロック・スキューおよび遅延を最小化するように最適化されています。

表 7-10 に、クロック・コントロール・ブロックに供給可能なソースを示します。クロック・コントロール・ブロックは、グローバル・クロック・ネットワークに信号を供給します。

入力	説明
専用クロック入力	専用クロック入力ピンは、非同期クリア、プリセット、クロック・イネーブルなどのクロックやグローバル信号を所定のグローバル・クロック・ネットワークにドライブできます。
兼用クロック (DPCLK および CDPCLK) I/O 入力	DPCLK および CDPCLK I/O ピンは、グローバル・クロック・ネットワークを介して、プロトコル信号、PCI 用 TRDY および IRDY 信号、DDR 用 DQS など、ファン・アウトの大きいコントロール信号に使用できる双方向の兼用ファンクション・ピンです。
PLL 出力	PLL カウンタ出力は、グローバル・クロック・ネットワークをドライブできます。
内部ロジック	グローバル・クロック・ネットワークはロジック・アレイ配線を通してドライブし、内部ロジック (LE) をイネーブルして、ファン・アウトが大きい低スキューの信号パスをドライブすることもできます。

Cyclone II デバイスでは、専用クロック入力ピン、PLL カウンタ出力、兼用クロック I/O 入力、および内部ロジックはすべて、各グローバル・クロック・ネットワークのクロック・コントロール・ブロックに信号を供給できます。次に、クロック・コントロール・ブロックからの出力が対応するグローバル・クロック・ネットワークに信号を供給します。クロック・コントロール・ブロックは、デバイスの周辺に配列され、各 Cyclone II デバイスで最大 16 のクロック・コントロール・ブロックを使用できます。

コントロール・ブロックには、以下の2つの機能があります。

- ダイナミックなグローバル・クロック・ネットワークのクロック・ソースの選択
- グローバル・クロック・ネットワークのパワー・ダウン（ダイナミック・イネーブルおよびディセーブル）

図 7-14 に、クロック・コントロール・ブロックを示します。

図 7-14. クロック・コントロール・ブロック

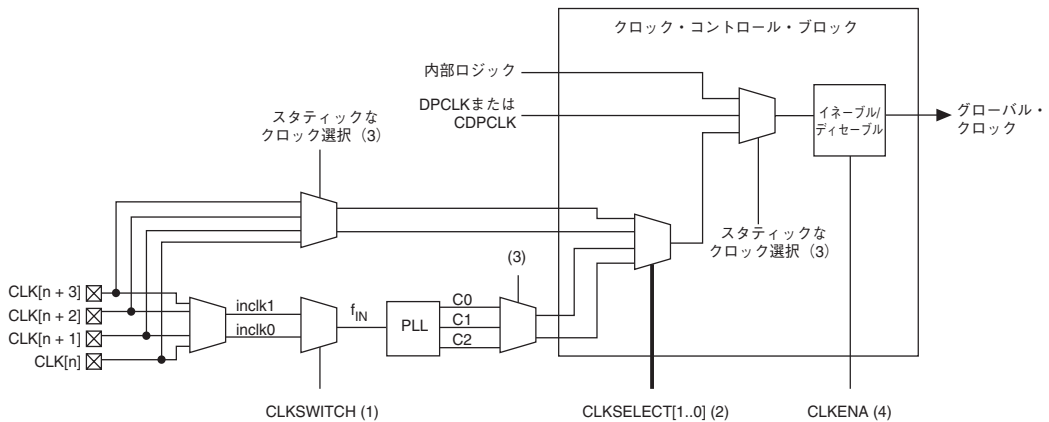


図 7-14 の注：

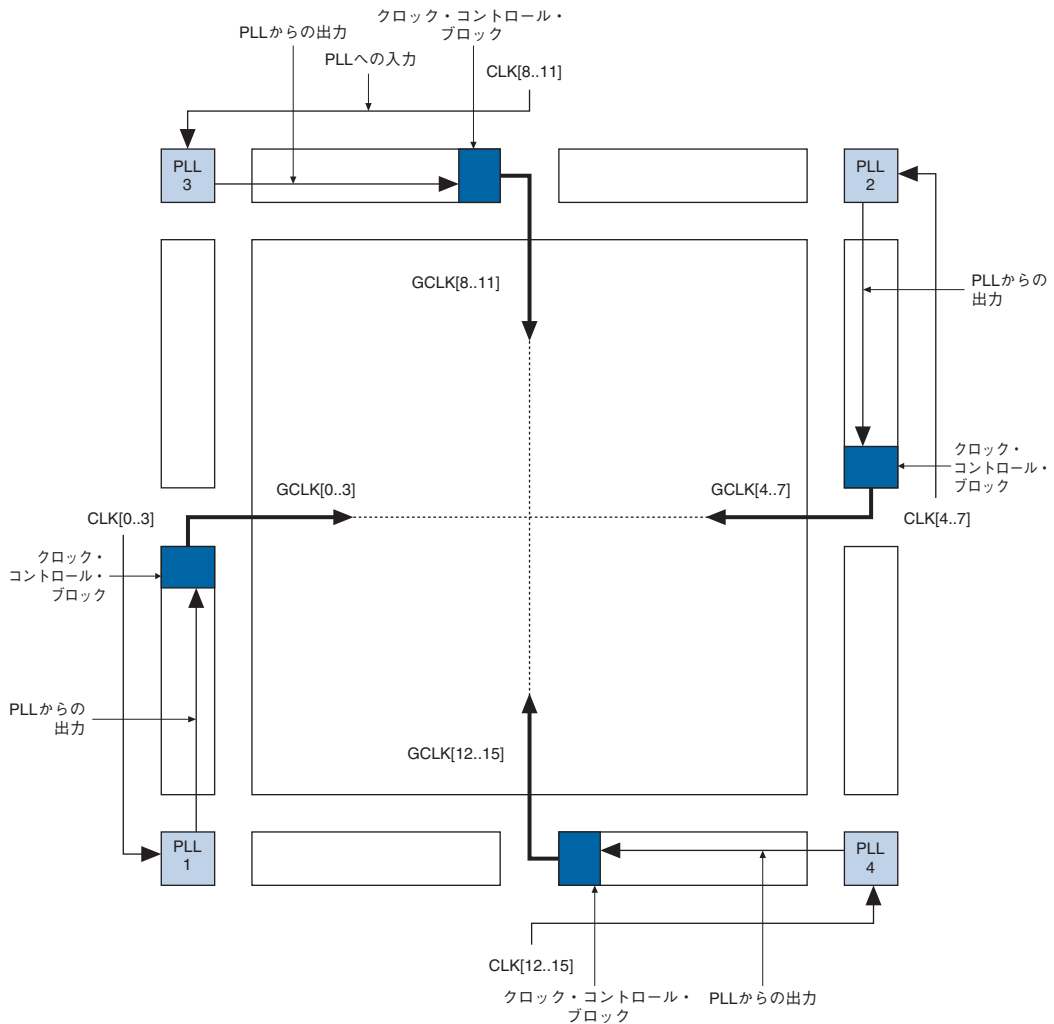
- (1) CLKSWITCH 信号はコンフィギュレーション・ファイルから設定できます。また、手動PLL 切り替え機能の使用時にはダイナミックに設定することも可能です。マルチプレクサの出力は、PLL の入力基準クロック (f_{IN}) です。
- (2) CLKSELECT[1..0] 信号は、内部ロジックによって供給され、デバイスがユーザ・モードのときに、グローバル・クロック・ネットワーク用のクロック・ソースをダイナミックに選択するのに使用できます。
- (3) スタティクなクロック選択信号は、コンフィギュレーション・ファイルに設定され、デバイスがユーザ・モードのときに、これをダイナミックに制御することはできません。
- (4) 内部ロジックを使用して、ユーザ・モードのグローバル・クロック・ネットワークをイネーブルまたはディセーブルできます。

各 PLL は、c[1..0] および c2 カウンタを通して 3 つのクロック出力を生成します。これらのクロックの 2 つは、クロック・コントロール・ブロックを通してグローバル・クロック・ネットワークをドライブできます。

グローバル・クロック・ネットワークのクロック・ソース生成

小型 Cyclone II デバイス (EP2C5 および EP2C8 デバイス) には合計 8 つのクロック・コントロール・ブロック、大型 Cyclone II デバイス (EP2C20 およびそれ以上のデバイス) には合計 16 のクロック・コントロール・ブロックがあります。図 7-15 に、Cyclone II クロック入力およびクロック・コントロール・ブロックの配置を示します。

図 7-15. Cyclone II のクロック・コントロール・ブロックの配置



各サイドの4つのクロック・コントロール・ブロックへの入力は、以下のクロック・ソースから選択されます。

- 4本のクロック入力ピン
- 3つの PLL カウンタ出力
- 左右両サイドからの2本の DPCLK ピンと2本の CDPCLK ピン、そしてトップおよびボトムの方からの4本の DPCLK ピンと2本の CDPCLK ピン
- 内部ロジックからの4つの信号

図 7-14 に示すように、上記のクロック・ソースから2本のクロック入力ピン、2つの PLL クロック出力、1本の DPCLK ピンまたは CDPCLK ピン、および内部ロジックからの1つのソースのみ、任意のクロック・コントロール・ブロックにドライブできます。クロック・コントロール・ブロックへのこれらの6つの入力のうち、2本のクロック入力ピンおよび2つの PLL 出力がグローバル・クロック・ネットワークに供給されるように、ダイナミックに選択できます。クロック・コントロール・ブロックは、DPCLK ピンまたは CDPCLK ピン、および内部ロジックからの信号のスタティックな選択をサポートします。

図 7-16 に、Cyclone II デバイス周辺の各サイドにおける4つのクロック・コントロール・ブロックを簡略化して示します。Cyclone II デバイスは、これらのクロック・コントロール・ブロックを最大 16 サポートしているため、Cyclone II デバイスには最大16のグローバル・クロックを実装できます。

図 7-16. Cyclone II デバイスの各サイドにおけるクロック・コントロール・ブロック

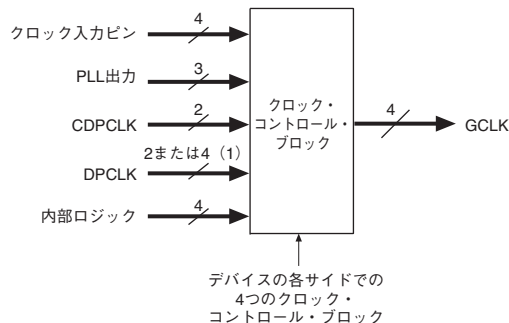


図 7-16 の注：

- (1) デバイスの左サイドと右サイドには2本の DPCLK ピンがあり、デバイスのトップおよびボトムには4本の DPCLK ピンがあります。

グローバル・クロック・ネットワークのパワー・ダウン

Cyclone II のグローバル・クロック・ネットワークは、スタティック・アプローチとダイナミック・アプローチの両方でディセーブル（パワー・ダウン）できます。クロック・ネットワークをパワー・ダウンすると、クロック・ネットワークによって信号が供給されるすべてのロジックがオフ状態になり、デバイスの全体的な消費電力が低減されます。

未使用のグローバル・クロック・ネットワークは、Quartus II 開発ソフトウェアで生成されたコンフィギュレーション・ファイルのコンフィギュレーション・ビット設定によって、自動的にパワー・ダウンされます。

ダイナミック・クロック・イネーブルまたはディセーブル機能により、内部ロジックは Cyclone II デバイスのグローバル・クロック・ネットワークでのパワー・アップおよびパワー・ダウンを、同期して制御することができます。この機能は PLL とは独立しており、図 7-14 に示すように、クロック・ネットワーク上で直接適用されます。グローバル・クロック・ネットワークのマルチプレクサに対する入力クロック・ソースおよび `clkena` 信号は、Quartus II 開発ソフトウェアで `altclkctrl1` メガファンクションを使用して設定できます。

clkena 信号

Cyclone II デバイスでは、`clkena` 信号はクロック・ネットワーク・レベルでサポートされます。図 7-17 に、`clkena` がどのように実装されるかを示します。これによって、PLL が使用されていないときにもクロックをゲート・オフすることができます。出力クロックの再イネーブル時、クロックがクロック・ネットワーク・レベルでゲート・オフされるため、PLL に再同期化または再ロック期間はありません。また、ループ関連のカウンタは影響を受けないため、PLL は `clkena` 信号に関係なくロック状態を維持することができます。

図 7-17. `clkena` の実装

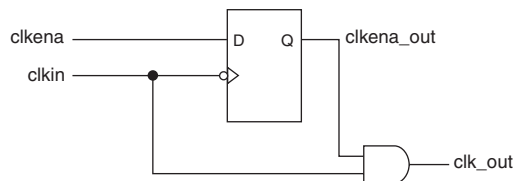
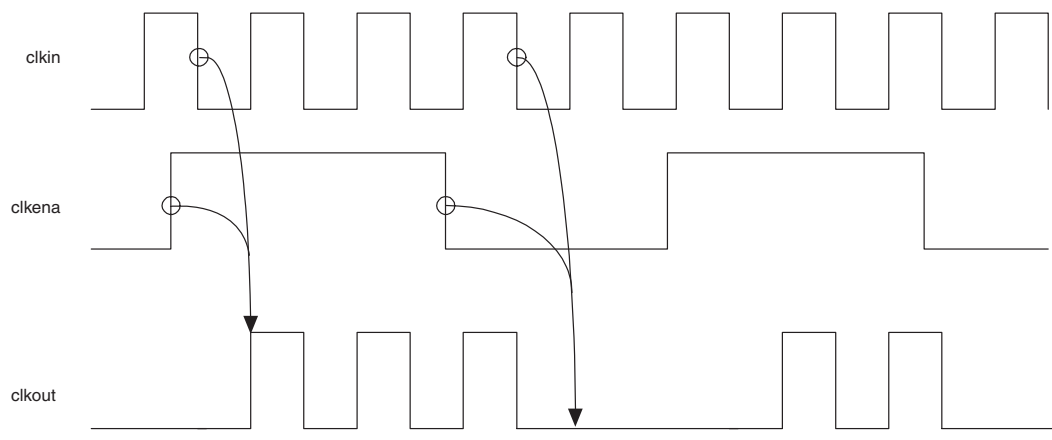


図 7-18 に、クロック出力イネーブルの波形例を示します。`clkena` は、クロック (`clkkin`) の立ち下がりエッジに同期します。

この機能は、低消費電力またはスリープ・モードを必要とするアプリケーションに便利です。この機能使用時に節約される正確な消費電力量に関するデバイス特性は、測定中です。

図 7-18. clkena の実装



システムがPLLの再同期化中に周波数オーバーシュートを許容できない場合、clkena 信号はクロック出力をディセーブルすることもできます。

アルテラは、クロック・ソースを PLL またはグローバル・クロック・ネットワークに切り替えるときには、clkena 信号を使用することを推奨しています。推奨実行手順は、以下のとおりです。

1. clkena 信号をデアサートして、プライマリ出力クロックをディセーブルします。
2. クロック・コントロール・ブロックのダイナミック選択信号を使用して、セカンダリ・クロックに切り替えます。
3. clkena 信号を再アサートする前に、セカンダリ・クロックの一部のクロック・サイクルが通過できるようにします。セカンダリ・クロックをイネーブルする前に待機する必要がある正確なクロック・サイクル数は、デザインによって異なります。異なるクロック・ソース間で切り替えるときに、確実にグリッチのない遷移を実現するカスタム・ロジックを構築することができます。

まとめ

Cyclone II デバイスの PLL は、デバイス・クロックとシステム・タイミングを完全に制御できます。これらの PLL は、クロックの通倍 / 分周、位相シフト、プログラマブル・デューティ・サイクル、およびプログラマブル帯域幅をサポートし、コスト重視のクロック合成アプリケーションに対応します。

さらに、Cyclone II デバイスのクロック・ネットワークは、クロック・ソースのダイナミックな選択をサポートするとともに、未使用のクロック・ネットワークを簡単にオフにできるパワー・ダウン・モードもサポートしているため、デバイスの全体的な消費電力が低減されます。

